

# Компоновка высокоскоростных электронных модулей

ВАЛЕРИЙ ПАРКОВСКИЙ, [valera-minsk@yandex.ru](mailto:valera-minsk@yandex.ru)  
ВЛАДИМИР ЛАНИН, [vlanin@bsuir.by](mailto:vlanin@bsuir.by)

При проектировании высокоскоростных электронных модулей, работающих на частотах до 10 ГГц, важно создать кратчайший путь протекания обратных токов высокоскоростных элементов платы. Для этого необходимо обеспечить минимальный импеданс опорных слоев (PDN), правильно расположить цепи питания и фильтрующие электронные компоненты.

## ВВЕДЕНИЕ

Современные радиоэлектронные устройства представляют собой сложные высокотехнологичные системы, в процессе разработки которых инженеры сталкиваются со многими проблемами, такими как перегрев, электромагнитная совместимость, помехоустойчивость, виброустойчивость и вибропрочность. Рост производительности и функциональности устройств влечет за собой увеличение степени интеграции микросхем и плотности их компоновки на печатных платах, а также плотности компоновки электронных блоков в устройстве. К примеру, современная микросхема Cyclone V фирмы Altera, изготовленная по технологии 28 нм содержит 300 000 вентиляей и 12 высокоскоростных трансиверов, каждый из которых способен осуществлять

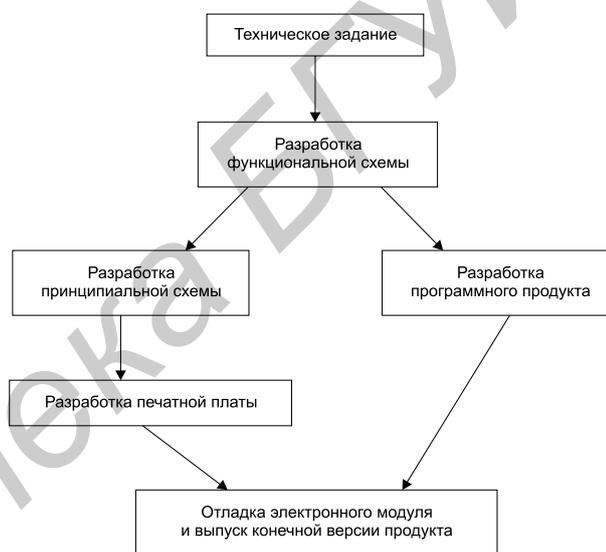


Рис. 1. Иерархическая структура процесса разработки электронного модуля

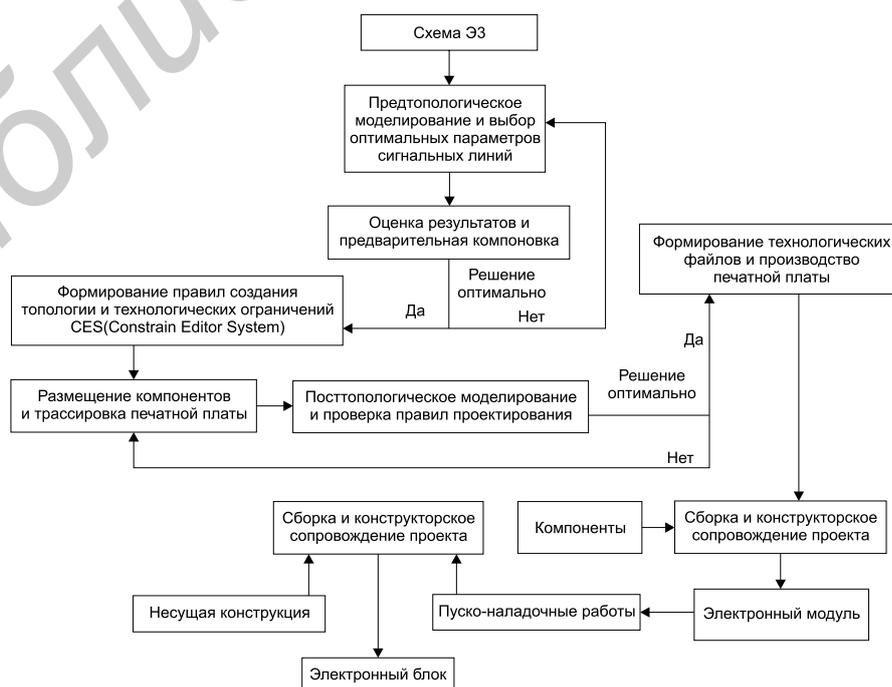


Рис. 2. Процесс разработки и изготовления электронного блока

передачу данных на скорости 3 Gbps, мощность, рассеиваемая этой микросхемой, может достигать 10 Вт и более, в зависимости от производительности, определяемой программной прошивкой микросхемы [1].

Увеличение скорости передачи сигналов при снижении электромагнитных помех и повышении плотности компоновки электронных компонентов достигается за счет применения в электронных модулях печатных плат с высокой плотностью межсоединений (HDI), использующих лазерную прошивку отверстий, новых методов металлизации переходных отверстий [2]. Как правило, разработка электронных устройств ведется командой, состоящей из группы разработчиков. Успех создания сложных радиоэлектронных устройств зависит от многих факторов.

### МЕТОДИКА ПРОЕКТИРОВАНИЯ ВЫСОКОСКОРОСТНЫХ БЛОКОВ

В общем случае логическая структура процесса разработки высокоскоростного электронного блока представлена на рисунке 1. Структура блока включает печатную плату, электронные и коммутационные компоненты, электронные модули обработки информации, питания и управления, несущие конструкции, элементы индикации, процессы контроля, сборки и т.д. Процесс проектирования и изготовления такого блока приведен на рисунке 2.

Цель любой разработки радиоэлектронного устройства – обеспечение заданной функциональности, параметров, помехоустойчивости электронного модуля и электромагнитной совместимости модуля (несколько модулей) в блоке, а также системы, собранной из блоков. Одна из основных задач разработки электронных модулей – обеспечение помехоустойчивости изделия, добиться которой можно несколькими способами: схемотехнически и топологически.

Схемотехническое обеспечение помехоустойчивости заключается в применении низкошумящих источников питания, фильтрующих элементов и помехозащищенных интерфейсов, микросхем и элементов защиты, буферов и т.п. Среди цифровых скоростных помехозащищенных интерфейсов наиболее широко распространены следующие типы [3]:

- LVDS – Low voltage differential signaling;
- LVPECL – low-voltage positive emitter-coupled logic;
- CML – current-mode logic.

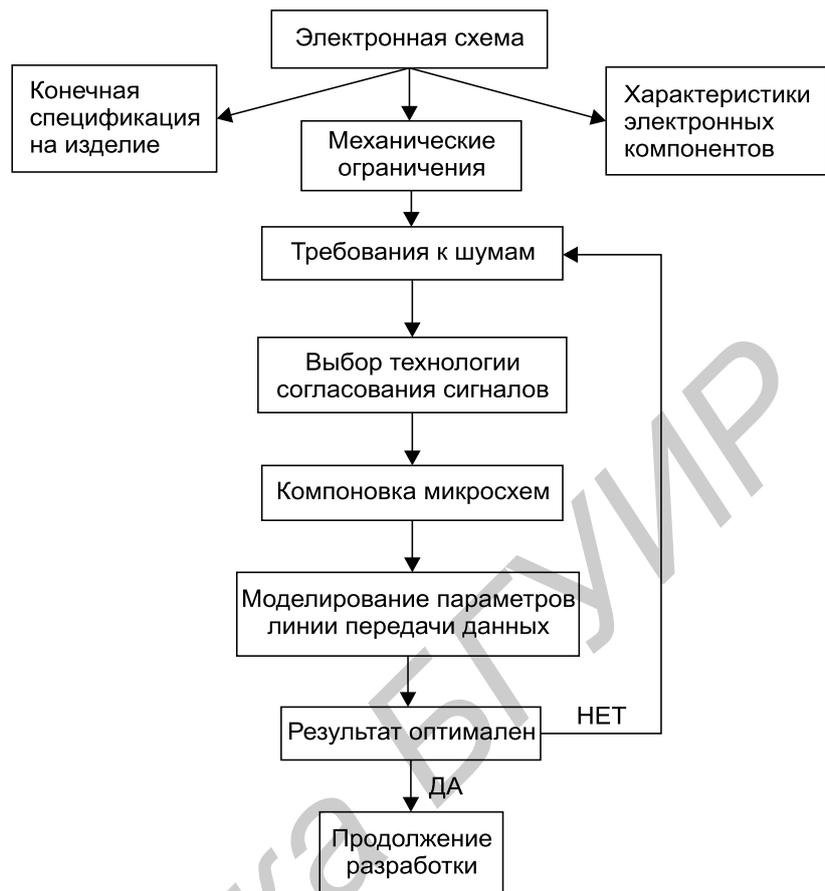


Рис. 3. Схема алгоритма проектирования высокоскоростного модуля

В зависимости от скорости передачи данных и стандартов разработчики выбирают тот интерфейс, который может обеспечить заданные параметры.

Поддержка помехоустойчивости топологически означает применение способа трассировки и компоновки печатной платы таким образом, чтобы обеспечить наилучшую помехозащиту и устойчивость электронного модуля. Для этих целей существуют различные программные комплексы, позволяющие анализировать целостность сигналов (переходные процессы), глазковые диаграммы, перекрестные помехи и спектр излучаемой модулем помехи. Для моделирования данных параметров применяются модели IBIS (I/O buffer information specification)

или SPICE (Simulation program with integrated circuit emphasis). Моделирование можно проводить предтопологическое и посттопологическое. Предтопологическое моделирование необходимо для того, чтобы оценить параметры критических цепей и выбрать стратегию компоновки. Посттопологическое моделирование используется для оптимизации параметров скомпонованной печатной платы и растрассированных цепей.

При проектировании топологии печатной платы важно учитывать требования, предъявляемые к сигналам и определенные стандартами, документацией на микросхемы и компоновкой микросхем на печатной плате. Структурная схема алго-

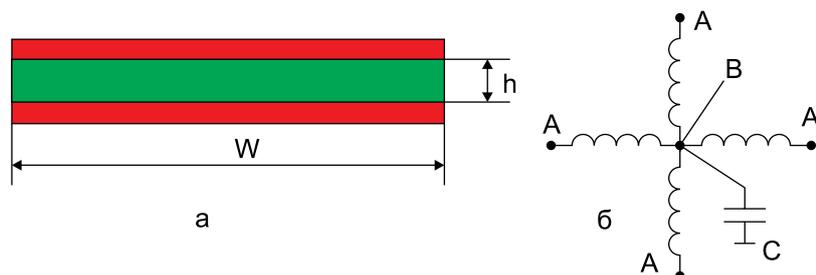


Рис. 4. Опорные слои печатной платы (а) и эквивалентная схема связей между ними (б)

ритма проектирования представлена на рисунке 3.

### КОМПОНОВКА ЭЛЕКТРОННЫХ МОДУЛЕЙ

Компоновку микросхем на печатной плате необходимо осуществлять с учетом скорости интерфейсов, применяемых в электронном модуле. В соответствии с IPC-2251 при компоновке руководствуются следующими правилами [3]:

1. микросхемы, работающие на высоких частотах, размещают дальше от сигнальных разъемов, но ближе к разъемам питания;
2. высокочастотные компоненты располагают дальше от края печатной платы, что способствует снижению излучаемых ими помех;
3. при трассировке печатной платы необходимо контролировать импеданс линии передачи данных с целью согласования передатчика и приемника;
4. компоновать микросхемы следует в функциональные группы для уменьшения длины проводников;
5. необходимо снижать развязку между слоями питания и «земли» увеличением емкостной связи и снижением индуктивности печатных проводников, переходных отверстий и выводов элементов.

При проектировании печатной платы очень важно обеспечить оптимальный (кратчайший) путь протекания обратных токов высокоскоростных элементов печатной платы. Для этого необходимо поддерживать минимальный импеданс опорных слоев (Power Delivery Network – PDN), как видно на рисунке 4 [4]. Данная задача является одной из первых при проектировании структуры печатной платы и определения компоновки слоев.

На рис. 4 точки «А» – источник питания «+», точка «С» – сток питания «-», точка «В» – потребитель. Таким образом, питающие токи проходят через микросхему, возвращаются к источнику, при этом проходя через микросхему, и приобретают переменную составляющую, обогащенную высокочастотными гармониками. Импеданс опорных слоев можно рассчитать как:

$$Z_0 = \sqrt{R_p^2 + (Z_i - Z_c)^2} \quad (1),$$

где  $R_p$  – активное сопротивление проводящих слоев;  $L_p$ ,  $C_p$  – реактивные сопротивления индуктивной и емкостной составляющих [3].

$$Z_i = 2\pi f \cdot L_p \quad (2)$$

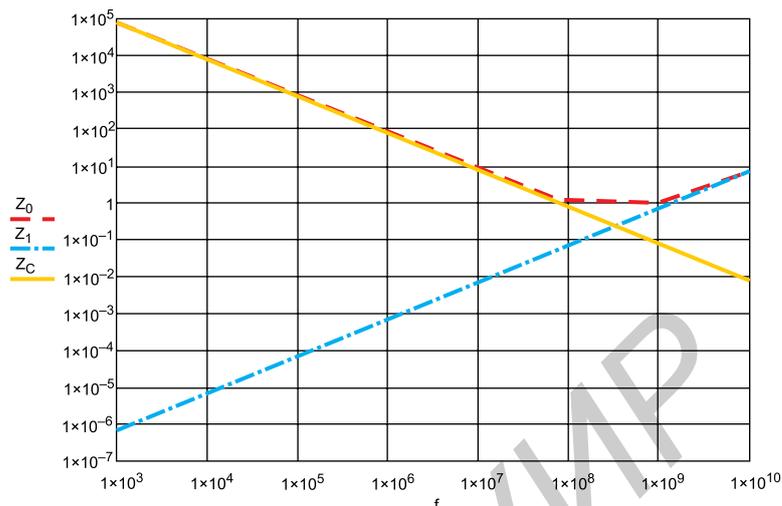


Рис. 5. Зависимости импеданса PDN и его составляющих от частоты для опорных слоев печатной платы площадью 100x100 мм и расстоянием 0,2 мм

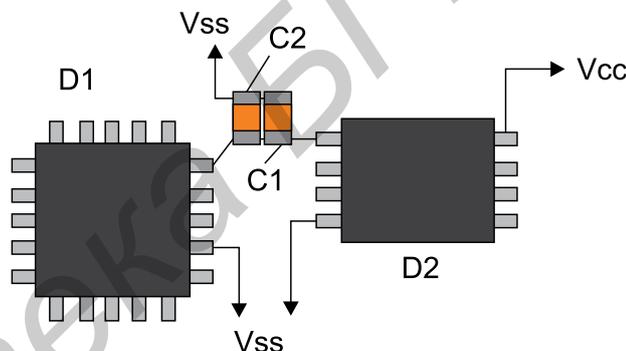


Рис. 6. Компоновка высокоскоростной микросхемы и её источника питания

$$L_p = \frac{\mu_0 \cdot \mu_r \cdot h}{2} \quad (3),$$

где  $\mu_0$  – магнитная постоянная;  $\mu_r$  – относительная магнитная проницаемость;  $h$  – расстояние между опорными слоями.

$$Z_i = \frac{1}{2 \cdot \pi \cdot f \cdot C_p} \quad (4)$$

$$C_p = \frac{\epsilon \cdot S}{11,3 \cdot h} \quad (5)$$

где  $\epsilon$  – относительная диэлектрическая проницаемость материала;  $S$  – площадь перекрывающихся поверхностей;  $h$  – расстояние между опорными слоями.

Во многих электронных модулях на плату наносится паяльная маска в качестве тонкого покрытия, чтобы предотвратить адгезию припоя к проводникам платы. Высокочастотные печатные платы чаще всего многослойные, использующие комбинацию материалов и конфигураций цепи. Электромагнитная энергия в виде комбинации электрических и магнитных полей, распространяясь через материал платы, испытывает потери, которые складываются из четырех составляющих [5]:

$$a_{\Sigma} = a_c + a_D + a_R + a_L \quad (6)$$

где  $a_c$  – потери в проводниках;  $a_D$  – потери в диэлектриках;  $a_R$  – радиационные потери;  $a_L$  – потери на утечку.

Для высокочастотных плат потери на утечку, за немногим исключением, являются незначительными. Потери на излучение связаны с конструкцией платы и конфигурацией цепи. Потери в проводниках и диэлектриках зависят от выбора материала платы и могут быть снижены в процессе изготовления платы. Так, на частоте 10 ГГц эти потери составляют для платы с открытыми проводниками 0,25 дБ/м, а для плат с паяльной маской – до 0,3 дБ/м.

При проектировании высокоскоростных печатных плат важное значение имеет расположение выводов питания и заземления в многовыводных электронных компонентах. Если корпус BGA имеет выводы «земли» и питания, расположенные в центре корпуса, это может вызвать удлинение петель возврата токов для сигналов в данной области и, как следствие, повышенные наводки на соседние проводники. Если выводы питания и «земли» располага-

ются далеко друг от друга, возрастает паразитная индуктивность цепей возврата токов [6].

Интерфейсы современной цифровой электроники работают в частотном диапазоне от 1 кГц до 10 ГГц. Примером таких интерфейсов могут служить XAUI, JESD, PCI express. В зависимости от частоты обратных токов будет преобладать индуктивная или емкостная составляющая. К примеру, на низких частотах преобладает индуктивная составляющая, поскольку именно она имеет наименьший импеданс, а на высоких частотах – емкостная составляющая. На рисунке 5 приведена зависимость импеданса PDN и его составляющих от частоты для печатной платы размером 100×100 мм, с расстоянием между опорными слоями 0,2 мм.

На рисунке 5 видно, что на частоте порядка 1 кГц общий импеданс PDN составляет 79 кОм, при этом индуктивное сопротивление равно 0,7 мкОм, а емкостное – 79 кОм. Это означает, что низкочастотные обратные токи будут фактически беспрепятственно возвращаться к источнику, поскольку для них сопротивление стремится к минимальному значению, а высокочастотные будут циркулировать по плате, вызывая дрейбег потенциалов опорных слоев, что в результате приведет к возникновению помех в сигнальных цепях и нестабильной работе высокоскоростных цифровых интерфейсов либо к их полному отказу.

Для того чтобы снизить импеданс PDN, необходимо уменьшить импеданс емкостной составляющей. Для этого следует использовать конденсаторы большой емкости (10–100 мкФ). При этом располагать емкостные элементы нужно в непосредственной близости от микросхемы – как правило, при компоновке высокоскоростных печатных плат, источники питания размещают рядом с микросхемами и шунтируют их выход большими емкостями, но следует знать, что у каждого источника питания есть свое ограничение

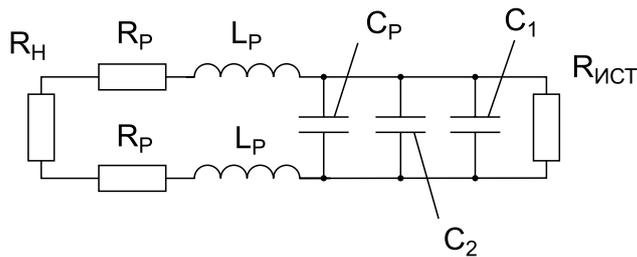


Рис. 7. Эквивалентная схема компоновки высокоскоростной микросхемы

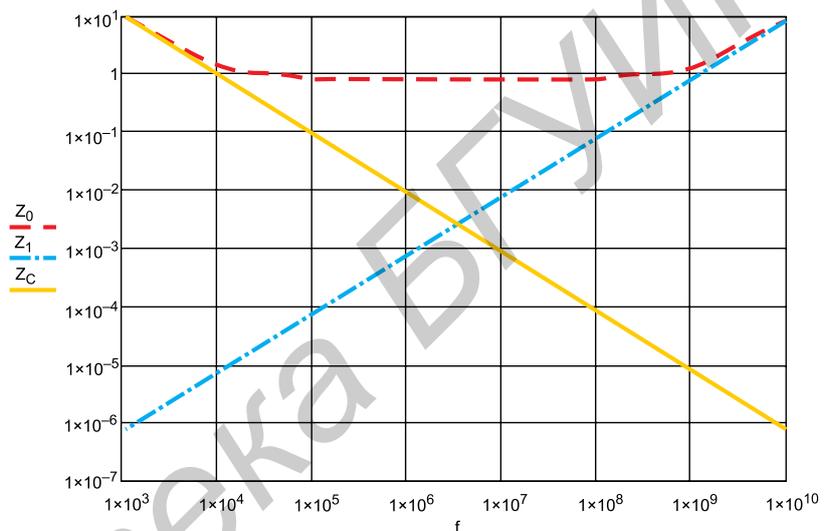


Рис. 8. Зависимости импеданса PDN и его составляющих от частоты



Рис. 9. Компоновка аналого-цифрового модуля

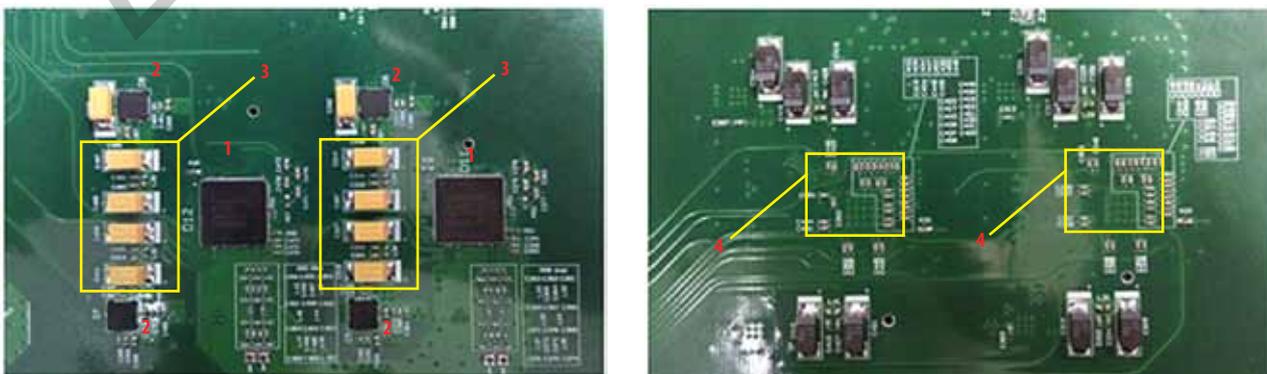


Рис. 10. Компоновка элементов вокруг аналого-цифровых микросхем, слева – верхняя сторона платы, а справа – нижняя

по емкостной нагрузке. На рисунке 6 изображен пример компоновки высокоскоростной микросхемы и ее источника питания [7].

Источник питания (микросхема D2) находится рядом с цифровой микросхемой D1, конденсаторы C1, C2 расположены между ними, в непосредственной близости от выводов питания. Надпись  $V_{CC}$  означает «+» питания,  $V_{SS}$  – «-» питания. Таким образом, включив в параллель дополнительно два конденсатора по 10 мкФ каждый, можно эффективно снизить импеданс PDN.

Эквивалентная схема подключения такой цепи изображена на рисунке 7, а зависимость импеданса PDN от частоты – на рисунке 8.

Аналогично схеме, изображенной на рисунке 7, можно представить PDN любой сложности. На этой схеме  $R_p$  – это активное сопротивление опорного слоя,  $R_n$  – активное сопротивление нагрузки,  $R_{ист}$  – активное сопротивление источника,  $C_p$  – собственная емкость PDN,  $C_1, C_2$  – емкость конденсаторов  $C_1$  и  $C_2$  соответственно. При расчетах сопротивление нагрузки и источника не учитывалось, поскольку нас интересуют только сами опорные слои. Импеданс такой PDN для прежней конфигурации печатной платы представлен на рисунке 8.

Из рисунка 8 следует, что общий импеданс PDN на частоте 1 кГц составляет примерно 8 Ом, что более чем в 9000 раз ниже, чем когда опорные слои связаны только общей емкостью. Такое сопротивление PDN обеспечивает работоспособность высокоскоростной схемы и ее помехоустойчивость.

В первом случае, когда опорные слои были связаны только собственной емкостью, даже незначительный высокочастотный ток в 10 мА мог вызывать высокую разность потенциалов и всплески напряжений до уровня источника питания, приводя к ложным срабатываниям и большим наводкам по всей поверхности печатной платы. После введения дополнительных емкостей, при том же обратном токе в 10 мА, возникающая разность потенциалов по всей поверхности печатной платы не будет превышать 80 мВ, что примерно в 30 раз ниже уровня логической единицы. На рисунке 9 показана компоновка современного электронного модуля, который содержит аналоговую и цифровую часть.

Аналого-цифровой электронный модуль представляет генератор сигналов высокой частоты, применяемый в технологии связи. Поскольку этот модуль совмещает аналоговые и цифровые интерфейсы, он является осо-

бенно критичным к шумам. Основная задача при проектировании подобных модулей состоит в том, чтобы максимально развязать по шумам аналоговую и цифровую часть. На рисунке 10 представлены компоновки элементов в области микросхем, формирующих аналоговый сигнал.

Конденсаторы большой емкости (3) находятся максимально близко к источникам питания (2), а конденсаторы малой емкости (4) расположены непосредственно рядом с выводами питания аналого-цифровых микросхем (1). Это связано с тем, что индуктивность выводов конденсаторов в малом корпусе ниже, а значит, они способны обеспечить минимальное сопротивление высокочастотным обратным токам.

Увеличение емкости конденсаторов приводит к увеличению размеров их корпуса, а значит и размеров вывода элементов и, как следствие, к индуктивности выводов. Полный импеданс конденсатора может быть вычислен по формуле [8]:

$$Z = \sqrt{\frac{C_0^2 \cdot L_i^2 \cdot \omega^4 + C_0^2 \cdot R_s^2 \cdot \omega - 2 \cdot C_0 \cdot L_i \cdot \omega^2 + 1}{C_0^2 \cdot \omega^2}} \quad (7)$$

где  $C_0$  – собственная емкость конденсатора;  $R_s$  – эквивалентное последовательное сопротивление (ESR);  $L_i$  – индуктивность выводов;  $\omega$  – круговая частота.

Таким образом, при проектировании топологии печатной платы очень важно учитывать емкость и индуктивность опорных слоев и выводов ее компонентов, особенно это важно для конденсаторов, фильтрующих высокие частоты. Именно поэтому обычно рядом с микросхемой источника питания ставят конденсаторы большой емкости (десятки микрофарад и более), чтобы снизить влияние индуктивности их выводов на сопротивление PDN, а конденсаторы низкой емкости (единицы микрофарад) устанавливают непосредственно около питающих выводов высокоскоростных микросхем, поскольку индуктивность их выводов мала и они оказывают незначительное влияние на сопротивление PDN. Сравнительные характеристики индуктивности выводов конденсаторов в корпусах DIP и SMD (1206) для разных частот представлены в таблице. [3].

Из таблицы видно, что емкостное реактивное сопротивление у конденсаторов одинаково, но реактивное индуктивное сопротивление выводов отличается на высоких частотах почти в 5 раз. Это говорит о том, что на высоких частотах необходимо применять

Таблица. Реактивные сопротивления выводов корпусов DIP и SMD (1206)

Частота	DIP		1206	
	0,1 мкФ		0,1 мкФ	
МГц	$X_i$	$X_c$	$X_i$	$X_c$
10	0,6	0,16	0,1	0,16
100	5,9	0,016	1,2	0,016
150	8,9	0,011	1,9	0,011
200	11,8	0,008	2,5	0,008
300	17,6	0,005	3,8	0,005
350	20,7	0,004	4,4	0,004
400	23,4	0,004	5,0	0,004
$L_c$ (нГн)	9,4		2	
$R_i$ (Ом)	0,065		0,065	

SMD-конденсаторы для снижения общего импеданса PDN.

### ЗАКЛЮЧЕНИЕ

При проектировании современных электронных модулей с высокоскоростными цифровыми и аналого-цифровыми интерфейсами необходимо максимально возможно снизить импеданс опорных слоев PDN и правильно компоновать электронный модуль. Электронные компоненты на печатной плате следует размещать таким образом, чтобы обеспечить кратчайший путь протекания обратных токов. Не менее важно учитывать иерархию компонентов, а именно устанавливать их таким образом, чтобы обратные токи цифровой части схемы оказывали минимальное влияние на аналоговые компоненты. Этап компоновки слоев питания и «земли» (PDN), электронных компонентов на печатной плате является одними из ключевых моментов и оказывает значительное влияние на выходные параметры модулей.

### ЛИТЕРАТУРА

1. Сайт компании «Altera». [https://www. altera.com](https://www.altera.com)
2. Печатные платы. Справочник/Под ред. К. Ф. Кумбза. М.: Техносфера, 2011.
3. Стандарт по компоновке высокоскоростных электронных схем. IPC-2251, 2003.
4. Джонсон Г., Грэхем М. Конструирование высокоскоростных цифровых устройств. М.: Издательский дом «Вильямс», 2006.
5. Coonrod J. The Effects of PCB Fabrication on High-Frequency Electrical Performance//IPC APEX EXPO Conference Proceedings, San Diego, USA, 19–21.02.2013.
6. Веб С. Основы проектирования высокоскоростных плат//CHIP News. 2006. № 10.
7. Барнс Дж. Электронное конструирование: Методы борьбы с помехами: Пер. с англ. М.: Мир, 1990.
8. Ardizzoni J. A practical guide to high-speed printed-circuit-board layout.: Analog Dialogue 30–09. September 2005.