

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра автоматического управления

А.Р. Решетиллов, Н.И. Ольшевский, К.Д. Яшин

ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА

Лабораторный практикум
для студентов специальностей

53 01 03 «Автоматическое управление в технических системах» и 53 01 07
«Информационные технологии и управление в технических системах»
всех форм обучения

Минск 2005

УДК 621.38+621.382.049.77 (075.8)

ББК 32.85+32.844.1 я 73

Р47

Р е ц е н з е н т:

заведующий кафедрой теоретических основ электротехники БГУИР,
д-р техн. наук, проф. Л.Ю. Шилин

Решетилов А.Р.

Р 47 Электроника и микросхемотехника: Лаб. практикум для студ. спец. 53 01 03 «Автоматическое управление в технических системах» и 53 01 07 «Информационные технологии и управление в технических системах» всех форм обуч./ А.Р. Решетилов, Н.И. Ольшевский, К.Д.Яшин. — Мн.: БГУИР, 2005. — 76 с.: ил.
ISBN 985-444-525-9

В лабораторном практикуме приводятся описания триггеров в интегральном исполнении на операционных усилителях, приборах с нелинейной вольт-амперной характеристикой, а также указания к выполнению лабораторных работ .

УДК 621.38+621.382.049.77 (075.8)

ББК 32.85+32.844.1 я 73

ISBN 985-444-525-9

© Решетилов А.Р., Ольшевский Н.И.,
Яшин К.Д., 2005
© БГУИР, 2005

Содержание

1. Интегральные триггеры и триггеры на потенциальных логических элементах.....	
1.1. Общие сведения.....	
1.2. Асинхронные триггеры.....	
1.2.1. RS-триггеры.....	
1.2.2. JK-триггеры.....	
1.2.3. D-триггеры.....	
1.2.4. T-триггеры.....	
1.3. Тактируемые (синхронные) триггеры.....	
1.3.1. Статические RS-триггеры.....	
1.3.2. Статические D-триггеры.....	
1.4. Двухступенчатые триггеры.....	
1.4.1. Принцип работы двухступенчатых триггеров.....	
1.4.2. RS-триггеры.....	
1.4.3. JK-триггеры.....	
1.5. Триггер с динамической синхронизацией.....	
1.6. T-триггеры.....	
1.7. Описание лабораторной установки.....	
1.8. Порядок выполнения лабораторной работы.....	
1.9. Контрольные вопросы.....	
1.10. Содержание отчёта.....	
Литература.....	
2. Триггеры на операционных усилителях и дискретных элементах (тиристоры, туннельные диоды, однопереходные транзисторы).....	
2.1. Общие сведения.....	
2.2. Триггеры на операционных усилителях.....	
2.3. Триггеры на тиристорах.....	
2.4. Триггеры на туннельных диодах.....	
2.5. Триггеры на двухбазовых диодах (однопереходных транзисторах).....	
2.6. Описание лабораторной установки.....	
2.7. Порядок выполнения лабораторной работы.....	
2.8. Контрольные вопросы.....	
2.9. Содержание отчета.....	
Литература.....	

1. ИНТЕГРАЛЬНЫЕ ТРИГГЕРЫ И ТРИГГЕРЫ НА ПОТЕНЦИАЛЬНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Цель работы – ознакомиться с основными принципами построения триггерных структурных схем с использованием интегральных микросхем, изучить особенности работы различных типов триггеров.

1.1. Общие сведения

Интегральная микросхема – это микроэлектронное изделие, выполняющее определенные функции преобразования (например, входные сигналы в выходные) и представляющее собой законченный функциональный блок, изготовленный в одном корпусе, имеющий параметры, заданные в технических условиях, в принципиальную схему которого нельзя внести никаких изменений, не предусмотренных при его проектировании.

При подключении требуемых напряжений питания и выполнении необходимых внешних соединений такой законченный функциональный блок имеет параметры, указанные в его техническом паспорте.

Условное обозначение микросхем состоит из следующих элементов: первый элемент – цифра, обозначающая группу микросхемы. По конструктивно-технологическим признакам микросхемы подразделяют на три группы, которым присвоены обозначения: 1, 5, 6, 7 – полупроводниковые (7 – бескорпусные); 2, 4, 8 – гибридные; 3 – прочие (пленочные, вакуумные, керамические и т. д.).

В полупроводниковых микросхемах все элементы (диоды, транзисторы, резисторы и т. д.) выполняются внутри или на поверхности полупроводниковой подложки (кристалла) в едином технологическом процессе. Они характеризуются высокой степенью интеграции и массовым производством. В гибридных микросхемах часть элементов может закрепляться (наклеиваться) на поверхности полупроводниковой подложки, поэтому микросхемы могут конструироваться и выпускаться малыми сериями, в том числе и по индивидуальным заказам.

Второй элемент обозначения микросхемы состоит из трех (от 000 до 999) или двух цифр (от 00 до 99), обозначающих порядковый номер серии микросхемы. Обычно первый и второй элементы обозначения используют совместно.

Третий элемент – две буквы, соответствующие функциональному назначению микросхемы, четвертый – условный номер микросхемы в группе данного функционального назначения. Так, например запись 1500ЛА2 состоит из четырех элементов: 1) 1; 2) 500; 3) ЛА; 4) 2, которые обозначают: 1 – полупроводниковая микросхема, 500 – порядковый номер серии, ЛА – логический элемент И-НЕ, 2 – порядковый номер данной схемы в серии по функциональному признаку.

В составе обозначения схемы используются и другие признаки, по которым отличаются отдельные серии. Например, если в серии используются МОП–транзисторы, то дополнительно вводят обозначение НСТЛМ, где НС – непосредственная связь, ТЛ – транзисторная логика, М – МОП-структура; ТТЛ – транзисторно-транзисторная логика; ЭСЛ – эмиттерно-связная логика и т.д. Необходимо иметь в виду, что каждый вид логики имеет свои особенности, например, ТТЛ – положительная логика, т.е. запитывается положительным напряжением питания (обычно +5 В), ЭСЛ – “отрицательная” логика, запитывается отрицательным напряжением питания (обычно -5 В). НСТЛМ, как правило, относится к классу микромошной логики, характеризующейся малым потреблением. В положительной (ТТЛ-логике) за логический 0 принимается напряжение в диапазоне (0 – 0,4)В, а за логическую 1– диапазон напряжений (2,4 – 5)В. Если при работе микросхемы напряжение будет отличным от приведённых, то это будет указывать на её неработоспособность (обязательную замену). Логические элементы различаются также по быстродействию, температурному диапазону, типу корпуса микросхемы, расположению выводов и т. д.

Некоторые условные обозначения третьего – буквенного - элемента триггеров и логических элементов приведены ниже:

триггеры универсальные (типа JK).....	ТВ
триггеры с раздельным запуском (типа RS).....	ТР
триггеры с задержкой (типа D).....	ТМ
триггеры счетные (типа Т).....	ТТ
триггеры динамические	ТД
триггеры Шмитта.....	ТЛ
триггеры комбинированные (типов DT, RSTи т.п.).....	ТК
триггеры прочие.....	ТП
логический элемент И-НЕ.....	ЛА
логический элемент ИЛИ.....	ЛЛ
логический элемент ИЛИ-НЕ.....	ЛЕ
логический элемент НЕ.....	ЛН
прочие логические элементы.....	ЛП.

Буквы К, КР, КМ, КЕ, КА, КИ перед условным обозначением характеризуют условия их приемки и особенности конструктивного выполнения: буква К указывает, что эта микросхема широкого применения; Р – пластиковый корпус; М – металлический, металлокерамический, стеклокерамический корпус; Е – металлополимерный корпус; А – пластмассовый планарного типа; И – стеклокерамический планарный.

Схемы триггеров обычно строят на базе многовходовых элементов, выполняющих функции И-НЕ или ИЛИ-НЕ. В схемах, реализующих эти функции, логические 0 или 1 обычно представлены разными значениями напряжения: напряжением или уровнем 0 U^0 и напряжением или уровнем 1 U^1 . Если уровень 1 больше уровня 0, говорят, что схема работает в положительной логике, в противном случае она работает в отрицательной

логике. Никакой принципиальной разницы между ними нет. Одна и та же электронная схема может работать и в той, и в другой логике.

Известно, что логические операции И и ИЛИ для двух функций X1 и X2 дают следующие результаты (F):

Таблица 1.1

И	И-НЕ
$X1 \cdot X2 = F$	$X1 \cdot X2 = \overline{F}$
$0 \cdot 1 = 0$	$0 \cdot 1 = 1$
$1 \cdot 0 = 0$	$1 \cdot 0 = 1$
$0 \cdot 0 = 0$	$0 \cdot 0 = 1$
$1 \cdot 1 = 1$	$1 \cdot 1 = 0$

Таблица 1.2

ИЛИ	ИЛИ-НЕ
$X1 + X2 = F$	$X1 + X2 = \overline{F}$
$1 + 0 = 1$	$1 + 0 = 0$
$0 + 1 = 1$	$0 + 1 = 0$
$1 + 1 = 1$	$1 + 1 = 0$
$0 + 0 = 0$	$0 + 0 = 1$

Для упрощения анализа схем, выполненных на многовыходовых логических элементах, часто схему И называют схемой, работающей с преобладанием 0, т.е. если на одном её входе будет логический 0, то анализ состояния остальных входов не проводят и делают окончательный вывод о 0 выходе. Соответственно схему с логической функцией ИЛИ называют схемой с преобладанием 1.

Рассмотрим электронную схему для “положительной” логики, выполняющую операцию И. Заменим логические 0 на логические 1. В результате анализа входных и выходных сигналов (см. табл. 1.1, 1.2) получим, что в “отрицательной” логике та же электронная схема (или микросхема) будет выполнять операцию ИЛИ. Это свойство взаимного преобразования постулатов операций логического сложения и умножения в булевой алгебре носит название принципа двойственности. Математически этот принцип записывается так:

$$\begin{aligned} \text{если } X1 \cdot X2 = Z, \text{ то } \overline{X1} + \overline{X2} = \overline{Z}; \\ \text{если } X1 + X2 = Z, \text{ то } \overline{X1} \cdot \overline{X2} = \overline{Z}. \end{aligned}$$

Итак, один и тот же логический элемент (ЛЭ) в зависимости от типа принимаемой логики выполняет или логическую функцию И, или логическую функцию ИЛИ.

На принципиальных схемах логические элементы, триггеры и т.д. изображаются прямоугольником (основное поле), в верхней части которого указан символ функций (&-И; 1-ИЛИ; Т-триггер). Входы показывают с левой стороны, а выходы – с правой. Допускается и другая ориентация прямоугольника, при которой выходы показываются снизу, а входы – сверху. Если микросхема работает в “отрицательной” логике (т.е. обозначенная функция выполняется для низких потенциалов), то на входах ставятся кружочки. В случае триггеров кружочки на входах следует трактовать следующим образом: *входы оказывают влияние (командуют выходом) только при низких потенциалах (логических 0), а при высоких (логических 1) будет состояние ожидания.*

Триггерами называются электронные устройства, имеющие два устойчивых состояния, у которых переход из одного состояния в другое происходит вследствие регенеративного процесса.

Все схемы, которые относятся к классу триггеров, должны обладать рядом специфических требований. Наиболее важными из них являются:

а) наличие в структуре положительной обратной связи (ПОС), за счёт которой реализуется регенеративный процесс переключения;

б) наличие гистерезиса, когда устройство срабатывает от различных (по величине или знаку либо управление прикладывается в различные точки схемы) значений входного сигнала, т.е. схема обладает устойчивыми состояниями.

Под регенеративным процессом обычно понимают переходный процесс в электрической цепи, охваченной положительной обратной связью с петлевым усилением $K_{yc} > 1$ в широком диапазоне частот, который характеризуется резкими изменениями токов и падений напряжений на элементах цепи.

Переход триггера из одного устойчивого состояния в другое происходит при воздействии управляющего сигнала и сопровождается скачкообразным изменением токов и напряжений внутри схемы.

При выполнении триггерных схем на основе стандартных логических элементов процесс их проектирования сводится к разработке схем соединения логических элементов и организации цепи управления. Большое число комбинаций возможных внешних соединений привело к появлению значительного количества триггерных устройств, свойства которых существенно различаются. Их обычно классифицируют по способу записи информации и по функциональному признаку.

Классификация по *способу записи* информации характеризует временную диаграмму работы. По этому признаку триггеры подразделяются на несинхронизируемые (асинхронные) и синхронизируемые (синхронные или тактируемые). У асинхронного триггера изменение его состояния происходит с появлением управляющего сигнала. В синхронизируемых кроме информационных входов, на которые подают управляющие сигналы, имеются входы синхронизации, или, что то же самое, тактовые входы. Изменение состояния триггера при наличии на входе информационных сигналов может произойти только в момент подачи на входы синхронизации соответствующих разрешающих сигналов, причём управление может осуществляться либо потенциалом импульсов (статические – управление уровнем), либо его фронтом (динамические – управление перепадом входного сигнала синхронизации).

Основой классификации триггеров по *функциональному признаку* является вид логического управления, характеризующего состояние входов и выходов триггеров в момент времени до t_n и после их срабатывания t_{n+1} . По этому признаку триггеры подразделяются на RS-, D-, JK-типы и т.д. Название триггера отражает особенность организации его управления и характеризует

вид логического управления, описывающего его функционирование при подаче электрических сигналов. Один из выходов триггера называют *прямым* и обозначают буквой Q , другой – *инверсным* и обозначают \bar{Q} . Состояние триггера отождествляют с сигналом на прямом выходе. Триггер находится в единичном состоянии при $Q = 1$, $\bar{Q} = 0$ и в нулевом - при $Q = 0$, $\bar{Q} = 1$.

Обозначения входов проводят исходя из состояний, в которые устанавливается триггер при подаче на них управляющих сигналов. При этом используют следующие метки: S – вход для раздельной установки триггера в состояние 1 (S – вход от англ. «Set» – установка 1); R – вход для раздельной установки триггера в состояние 0 (R – вход от англ. «Reset» – установка 0, сброс); J – вход для установки состояния 1 в универсальном триггере (J – вход); K – вход для установки состояния 0 в универсальном триггере (K – вход); T – счётный вход (T – вход); D – информационный вход для установки триггеров в состояние 0 или 1 (D – вход); E – дополнительный управляющий вход для разрешения приёма информации (старое обозначение – V); C – управляющий вход разрешения приёма информации (синхронизация, C – вход или тактовый). Триггер обозначают в виде прямоугольника, имеющего основное и дополнительные поля. Внутри *основного поля* пишется буква T или TT , если триггер двухступенчатый; внутри дополнительных полей записываются буквы, характеризующие входы и выходы триггера. Причём если триггер управляется инверсным сигналом (логическим 0), то у соответствующего входа имеется метка $\bar{}$. При наличии нескольких входов одного назначения допускается добавлять к буквам цифры, например: 1, 2, $C1$, $C2$ и т.д. Если переключение триггера осуществляется только в момент действия фронта или спада импульса (динамическое управление), то соответствующие входы обозначают дополнительно маленьким треугольником или косой линией. Треугольник повернут вершуккой внутрь триггера, а косая линия имеет наклон 45° , если триггер срабатывает по перепаду 0, 1 (фронт импульса). Если переключение происходит по перепаду 1, 0 (спад импульса), то направление вершины треугольника изменяется на противоположное, а косая линия проводится под углом 135° . Выходы триггера используют с правой стороны прямоугольника, причём инверсный выход (\bar{Q}) также обозначают кружочком. Примеры условного обозначения триггеров приведены на рис. 1.1, а – е.

Следует обратить внимание на то, что хотя входы двухступенчатого триггера часто показывают не как динамические, его переключение происходит в момент перепада сигнала C на входах. Это следует из принципа действия триггеров этого типа. Поэтому иногда двухступенчатый триггер показывают как одноступенчатый, имеющий динамический вход C .

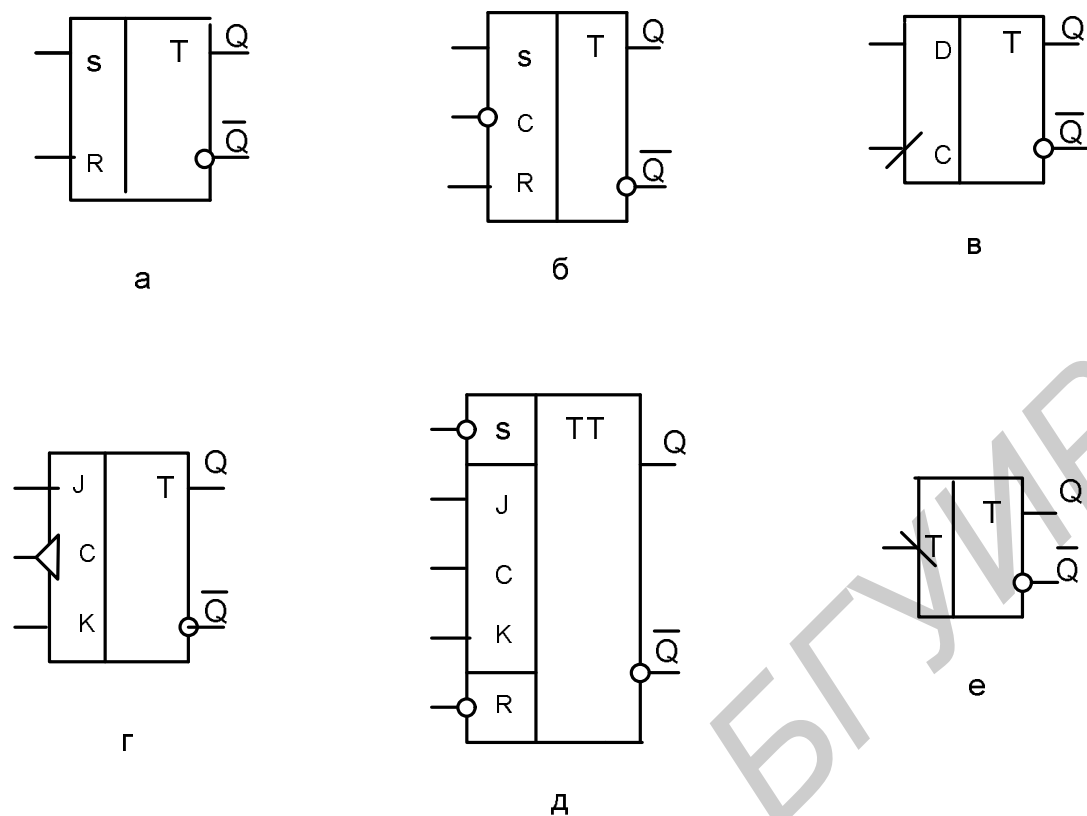


Рис. 1.1. Примеры условных обозначений триггеров: а - асинхронный RS-триггер; б - синхронизируемый логическим 0 RS-триггер; в - D-триггер, срабатывающий по фронту 0,1; г - JK-триггер, срабатывающий по спаду 1,0; д - двухступенчатый JK-триггер с входами раздельной установки в нулевое (R) и единичное состояние (S); е - T-триггер, срабатывающий по спаду

1.2. Асинхронные триггеры

1.2.1. RS-триггеры

Триггер RS-типа (рис. 1.2, а) представляет собой устройство, имеющее два информационных входа R и S. В нём возможны два устойчивых состояния.

В этой схеме выход логического элемента соединен с входом второго логического элемента. Если на выходе одного логического элемента (например Q) имеется сигнал логической 1, то на входе другого будет также логическая 1. На выходе второго и входе первого логического элемента будет сигнал логического 0. Этот логический 0 на входе первого логического элемента обеспечивает получение логической 1 на его выходе. Следовательно, состояние триггера устойчиво. Изменение сигналов на выходах триггера приводит к тому, что схема принимает новое устойчивое состояние, в котором может находиться как угодно долго.

Так как логические элементы И-НЕ в логике другого типа выполняют функции ИЛИ-НЕ, схемы рис. 1.2, а, г эквивалентны между собой. При $R=0$,

$S=1$ триггер принимает состояние 1 ($Q=1$), при $R=1, S=0$ – состояние 0 ($Q=0$). Иногда вход S называют единичным, а R – нулевым.

Исходя из перечисленных наборов будет правильным следующий вывод: сигналы на S - и R -входах (под сигналами понимаются значения логической 1 для положительной логики – рис. 1.2, а, б) обеспечивают однозначное состояние триггера. Сигнал $S=1$ означает $Q=1$, сигнал $R=1$ означает $Q=0$. По окончании сигналов принятое состояние сохраняется; оно сохраняется и после повторения таких же сигналов.

Но на входах триггера может быть набор $S=1$ и $R=1$. Каким бы ни было предыдущее состояние триггера, при таком наборе входных сигналов уровни на обоих выходах, согласно рис. 1.2, а, б, будут одинаковы: $Q=\bar{Q}=0$. Уже одно это обстоятельство говорит о ненормальности ситуации, хотя выхода из строя элементов триггера не произойдет. Такое состояние триггера называют запрещенным, но предсказуемым. Если после этого снова будет ситуация $S=0, R=1$ или $S=1, R=0$, то поведение триггера будет предсказуемым и управляемым. Однако главное противоречие состоит в том, что при одновременном изменении сигналов R и S ($R=0, S=0$) триггер оказывается в неопределенном (непредсказуемом) состоянии: на обоих парах входов в первый момент устанавливаются 0 сигналы. Под действием внутренних флуктуаций триггер с равной вероятностью может перейти в любое из двух устойчивых состояний $Q=1$ или $Q=0$. Поэтому набор $S=1, R=1$ в данном триггере является запрещенным (с точки зрения правильного его функционирования), т.е. он не должен встречаться в триггерах узлов используемой аппаратуры. Такой запрет доказывается из следующих соображений: нельзя одновременно подавать на триггер противоположные команды «установить единицу (S)» и «установить нуль (R)».

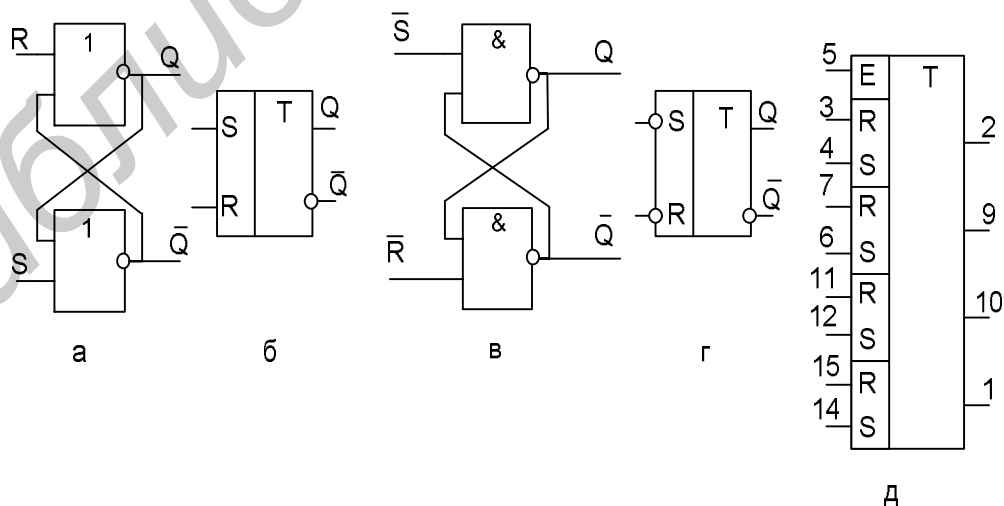


Рис 1.2. Схемы асинхронного RS-триггера:

- а - на элементах ИЛИ-НЕ; б - условное обозначение RS-триггера с управлением логическими 1 (прямыми входами); в - на элементах И-НЕ;
- г - условное обозначение RS-триггера с управлением логическими 0 (с инверсными входами); д - интегральная микросхема типа 564TP2

В схеме, показанной на рис. 1.2, в, г, триггер устанавливают в состояние 1 сигналом $\bar{S} = 0$, а в состояние 0 ($Q=0$) – сигналом $\bar{R} = 0$. Запрещённой является комбинация $\bar{S} = \bar{R} = 0$, когда на выходе будет $Q = \bar{Q} = 1$. Установка данного триггера по \bar{S} - и \bar{R} - входам происходит при подаче сигнала, уровень которого соответствует логическому 0. Такой RS-триггер можно назвать триггером с *инверсным* управлением.

Нетрудно убедиться, что при любом начальном состоянии триггера Q_n подачей на вход \bar{S} кода 0 приводит к появлению 1 на выходе ($Q = 1$), а подача потенциала логического 0 на вход \bar{R} вызывает появление на выходе сигнала $Q = 0$.

Для нормальной работы триггера необходимо, чтобы длительность сигналов, действующих на его входах, была больше задержки переключения обоих плеч триггера.

Асинхронные RS-триггеры находят ограниченное применение в качестве самостоятельных устройств. Однако они часто входят составной частью в схему более сложных триггеров. В ряде случаев RS-триггеры выпускают в виде самостоятельных микросхем. Так, например, в корпусе ИС-типа 564ТР2 находятся 4 RS-триггера, имеющие свои информационные выходы $Q_1 - Q_4$ (1, 2, 9, 10 – рис. 1.2, д). Кроме того, имеется один вход Е разрешения приёма информации. Если на нём имеется логическая 1, то все триггеры работают независимо друг от друга. При логическом 0 на входе Е никакие сигналы на остальных входах триггеров не могут изменить их состояния.

1.2.2. JK-триггеры

Триггер JK-типа часто называют *универсальным*. Это устройство, имеющее входы J и K (Jump-Keep), у которого нет запрещённого состояния. Если на входы J и K подаются сигналы логической 1, то состояние JK-триггера меняется на противоположное при каждом новом входящем импульсе. Другими словами, если входы J и K объединены между собой, JK-триггер работает как T-триггер. В остальных случаях он функционирует как триггер RS-типа. При этом вход J эквивалентен входу S, K – входу R. На рис. 1.3, а, б показана структурная схема простейшего JK-триггера. При одновременной подаче на входы J и K сигнала логической 1 триггер с помощью соответствующих схем совпадений устанавливается в положение 1 или 0 в зависимости от его начального состояния (т.е. ведёт себя как триггер T-типа). Если сигнал подаётся на входы J и K, то триггер, аналогично RS-триггеру, устанавливается соответственно в состояние 1 или 0. Линии задержки необходимы для устранения «состязаний» сигналов. Так, если при объединённых входах J и K за время действия входного сигнала произойдёт изменение потенциала на входе одного из входных логических элементов, то триггер переключится дополнительно. *Для устранения подобных сбоев*

длительность входного сигнала должна быть меньше времени задержки распространения сбоев, вносимых линией задержки DL .

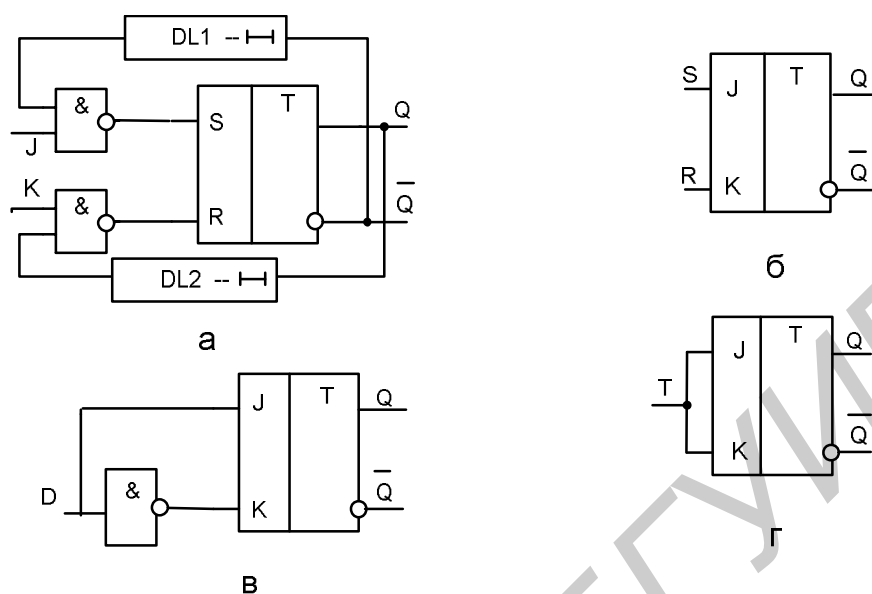


Рис. 1.3. Схемы триггеров:

а - асинхронного JK-триггера; б – асинхронного RS-триггера на базе асинхронного JK-триггера; в - асинхронного D-триггера на базе JK-триггера; г - асинхронного T-триггера на базе JK-триггера

Таким образом, таблица переходов JK-триггера имеет следующий вид:

Таблица 1.3

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n (переключение)

Здесь Q_n – исходное состояние триггера, Q_{n+1} – новое состояние триггера в соответствии с набором управляющих сигналов.

Триггер JK-типа универсальным называют потому, что на его основе с помощью несложных коммутационных изменений можно получить RS-, D-, T-триггеры (рис. 1.3, б – г), которым присущи те же недостатки, что и JK-триггеру (см. текст выше).

1.2.3. D-триггеры

Триггеры D-типа (от англ. «Delay» – задержка) иногда называют триггерами задержки. У них имеется один информационный вход D и возможны два устойчивых состояния.

Логическое уравнение, описывающее работу D-триггера, имеет вид

$$Q^{n+1} = D^n.$$

Оно показывает, что состояние D-триггера в момент времени t_{n+1} совпадает с кодом входного сигнала, действующего в момент времени t_n .

Роль простейшего асинхронного D-триггера может выполнить схема, состоящая из двух или нескольких последовательно включенных элементов (рис. 1.4, а), в которой выходной сигнал из-за задержки распространения ($t_{здр}$) в каждом логическом элементе сдвинут относительно входного сигнала.

В состав D-триггеров, применяемых на практике, обычно входят RS-триггеры, управление которыми организовано соответствующим образом. Известно, что в положительной логике на выходе RS-триггера будет сигнал, совпадающий со значением S при $S \neq R$. Поэтому вход D необходимо соединить непосредственно с S-входом, а на вход R подавать инверсный сигнал для выполнения условия $S \neq R$. Возможная структура D-триггера показана на рис. 1.4, б. В нём вследствие задержки распространения в логических элементах сигнал на выходе Q появляется также с определённой задержкой времени. Запрещённое состояние в D-триггере невозможно.

Действительно, если на вход D был подан сигнал 1, то на выходе триггера $Q = 1$, $\bar{Q} = 0$. При подаче на вход D кода 0 на входе S триггера, входящего в D-триггер, появится код 0, а на входе R из-за задержки распространения в логическом элементе останется код 0. Состояние триггера не изменится. Через промежуток времени, равный $t_{здр}$, на входе R появится код 1, который изменит состояние выхода на 0, а выхода \bar{Q} – на 1. Другими словами, выходной сигнал повторит входной сигнал с задержкой $t_{здр}$ (рис. 1.3, в). Если теперь сигнал входа D примет значение 1, то на выходе Q должен появиться сигнал 1. Но так как на входе R на время $t_{здр}$ останется код 1, состояние триггера измениться не успеет. Через промежуток времени $t_{здр}$ на входе R появится 0, а на выходе Q установится код 1. Сигнал на выходе триггера опять повторит входной сигнал с задержкой $t_{здр}$.

Данный D-триггер работает в том случае, когда задержка в элементах RS-триггера больше времени задержки дополнительно введённого элемента ИЛИ-НЕ, так что информация не теряется при возникающих неопределённых ситуациях.

Если на вход D будет поступать ряд повторяющихся импульсов, выходной сигнал имеет ту же частоту.

Асинхронный D-триггер можно создать и на базе асинхронного JK-триггера в соответствии со схемой рис. 1.3, в. В этой схеме используется особенность работы JK-триггера, отображённая в табл.1.3 второй и третьей

строками. Эти строки совместно реализуют алгоритм функционирования D-триггера.

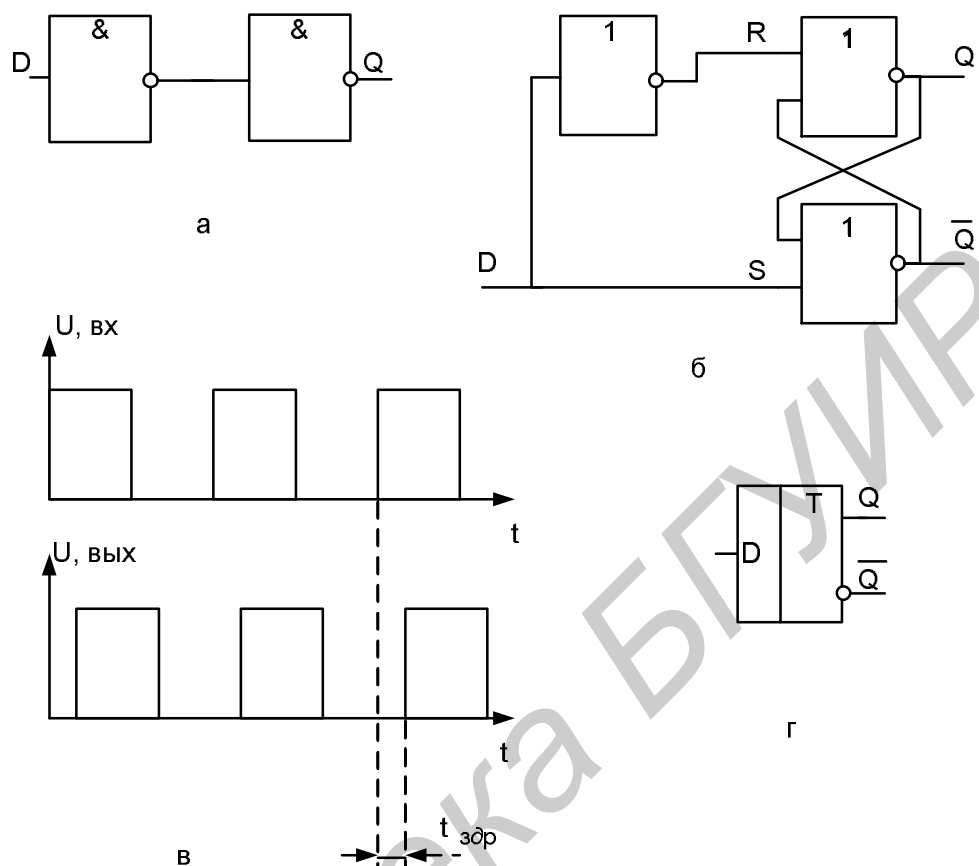


Рис. 1.4. Схемы асинхронных D-триггеров (а, б); диаграммы изменений входного и выходного напряжений (в); условное обозначение (г)

1.2.4. T-триггеры

Триггер T-типа – это логическая схема с двумя устойчивыми состояниями и одним информационным входом T, изменяющая своё состояние на противоположное всякий раз, когда на вход T поступает управляющий сигнал. Его часто называют триггером со счётным входом. Если на вход T подать сигнал определённой частоты, то в отличие от D-триггера частота выходных импульсов будет в два раза меньше входных (счёт – деление на 2). Промышленность не выпускает отдельных микросхем этого типа, поэтому их строят на основе тактируемых (синхронных) RS-, D- или JK-триггеров. Сами схемы T-триггеров могут быть асинхронными или синхронными. Особенности построения T-триггеров будут рассмотрены в подразделе 1.3 (тактируемые триггеры).

На рис. 1.3, г показана схема T-триггера на базе асинхронного JK-триггера, которая при эксплуатации имеет ряд существенных недостатков, ограничивающих её практическое применение (основной недостаток выделен курсивом в п. 1.2.2).

1.3. Тактируемые (синхронные) триггеры

1.3.1. Статические RS-триггеры

Тактируемые (синхронные) RS-триггеры имеют на входе каждого плеча схемы совпадения, первые входы которых объединены и принимаются входами синхронизирующих (тактирующих) импульсов. На вторые входы подают информационные сигналы. Такое включение обеспечивает поступление на входы R- и S- триггера информационных сигналов только во время действия потенциала импульсов синхронизации. Некоторые варианты синхронизируемых RS-триггеров показаны на рис. 1.5.

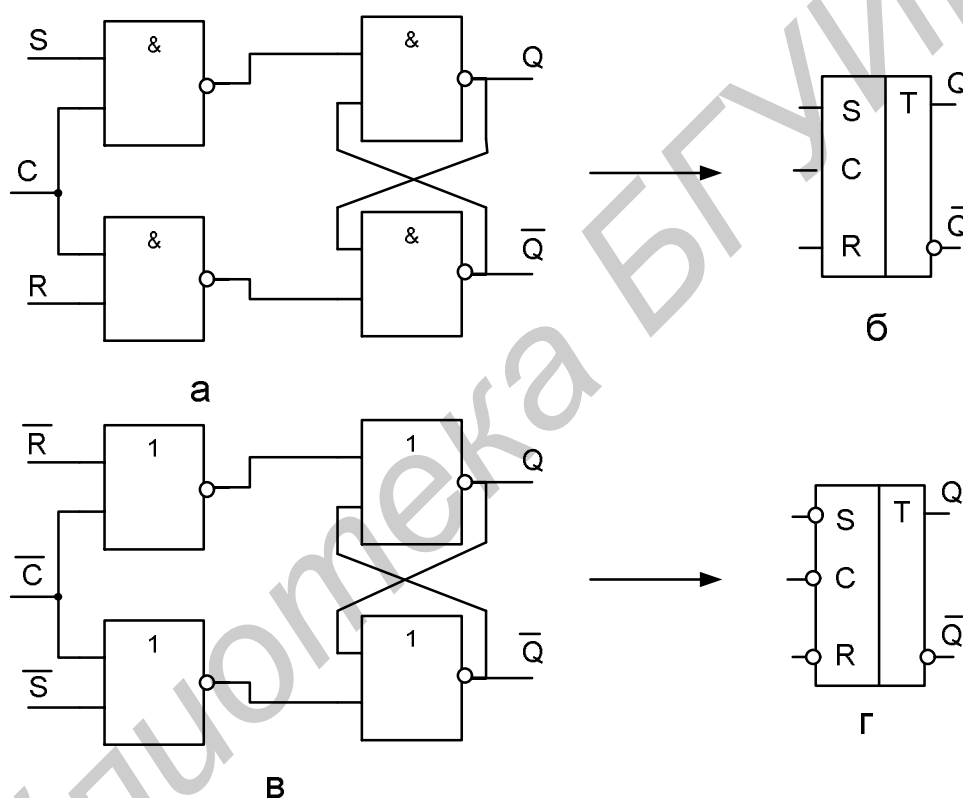


Рис. 1.5. Синхронные статические RS-триггеры (RCS-триггеры):
а - на ЛЭ И-НЕ; б - условное обозначение с прямым управлением;
в - на ЛЭ ИЛИ-НЕ; г - условное обозначение с инверсным управлением

Для примера рассмотрим работу триггера (рис. 1.5, а). Пусть триггер находится в положении $Q=1$, а на вход R подан сигнал логической 1. В этом случае при подаче тактирующего импульса на вход C нижняя схема И-НЕ сформирует на своём выходе сигнал 0. Он вызовет появление выходного сигнала $\bar{Q}=1$, как и в асинхронном RS-триггере, который по цепи обратной связи подаётся на второй вход верхней схемы И триггера и фиксирует, таким образом, состояние RCS-триггера. Следовательно, по окончании тактового

импульса хотя левая нижняя схема совпадений и закроется, состояние триггера не изменится.

Аналогично при комбинации $S=1$ и $C=1$ триггер установится в состояние $Q=1$. Комбинация $S=R=C=1$ является запрещённой, так как может привести к неопределённости, как и в асинхронном триггере.

Если сигнал $C=1$, то рассматриваемый RCS-триггер будет работать как обычный асинхронный RS-триггер.

Условные графические обозначения синхронных RS-триггеров приведены на рис. 1.5, б, г.

1.3.2. Статические D-триггеры

Варианты практической реализации синхронных одноклапчатных триггеров D-типа, выполненных на элементах И-НЕ или ИЛИ-НЕ, показаны на рис. 1.6, причём схема рис. 1.6, а тактируется сигналами логической 1, а схема рис. 1.6, б – сигналами логического 0. На рис. 1.6, в показано условное обозначение синхронизируемого D-триггера.

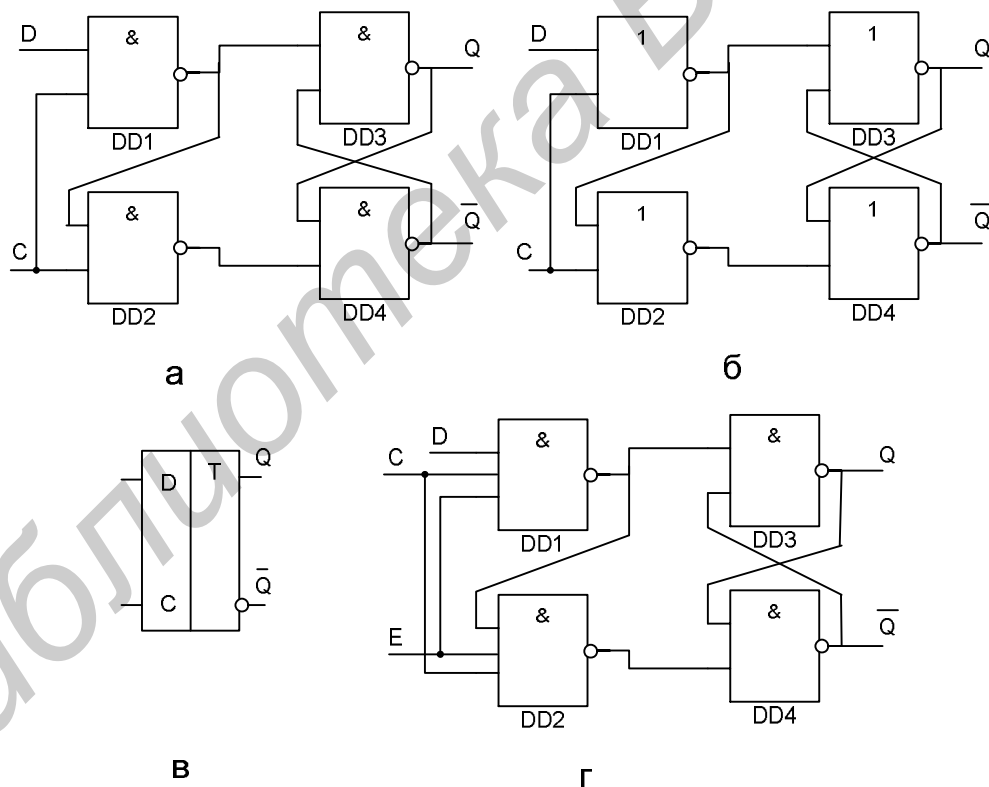


Рис. 1.6. Синхронные статические D-триггеры:

- а - на элементах И-НЕ; б - на элементах ИЛИ-НЕ; в - условное обозначение;
- г - D-триггер с дополнительным управляющим входом Е

В отсутствие сигнала на входе С логические элементы DD1 и DD2 закрыты (они выполняют роль вентилей). Информационный сигнал на входе

D не меняет состояние триггера. Если подается тактовый импульс $C=1$ и при этом $D=1$ (см. рис. 1.6, а), то на выходе DD1 формируется потенциал логического 0. Этот сигнал подается на вход элемента DD3 и устанавливает триггер в состояние $Q=1$, одновременно блокируя включение DD2. При $D=0$ и $C=1$ DD1 останется закрытым, а на выходе DD2, который в этом случае открыт, появится сигнал логического 0 и триггер устанавливается в положение $Q=0$.

Таким образом, в триггере записывается та информация, которая была на входе D до прихода синхронизирующего импульса. Для четкой работы триггера (без сбоев) необходимо, чтобы к приходу синхронизирующего импульса потенциалы выходов логических элементов установились в значения, исключающие ложные срабатывания. Поэтому минимальный интервал между импульсами синхронизации у триггеров с подобной структурой и максимальная частота включения рассчитываются по формулам:

$$t_{\min} = 0,25 \cdot t_{здр}, \quad \frac{1}{w_{\min}} = 0,25 \cdot t_{здр},$$

где $t_{здр}$ - среднее время задержки распространения сигнала одним логическим элементом.

Структура триггера не меняется, если в нем логические элементы И-НЕ будут заменены на ИЛИ-НЕ. При этом могут меняться местами выходы, а прямые входы - на инверсные (см. рис. 1.6, а, б).

D-триггеры (рис. 1.6) обладают свойством «прозрачности», так как при $C=1$ выход Q повторяет информацию на входе D, в отличие от «непрозрачных» D-триггеров типа рис. 1.15 (шестиэлементных ТМ2), а также двухступенчатых триггеров типа MS (Master-Slave). Кроме того, D-триггеры (см. рис. 1.6, г) называют «защелками»: при $E=1$ информация поступает на выход и закрывается в момент перехода от 1 к 0 (Transparent latch – программный фиксатор).

1.4. Двухступенчатые триггеры

1.4.1. Принцип работы двухступенчатых триггеров

Рассмотренный ранее синхронный одноктактный RCS-триггер при информационном (управляющем) потенциале входа C ведёт себя как обычный асинхронный триггер и изменяет своё состояние в соответствии с набором информации на входах S и R. Эта особенность не позволяет строить на его базе работоспособные схемы T-триггеров в соответствии с рис. 1.7.

Приведённые структуры соответствуют алгоритму работы T-триггера. Однако на практике они не могут обеспечить его надёжное функционирование. Объясняется это тем, что в данном случае элемент памяти (сам триггер) одновременно должен выполнять две взаимоисключающие функции: с одной стороны, он должен быть источником информации, а с другой –

её приёмником. Очевидно, что одновременное выполнение этих функций одним триггером невозможно, так как приём новой информации автоматически означает потерю старой. Поэтому при идеальном быстродействии используемых логических элементов приведённые структуры неработоспособны.

Неработоспособны данные структуры и при использовании элементов, обладающих собственной инерционностью, либо внешних цепей задержки (рис. 1.7). Объясняется это следующим: если к моменту изменения сигнала на входах R , S или D сигнал T ещё не снят, происходит следующее переключение триггера. В результате устройство начинает функционировать как генератор незатухающих колебаний. Для их устранения необходимо либо использовать дополнительный элемент памяти, запоминающий новые значения сигналов R , S или D и подающий их на информационные входы основного элемента памяти только после снятия активного сигнала со входа T , либо искусственно ограничивать длительность сигнала T . Эти принципы реализованы в так называемых двухступенчатых триггерах и триггерах с динамическим управлением.

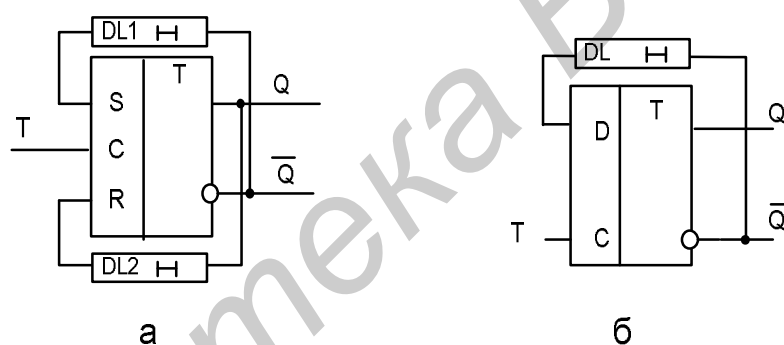


Рис. 1.7. Асинхронные Т-триггеры на основе одноктактного потенциального RCS-триггера (а) и одноктактного потенциального D-триггера (б)

В двухступенчатом триггере противоречие между процессами хранения старой и приёмом новой информации разрешено введением второго запоминающего элемента. При этом новая информация формируется сначала только во входной ступени триггера при сохранении старой информации в выходной его ступени. Когда новое состояние входной ступени сформировано и снят активный уровень сигнала со входа T , происходит её перезапись в выходную ступень устройства. Таким образом, двухступенчатый триггер фактически состоит из двух последовательно соединённых триггеров – ведущего и ведомого (рис. 1.8). Для устранения режима автоколебаний синхронизация работы ведомого триггера осуществляется инверсными логическими уровнями сигнала синхронизации. По отношению к синхроимпульсу ведущего часто двухступенчатый триггер называют MS-триггером (от англ. слов «Master» и «Slave» – хозяин и раб, ведущий и ведомый). Следует отметить, что по структуре двухступенчатого могут быть построены любые типы триггеров.

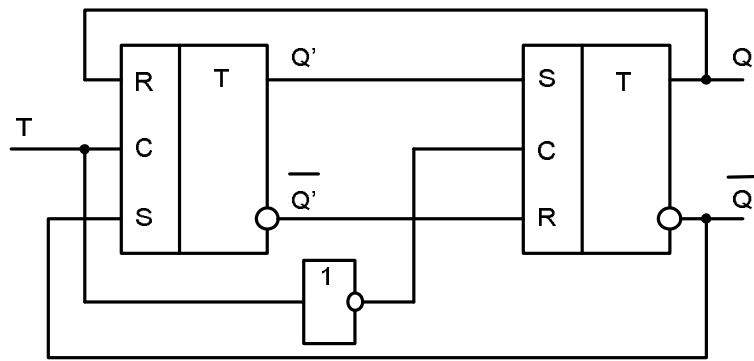


Рис. 1.8. Двухступенчатый Т-триггер

Эта микросхема Т-триггера (рис 1.8) показана как теоретический пример.

1.4.2. RS-триггеры

В качестве примера рассмотрим реальную структуру двухступенчатого RS-триггера или триггера с запрещающими связями (рис. 1.9).

На интервале действия сигнала $C=0$ на входах первого (DD1) и второго (DD2) элементов 2И-НЕ присутствуют сигналы логическая 1. Эти сигналы пассивны для первого асинхронного RS-триггера (DD3), и он находится в режиме хранения информации. Допустим, что при этом $Q'=1$, $\bar{Q}'=0$. Эти сигналы совместно с выходными сигналами первого и второго элементов (DD1 и DD2) 2И-НЕ подаются на входы первого (DD4) и второго (DD5) элементов 3И-НЕ. В результате на входах второго асинхронного RS-триггера (DD6) формируются сигналы $S_2=0$ и $R_2=0$, по которым второй асинхронный RS-триггер устанавливается в единичное состояние.

Таким образом, на интервале действия сигнала $C=0$ информация из первого триггера переписывается во второй триггер, на выходе которого устанавливаются сигналы $Q=1$, $\bar{Q}=0$.

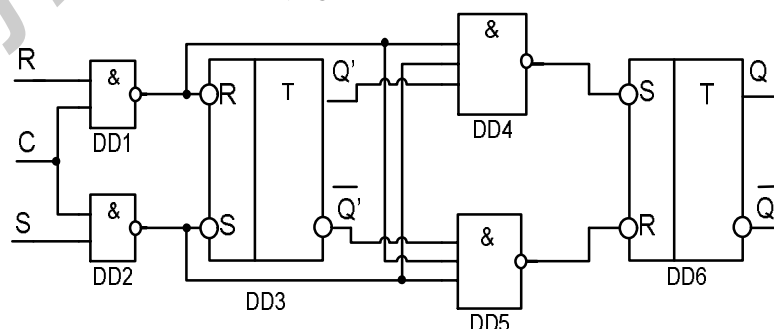


Рис 1.9. Структурная схема RS-триггера с запрещающими связями

Предположим, что на входах триггера действуют сигналы $R=1$ и $S=0$. Тогда по сигналу $C=1$ непосредственно на входах R1 и S1 первого асинхронного триггера DD3 сформируются сигналы $R=0$ и $S=1$, которые сбрасывают его. Одновременно с этим сигнал логический 0 с выхода первого

элемента 2И-НЕ (DD1), поступая на входы первого (DD4) и второго (DD5) элементов 3И-НЕ, формирует на их выходах пассивные для второго асинхронного RS-триггера сигналы. Поэтому этот триггер находится в режиме хранения информации.

Следовательно, при $C=1$ входная информация записывается в триггер (DD3) первой ступени. Триггер второй ступени (DD6) хранит старую информацию, которая будет заменена на новую только на интервале действия сигнала $C=0$.

Из сказанного следует, что использование двухступенчатых триггеров, выполненных по структурным схемам (рис. 1.8 и 1.9), позволяет обеспечить высокую надёжность функционирования триггеров с внутренними цепями связи. На принципиальных схемах двухступенчатые триггеры обозначаются двойной буквой (ТТ) (рис. 1.10).

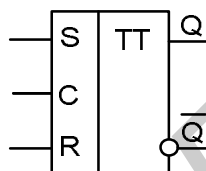


Рис. 1.10. Условное графическое обозначение двухступенчатого RS-триггера

1.4.3. JK-триггеры

В интегральной схемотехнике JK-триггеры выполняют с динамической синхронизацией и двухступенчатыми. В последних имеются основной триггер (1-я ступень), в который записывается приходящая информация, и вспомогательный (2-я ступень), в который переписывается информация из основного триггера.

Построение двухступенчатого JK-триггера рассмотрим на примере рис. 1.11, а. Он состоит из основного триггера на логических элементах DD3, DD4 с вентилями DD1, DD2 и дополнительного триггера на логических элементах DD7, DD8 с вентилями DD5, DD6. Дополнительный триггер также является тактируемым, причём в отличие от основного он синхронизируется потенциалом логического 0. Для этой цели в схему введён инвертор DD9 на логическом элементе ИЛИ-НЕ.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ($Q=0$), тогда на входах вентилях DD1, DD2 будут соответственно логическая 1 ($\bar{Q}=1$) и логический 0 ($Q=0$). При отсутствии тактового импульса на входе C ($C=0$) вентили DD1, DD2 закрыты, независимо от того, какие сигналы на остальных входах DD1, DD2.

Пусть на вход J подан сигнал логической 1, тогда с приходом импульса синхронизации $C=1$ ventиль DD1 откроется, а ventиль DD2 останется закрытым. Одновременно закроются оба ventиля DD5, DD6 сигналом логического 0, снимаемого с выхода инвертора DD9. Сигнал логического 0, снимаемого с открытого ventиля DD1, записывает в основной триггер информацию, устанавливая его в состояние 1. Тогда на одном из входов ventиля DD5 будет сигнал логической 1, а на входе ventиля DD6 – сигнал логического 0. Однако эти сигналы никак не меняют состояния вспомогательного триггера, так как ventиля DD5 и DD6 во время действия импульса синхронизации $C=1$ закрыты. По его окончании на вторых входах ventилей DD5, DD6 появится логическая 1, а ventиля DD1, DD2 закроются. Так как основной триггер находится в положении 1, то откроется ventиль DD5 и информация запишется во вспомогательный триггер, который установится в положение 1 ($Q=1$).

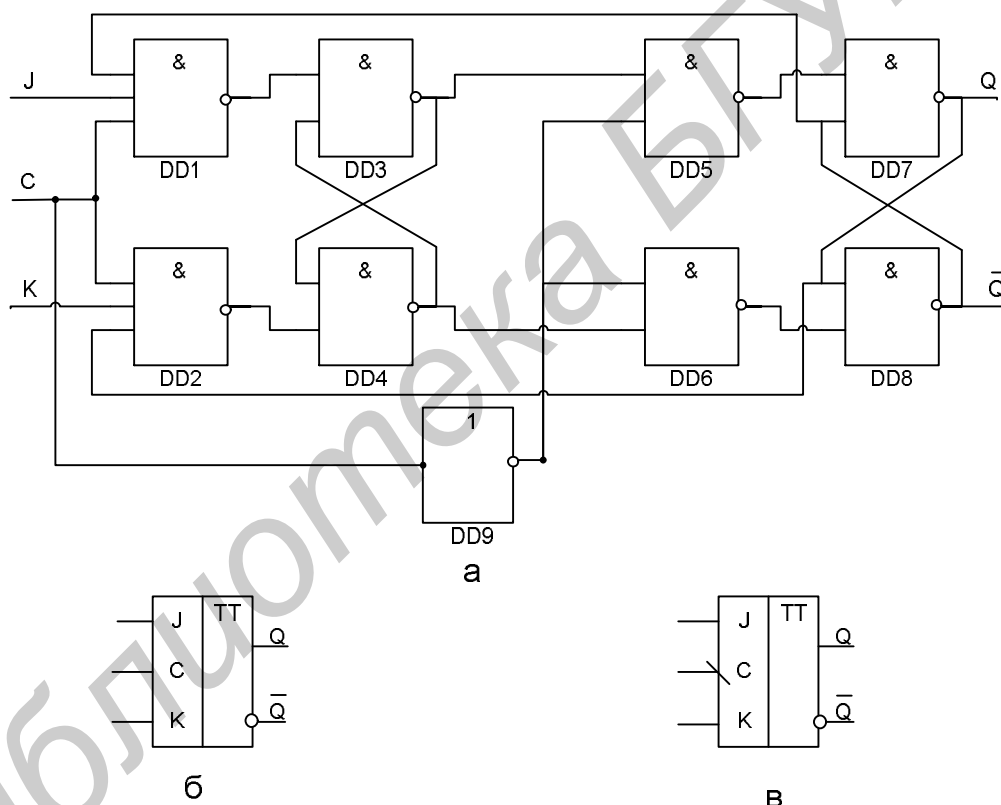


Рис. 1.11. Схема двухступенчатого JK- триггера (а) и его условные обозначения (б, в)

Совершенно аналогично сигнал, поданный на вход K ($K=1$), установит триггер в состояние логического 0 ($Q=0$).

Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал C переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются спадом в отличие от триггеров, тактируемых потенциалом.

Если соединить вместе входы J и K, то триггер станет счётным и превратится в триггер Т-типа. Действительно, если триггер находится в положении логической 1 ($Q=1$), то при одновременной подаче $K=J=1$ и $C=1$ вентиль DD1 будет закрыт сигналом логического 0 ($\bar{Q}=0$), снимаемым с выхода триггера. Так как открывается только вентиль DD2, триггер устанавливается в нулевое состояние ($Q=0$), при этом выходной потенциал $Q=0$ блокирует вентиль DD2. Поэтому следующая комбинация $K=J=C=1$ переводит триггер в состояние $Q=1$ и т.д. Если входы J, K, C объединить между собой, то синхронный JK-триггер будет работать как асинхронный Т-триггер. Тот же результат получается в случае, когда на входы J и K подать логическую 1, а счётные импульсы – на вход C.

Двухступенчатый триггер ведёт себя подобно триггеру с инверсной динамической синхронизацией, хотя и основной, и вспомогательный триггеры имеют статическое управление.

Промышленностью выпускаются JK-триггеры, имеющие разные функциональные возможности. Так, в ИС типа 155ТВ1 (рис. 1.12, а) на входах J и K установлены трёхходовые логические элементы и имеются входы раздельной установки в состояние логического 0 (R) и состояние логической 1 (S). Использование этой микросхемы в качестве Т-триггера показано на рис. 1.12, б, асинхронного RS-триггера – на рис. 1.12, в, синхронного RS-триггера – на рис. 1.12, г. Наличие логического элемента И на входах J и K расширяет функциональные возможности микросхемы. Так, при введении дополнительных логических элементов и использовании логики, имеющейся во входных цепях триггеров, удаётся реализовать устройства с видоизменёнными уровнями функционирования. В ряде случаев они имеют свои названия, например, триггеры типа S (при $S=R=1$ устанавливаются в единичное состояние), типа R (при $S=R=1$ устанавливаются в нулевое состояние), типа E (при $S=R=1$ не изменяют своего состояния).

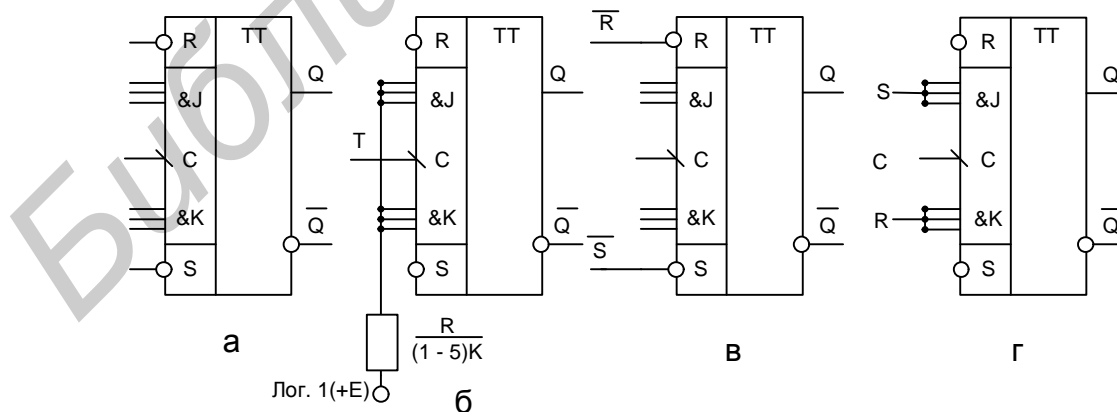


Рис. 1.12. Микросхема JK- триггера типа 155ТВ1 (а) и её включения: Т- триггером (б); асинхронным RS- триггером (в) и синхронным RS-триггером (RCS-триггер) (г)

Ранее уже отмечалось, что JK-триггер является универсальным и позволяет построить на своей основе все рассмотренные ранее типы триггеров. Сказанное можно проиллюстрировать рис. 1.13, где приведены упрощённые условные схемы функциональных триггеров. Следует отметить, что JK-триггер, аналогично ранее рассмотренным, может дополнительно снабжаться входами асинхронной установки R и S, сигналы на которых имеют приоритет над сигналами остальных входов.

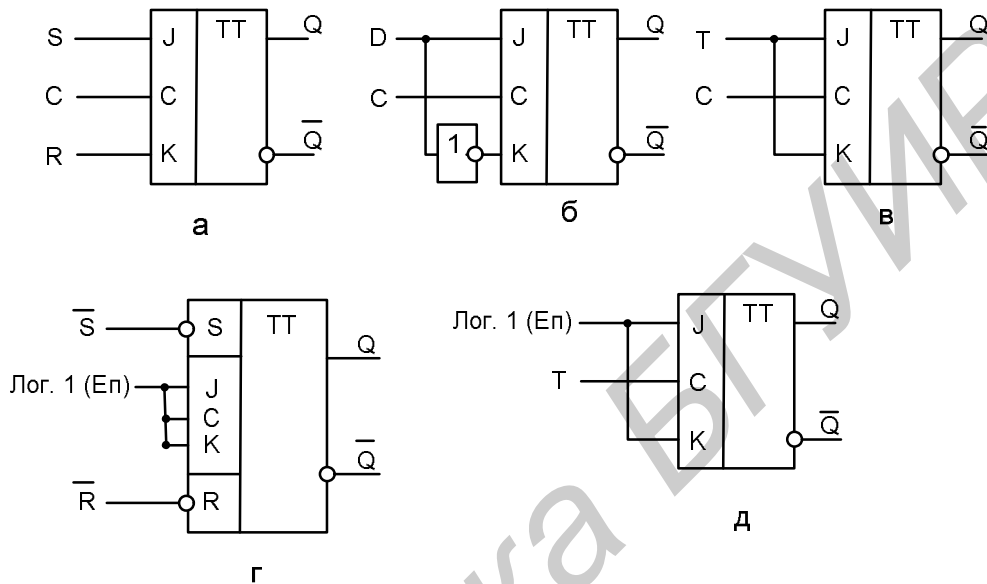


Рис. 1.13. Построение триггеров на основе JK-триггера: синхронный RS-триггер (а); D-триггер (б); синхронный T-триггер (в); асинхронный RS-триггер (г); асинхронный T-триггер (д)

1.5. Триггер с динамической синхронизацией

Все рассмотренные типы триггеров являются триггерами со статическим управлением, хотя работа двухступенчатого близка к работе триггеров с динамической синхронизацией. Это накладывает определенные требования к виду сигнала синхронизации. Так как активным логическим уровнем на входе синхронизации рассмотренных ранее триггеров является сигнал $C=1$, то на интервале действия этого сигнала они беспрепятственно воспринимают любое изменение сигналов на своих информационных входах. Поэтому для записи определенной информации сигнал на информационных входах триггера должен оставаться неизменным на всем интервале действия активного логического сигнала на входе синхронизации. На практике такое требование приводит к дополнительным трудностям при проектировании цифровых устройств и их усложнению. От указанного недостатка свободны триггеры с так называемым динамическим управлением. Суть такого управления заключается в том, что в качестве активного логического сигнала выступает не сам статический

уровень, а его изменение. Другими словами, переключение триггера происходит в течение короткого промежутка времени вблизи фронта или спада импульса синхронизации.

Если триггер реагирует на фронт импульса, т.е. на перепад сигнала от логического 0 к логической 1, то считают, что он снабжен *прямым динамическим входом*. Если же триггер реагирует на спад импульса, т.е. на перепад сигнала от логической 1 к логическому 0, то считают, что он снабжен *инверсным динамическим входом*. Обозначение на принципиальных электрических схемах таких входов показано на рис. 1.14.

Среди триггеров с динамическим управлением широкое распространение получила так называемая схема трех триггеров. Идея построения структуры такого триггера состоит в запоминании сигналов, действовавших на информационных входах в момент изменения значения сигнала на входе синхронизации.

Данная идея реализуется подачей информационных сигналов на основную ячейку памяти (асинхронный RS-триггер) не через вспомогательную комбинационную схему, а с использованием дополнительных элементов памяти, т.е. асинхронных RS-триггеров. Так как асинхронный триггер содержит два информационных входа, то для реализации описанной идеи необходимы два вспомогательных RS-триггера. Отсюда и название структуры – схема трех триггеров, или шестиэлементный триггер.

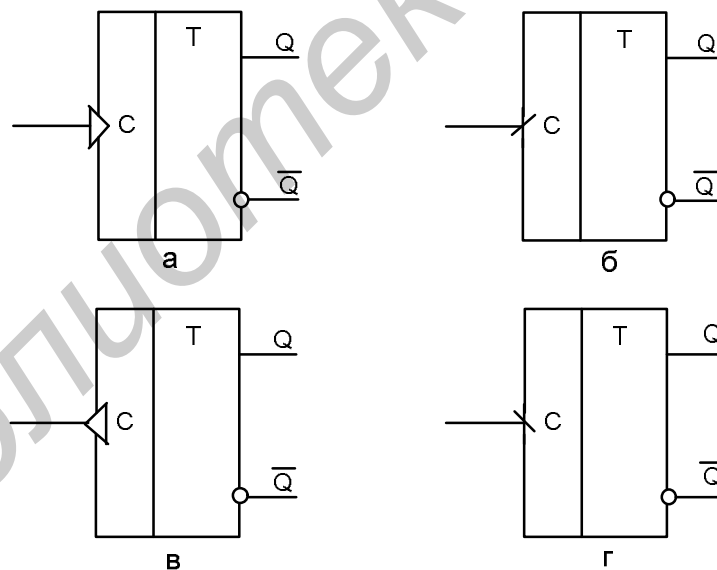


Рис. 1.14. Обозначение входов триггера с динамической синхронизацией:
а, б - прямой динамический; в, г - инверсный динамический

Рассмотрим структуру схемы трех триггеров на примере D-триггера (рис. 1.15). Данная структурная схема получается из схемы обычного синхронного RS триггера (на рис. 1.15 обведен штриховой линией) с добавлением двух элементов 2И–НЕ (DD5, DD6), образующих вместе с элементами входной комбинационной схемы (DD1 и DD2) вспомогательные триггеры.

Для полученной таким образом структурной схемы запишем зависимость выходных переменных X_i , выраженную через совокупность входных переменных, с помощью операций алгебры логики:

$$\begin{aligned} X_1 &= \overline{X_2 X_4} = \overline{X_2} + \overline{X_4}, \\ X_2 &= \overline{X_1 C} = \overline{X_1} + \overline{C}, \\ X_3 &= \overline{X_2 X_4 C} = \overline{X_2} + \overline{X_4} + \overline{C}, \\ X_4 &= \overline{X_3 D} = \overline{X_3} + \overline{D}. \end{aligned} \quad (1)$$

Решим систему уравнений (1) относительно входных сигналов выходного асинхронного RS-триггера:

$$\begin{aligned} X_2 &= \overline{X_1} + \overline{C} = \overline{\overline{X_2 X_4}} + \overline{C} = X_2(\overline{X_3} + \overline{D}) + \overline{C}, \\ X_3 &= \overline{X_2} + \overline{X_4} + \overline{C} = \overline{X_2} + \overline{C} + \overline{X_3 D} = \overline{X_2} + \overline{C} + X_3 D. \end{aligned} \quad (2)$$

Полученные выражения содержат сигналы X_2 и X_3 как в правой, так и в левой части. Это означает, что, подставляя в правые части уравнений значения X_{2n} и X_{3n} , в левой соответственно получаем X_{2n+1} и X_{3n+1} .

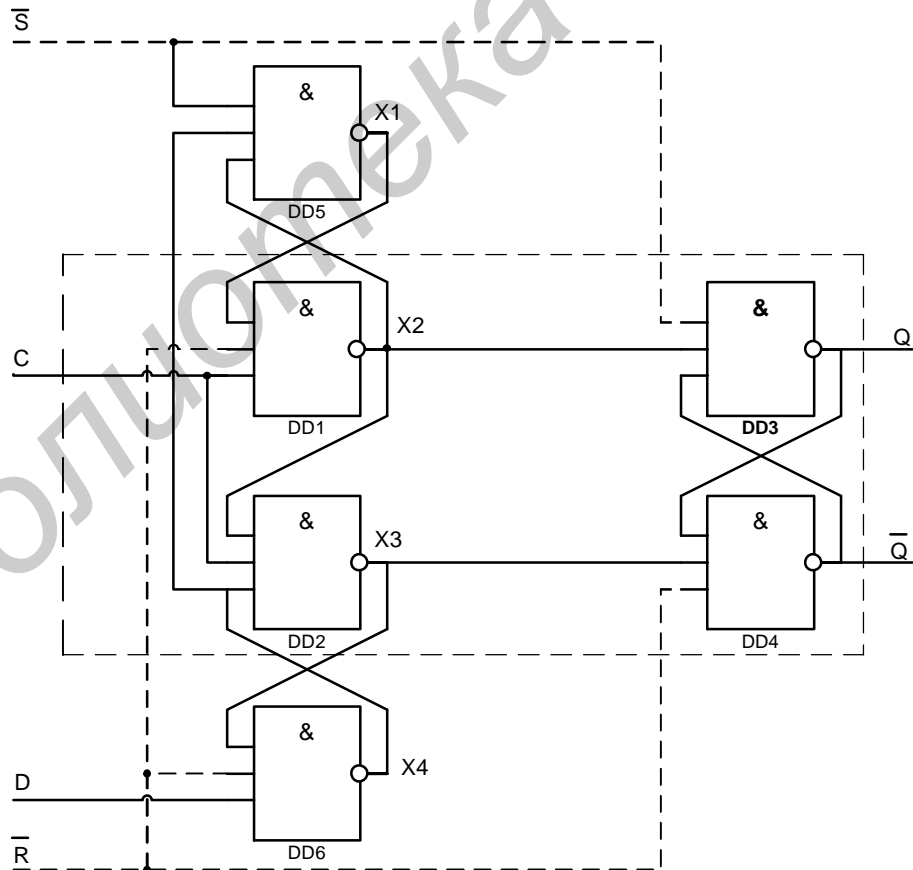


Рис. 1.15. Триггер с динамическим управлением по схеме трех триггеров

Используя выражения (2), рассмотрим работу динамического D-триггера. Допустим, в исходном состоянии $C=0$, тогда, согласно (2), $X_2=X_3=1$ независимо от значения сигнала D. На входах основного асинхронного RS-триггера будут действовать пассивные логические уровни, и он будет находиться в режиме хранения информации.

При поступлении синхронизирующего сигнала $C=1$ (в момент фронта) из (2) будем иметь:

$$X_2 = 1(0 + \bar{D}) + 0 = \bar{D},$$

$$X_3 = 0 \cdot 0 + 1D = D.$$

Данное состояние будет устойчивым, что легко проверить, подставив полученные значения X_2 и X_3 в уравнения (2). Таким образом, при появлении синхронизирующего сигнала $C=1$ на входах основного асинхронного RS-триггера будут присутствовать сигналы, определенные информационным сигналом на входе D. При $D=1$ получим $Q=1$, при $D=0$ будем иметь $Q=0$.

Предположим, что $D=1$, тогда сразу после прихода синхроимпульса (после завершения фронта, во время действия потенциала) имеем $X_2=0$ и $X_3=1$. Подставив эти значения в (2), найдем

$$X_2 = 0(0 + \bar{D}) + 0 = 0,$$

$$X_3 = 1 + 0 + 1D = 1.$$

Таким образом, после прихода синхроимпульса $C=1$ состояние выходного асинхронного RS-триггера становится нечувствительным к изменению значения сигнала на информационном входе D.

Для следующего переключения триггера сначала необходимо подать уровень $C=0$, при этом оба входных триггера устанавливаются в такое состояние, при котором $X_2=X_3=1$. Выходной асинхронный RS-триггер при этом будет находиться в режиме хранения ранее записанной информации. Фронтом следующего импульса синхронизации триггер будет переведен в новое состояние, определяемое значением сигнала на информационном входе D.

Рассмотренный триггер будет триггером с прямым динамическим управлением. На практике в него обычно дополнительно вводят входы асинхронной установки исходного состояния (на рис. 1.15 показаны штриховыми линиями, идущими от \bar{S} и \bar{R}), которые обладают наивысшим приоритетом над всеми информационными входами триггера.

Рассмотренная структура находит применение при построении D-, T- и JK-триггеров.

Следует еще раз подчеркнуть, что триггер с динамическим управлением не чувствителен к изменению информационных сигналов

на интервалах действия сигналов $C=1$ и $C=0$. Переключение происходит после изменения сигнала синхронизации. Строго говоря, переключение триггера происходит не непосредственно по фронту или спаду импульса синхронизации. Поэтому для гарантированной записи информации она должна оставаться неизменной на информационных входах на некотором интервале в окрестности изменения сигнала синхронизации. Ширина этой области определяется реальными задержками в выбранных логических элементах. Обозначим через $t_{здр}$ время, необходимое для переключения логического элемента. Тогда зона, на которой запрещается изменение информационных сигналов для триггера (см. рис. 1.15), будет равна $2t_{здр}$. Интервал от $t_0 - t_{здр}$ до t_0 (t_0 – момент изменения сигнала на входе C) необходим для переключения под действием информационных сигналов элементов DD5 или DD6. Интервал от t_0 до $t_0 + t_{здр}$ необходим для того, чтобы после появления в момент t_0 сигнала синхронизации $C=1$ успели переключиться элементы DD1 и DD2, т.е. входная информация успела зафиксироваться во входных триггерах.

При практических реализациях схем D-триггеров с динамическим управлением запись информации осуществляется в момент действия фронта или спада импульса синхронизации (при перепаде напряжения входа C 0, 1 или 1, 0).

У ряда D-триггеров также имеется дополнительный вход E (V) разрешения приёма информации (DE-триггеры). При $E=1$ такие триггеры функционируют как обычные D-триггеры, а при $E=0$ сохраняют исходное состояние независимо от информации на входе D . Реализовать такой триггер можно путём введения в D-триггер дополнительно элемента И, включённого так, как показано на рис. 1.6, г. Наличие дополнительного входа E позволяет расширить функциональные возможности триггера и сохранить записанную информацию при непрерывном изменении сигналов на входах D и C . Запись информации возможна только тогда, когда на входе E будет логическая 1.

Промышленностью выпускаются микросхемы синхронизируемых D-триггеров с разными функциональными возможностями. Так, в ИС типа 155TM7 (рис. 1.16, а) в одном корпусе имеется 4 синхронизируемых (двухступенчатых) D-триггера, причём каждая пара триггеров может синхронизироваться своим потенциалом входа синхронизации. У интегральных микросхем типа 564TM2 (рис. 1.16, б) в одном корпусе имеется 2 триггера. Использована динамическая синхронизация перепадом сигнала 0, 1 (по фронту). Каждый триггер имеет входы независимой установки в состояние 0 ($R1$ и $R2$) и состояние 1 ($S1$ и $S2$). Интегральная микросхема типа 155TM8 (рис. 1.16, в) содержит 4 D-триггера с динамической синхронизацией фронтом 0, 1 и инверсным входом R установки в нулевое состояние.

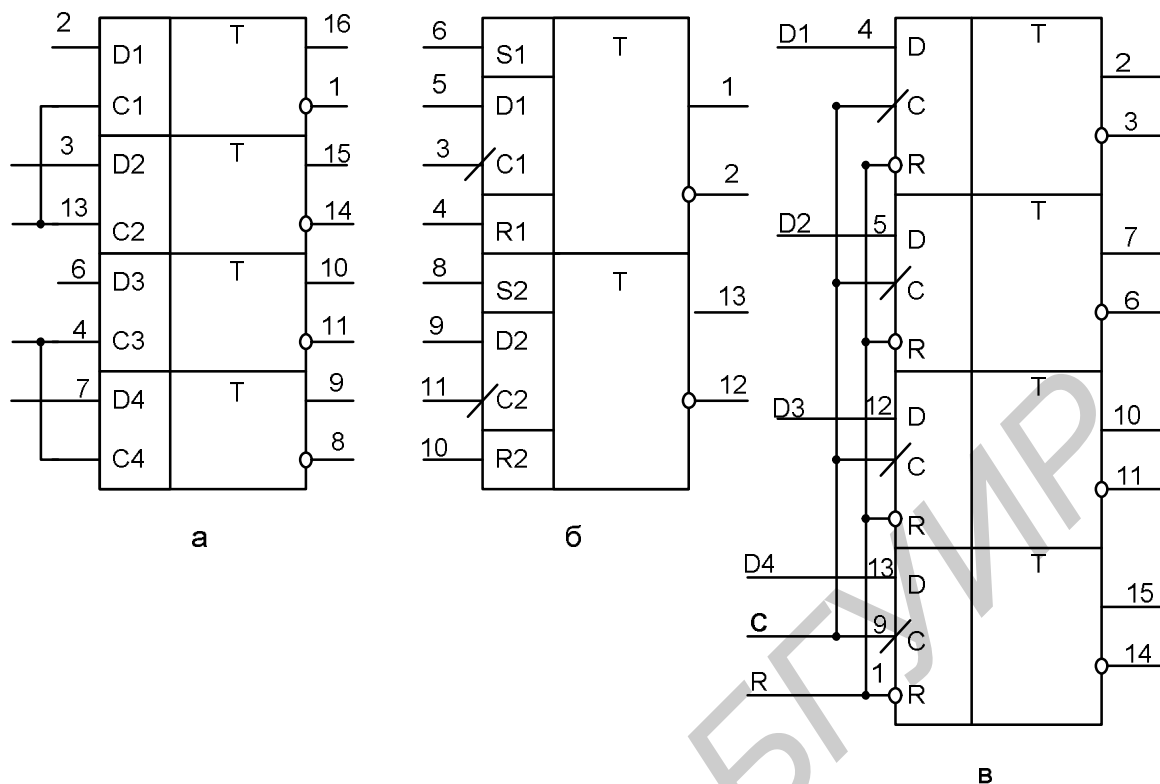


Рис. 1.16. Микросхемы D-триггеров:
а – 155ТМ7; б – 564ТМ2; в – 155ТМ8

1.6. Т-триггеры

Основным способом построения счётных триггеров является введение соответствующих обратных связей в тактируемые RS- и D-триггеры.

Рассмотрим реализацию Т-триггера на основе схемы D-триггера с динамической синхронизацией. Для этого инверсный выход \bar{Q} соединим со входом D, а информационный сигнал подаётся на вход C (рис. 1.17, а). Пусть исходное состояние триггера будет таким, что сигнал на выходе $Q=0$, а на выходе $\bar{Q}=1$. Следовательно, и сигнал на входе D равен логической 1. При первом же перепаде напряжений 0, 1 на входе синхронизации C триггер примет единичное состояние ($Q=1$), так как на входе D был потенциал логической 1, при этом потенциалы на выходе \bar{Q} и на выходе D соответствуют логическому 0.

Так как переключение триггера происходит в течение очень короткого времени, то изменение сигнала на входе D, происходящее с небольшой задержкой относительно момента срабатывания триггера, не может изменить его состояние. Таким образом, первый импульс синхронизации установит триггер в состояние логической 1. На входе D будет потенциал логического 0. Поэтому следующий перепад напряжения 0, 1 на входе C установит триггер в состояние логического 0. Потенциал на входе D станет равным

логической 1. Таким образом, состояние триггера меняется на противоположное при каждом перепаде импульса напряжения на входе синхронизации и триггер как бы считает проходящие входные импульсы.

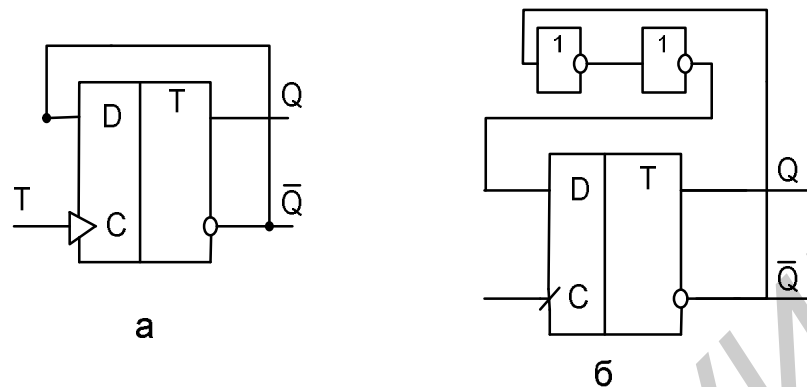


Рис. 1.17. Т-триггер, выполненный на основе D-триггера (а); устранение «гонки» в Т-триггере (б)

Подобный D-триггер нормально функционирует в том случае, если сигнал на входе D не успевает измениться за время переключения триггера. В противном случае начнётся «состязание» или «гонка». В результате их триггер может переключиться два раза или более вследствие быстрого изменения сигнала на входе D, который он успевает отработать. Для исключения этого выход соединяют с входом D через линию задержки, в качестве которой можно использовать один, два логических элемента – рис. 1.17, б (необходимо следить, чтобы в цепи задержки не было инверсии сигнала). Их задержка распространения сигнала обычно бывает достаточной для гибкой работы Т-триггеров, выполненных на микросхемах любых типов.

У Т-триггеров также может иметься дополнительный вход E(V) разрешения приёма информации. Действие его аналогично действию E-входа RS- и D-триггеров. Интегральные схемы Т-триггеров обычно получают путём соответствующих включений D- и JK-триггеров.

Рассмотренная схема Т-триггера (см. рис. 1.17) реализует основной алгоритм работы, хотя создана на схеме динамического D-триггера. Схемы Т-триггеров создаются и на базе синхронного (двухступенчатого) JK-триггера. В этом случае используется особенность работы JK-триггера, показанная в табл.1.3 четвёртой строкой, которая реализует алгоритм функционирования Т-триггера. Исходя из необходимости, может применяться схема асинхронного Т-триггера (см. рис. 1.13, д) или схема синхронного Т-триггера (см. рис. 1.13, в).

Переходные процессы в триггерах, выполненных на основе интегральных логических элементов, протекают достаточно быстро. При ориентировочной оценке можно считать, что для каждой пары логических элементов, соединённых так, что образуется петля положительной обратной связи, длительность фронта или спада равна времени задержки распространения сигнала в этих логических элементах.

Из рассмотренного следует, что триггеры осуществляют запоминание информации и остаются в заданном состоянии после прекращения действия переключающих сигналов. Поэтому они относятся к классу устройств, которые носят название *конечных автоматов* – устройств, имеющих память об их предыдущем состоянии.

Триггеры широко используют при цифровой обработке информации в устройствах измерительной техники.

1.7. Описание лабораторной установки

Передняя панель лабораторной установки изображена на рис. 1.18. В верхней части панели изображены разъёмы с микросхемами, выходы которых подключены к оцифрованным гнездам. Разъёмы имеют номера от 1 до 10 (схемы 1-10). Триггеры на операционных усилителях обозначены символами 11, А, В и 12, триггеры на тиристорах, туннельных диодах и однопереходных транзисторах соответственно пронумерованы цифрами 13, 14, 15. В нижней части панели слева размещён разъём для микросхемы К155ЛА3, которая используется для построения D-, RS-триггеров на логических элементах, а также для вспомогательных целей в процессе выполнения лабораторной работы. Здесь же расположена кнопка с гнездами, нажав на которую, можно образовать уровни 1 или 0. В средней части размещены генераторы импульсов +0...5 В, -0...5 В, +0...9 В. Амплитуда импульсов устанавливается регуляторами амплитуды Рег.Ампл.1, Рег.Ампл.2 и Рег.Ампл.3; частоты следования импульсов могут быть изменены посредством переключателей Рег.Ампл.1, Рег.Ампл.2, Рег.Ампл.3, каждый из которых имеет три фиксированных положения – I, II, III.

Для съёма импульсов предусмотрены по четыре горизонтально расположенных гнезда 1-4, 9-12, 17-20, здесь же расположены «земляные» гнезда 5-8, 13-15, 21-24. Они необходимы для подключения «земляных» электродов осциллографов, вольтметров, для подачи уровня нуля на входы исследуемых триггеров. В правой нижней части передней панели размещены элементы индикации – две сигнальные лампы и два светодиода, которые используются для высвечивания уровней нуля и единицы при подключении к выходам соответствующих триггеров. Для подключения лампочки или светодиода к выходу исследуемого триггера необходимо один из входов элемента индикации соединить с «землёй», а другой присоединить к выходу исследуемой схемы. Лабораторная установка многофункциональная, позволяет выполнять лабораторные работы № 1 и № 2, описанные в данном лабораторном практикуме, здесь же можно производить эксперименты с триггерами ЭСЛ- и КМОП-логики.

1.8. Порядок выполнения лабораторной работы

1. Лабораторная работа выполняется на учебных макетах во время занятий согласно расписанию. Студенты, которые имеют доступ к персональному компьютеру и на винчестере которых имеется специальная программа Electronics WorkBench (дискеты с этой программой и дискету с указаниями порядка выполнения работы можно взять у преподавателя), могут выполнять работу вне лабораторных занятий. В этом случае необходимо точно следовать всем требованиям по оформлению отчёта (схемы, величины резисторов, частоты, временные диаграммы и т.д.). По этим признакам преподаватель имеет возможность сделать корректный вывод о самостоятельной работе студента.

Во время аудиторных занятий уточняются теоретические знания и порядок выполнения работы, производится защита выполненных лабораторных работ. Кроме того, при работе на компьютере необходимы знания теории в объёме общего описания работы, которые будут способствовать успешной защите лабораторной работы.

2. Для выполнения лабораторной работы на учебном макете возникает необходимость иметь нескольких генераторов, способных работать с ТТЛ-логикой.

Первый генератор Г1 с регулировкой амплитуды выходных импульсов в диапазоне $+(0...5)$ В имеется непосредственно в структуре макета (гнезда 1 – 4, рис. 1.18).

Второй генератор Г2 реализуется на базе генератора отрицательных импульсов (гнезда 9 - 12) микросхема К500ПУ125 (рис. 1.18, 1.19, г-преобразователь уровня). Установив в генераторе отрицательных импульсов максимальную амплитуду, подключают его выход на одно из входных гнезд схемы ПУ (гнезда 3, 7, 11, 15). Тогда на соответствующем выходе схемы ПУ (гнезда 4, 5, 12, 13) будут положительные импульсы с амплитудой до 5 В.

Третий генератор Г3 реализуется на базе генератора $+(0...9)$ В (гнезда 17 - 20) с использованием микросхемы К176ПУ2 (преобразователь уровней – рис. 1.18, 1.19, в). Имеется в виду, что преобразователи К176ПУ1, ПУ2, ПУ3, ПУ4, ПУ5 предназначены для перехода от КМДП- к ТТЛ-логике, а для обратного перехода используются микросхемы ПУ6, ПУ7, ПУ8). Для этого, установив на выходе генератора максимальную амплитуду, его выход необходимо подключить к одному из входов ПУ (гнезда 3, 5, 7, 9, 11, 14). Соответственно на одном из выходов микросхемы (гнезда 2, 4, 6, 10, 12, 15) будут положительные импульсы амплитудой до 5 В. Можно поступить иначе. С помощью регулятора выходного напряжения на выходе генератора $+(0 - 9)$ В установить напряжение порядка 4 В и, используя выходные гнезда генератора, подключить его к требуемым точкам исследуемых схем без использования микросхем ПУ.

1 К155ТМ2	2 К500ПУ124	3 К500ТМ131	4 К176ПУ1	5 К176ТМ2
6 К155ТВ1	7 К500ПУ125	8 К500ТМ133	9 К176ПУ2	10 К561ТВ1
11 А В	12 С	13 ТРИГГЕР НА ТИРИСТОРАХ	14 ТРИГГЕР НА ТУННельНОМ ДИОДЕ	15 ТРИГГЕР НА ОДНОПЕРЕХОДНОМ ТРАНЗИСТОРЕ
К155ПА3				

Рис. 1.18. Лицевая панель учебной лабораторной установки

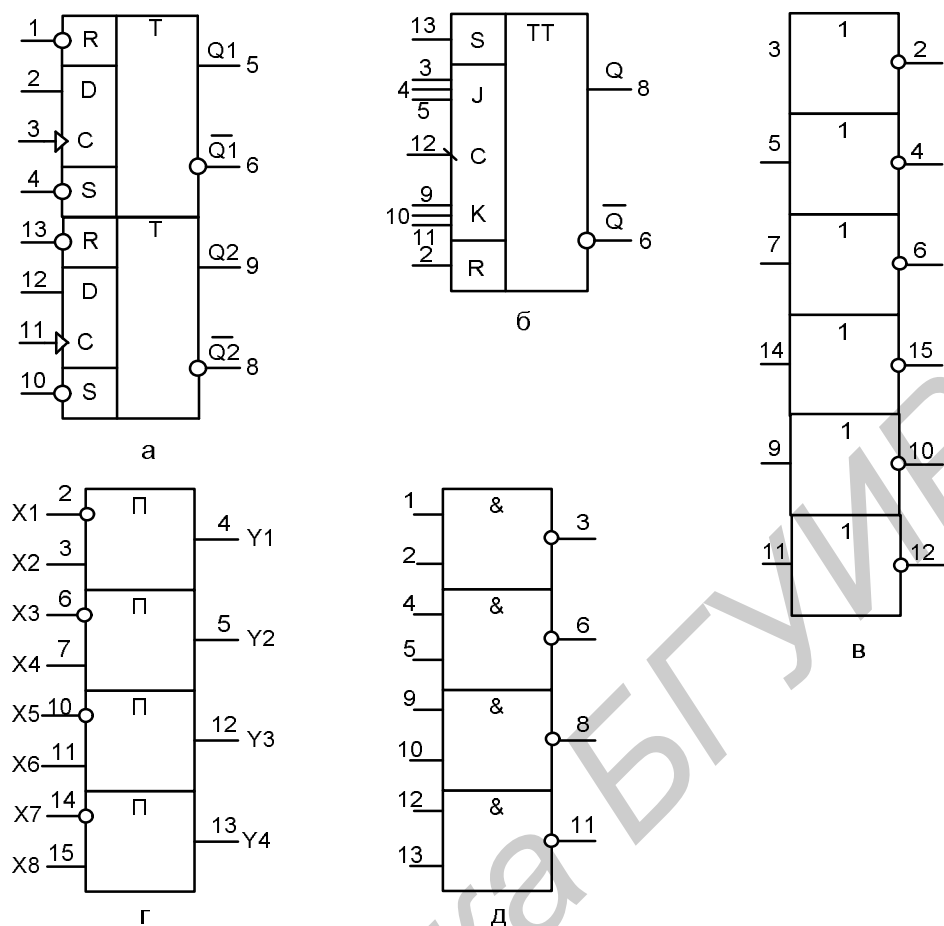


Рис. 1.19. Интегральные микросхемы:
 а - K155TM2; б - K155TB1; в - K176ПУ2; г - K500ПУ125;
 д - K155ЛА3

Для получения напряжения высокого уровня (логической 1) использовать выходные гнезда кнопки.

3. Все временные диаграммы, величины напряжений, частоты сигналов фиксируются осциллографическим методом. Для этого одну клемму осциллографа (землю) постоянно подключают к соответствующей клемме макета. Второй проводник осциллографа (информационный) подключают к необходимой конкретной точке исследуемой схемы.

4. Исследовать асинхронный RS-триггер на логических элементах И-НЕ ТТЛ-логики (микросхема K155ЛА3 – рис. 1.19, д):

а) собрать схему RS-триггера в соответствии с рис. 1.20, а;

б) для различного набора входных логических величин заполнить табл.1.4:

Таблица 1.4

R		S		Q		\bar{Q}	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0		0					
		1					
1		0					
		1					

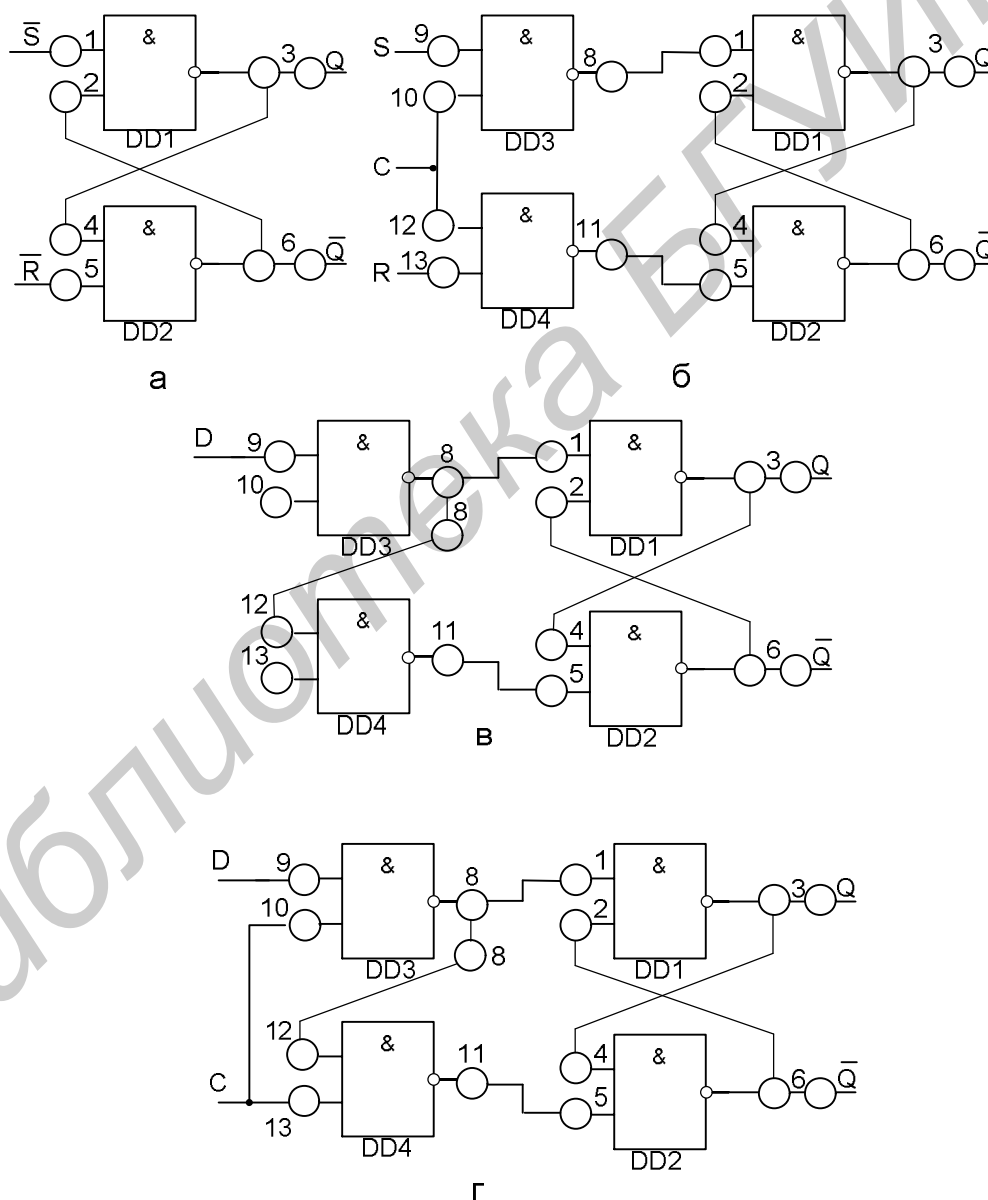


Рис. 1.20. Схемы исследуемых триггеров:

а - асинхронного RS-триггера; б - RCS-триггера со статическим управлением; в - асинхронного D-триггера; г - синхронного D-триггера со статическим управлением

Определить логику работы схемы триггера (отрицательная, положительная), нарисовать условную схему триггера. Отметить запрещённое состояние триггера;

в) подать на вход \bar{R} логический 0. Ко входу \bar{S} подключить генератор Г1, установив на его выходе минимальное напряжение импульсов. Зарисовать на выходе триггера (Q) осциллограмму. Постоянно повышая напряжение генератора Г1, определить момент (напряжение), при котором на Q будут импульсы, соответствующие ТТЛ-логике. Пояснить опыт.

5. Исследовать RCS-триггер на элементах И-НЕ ТТЛ-логики со статическим управлением (микросхема К155ЛА3 – рис. 1.19, д):

а) не разбирая схему RS-триггера из пункта 1.8.4, дополнить её в соответствии с рис. 1.20, б RCS-триггера;

б) для различного набора входных логических величин заполнить табл.1.5.

Таблица 1.5

C		R		S		Q		\bar{Q}	
Лог. вел.	Напряжение	Лог. вел.	Напряжение	Лог. вел.	Напряжение	Лог. вел.	Напряжение	Лог. вел.	Напряжение
1		0		0					
				1					
		1		0					
				1					
0		0		0					
				1					
		1		0					
				1					

Определить логику работы схемы триггера, нарисовать условную схему триггера. Отметить асинхронную работу RCS-триггера. При определённых уровнях сигнала C отметить запрещённое состояние триггера;

в) подать на вход C логическую 1. Ко входу S подключить генератор Г1, ко входу R – другой генератор (Г2 или Г3). Изменять амплитуду генератора Г1 от нулевого напряжения до момента, когда на выходе Q будут чёткие импульсы, соответствующие ТТЛ-логике. Зафиксировать эту величину напряжения. Сравнить её с величиной, полученной при испытании RS-триггера.

6. Исследовать асинхронный D-триггер на основе микросхемы К155ЛА3 (рис. 1.19, д):

а) не разбирая RS-триггер, на его основе собрать D-триггер в соответствии с рис. 1.20, в. При этом необходимо помнить, что неподключённые входы микросхемы К155ЛА3 (10, 13) следует принять как подачу логической 1. Но этого следует избегать, так как различного рода помехи, принимаемые по этим входам, могут нарушить нормальную работу схемы.

На практике их объединяют совместно с используемыми входами (но при этом увеличивается $t_{здp}$) или в соответствии с их логикой работы подключают к логической 1 (через резисторы (1 - 3) кОм к E_n) или к логическому 0 (земле);

б) в ходе эксперимента заполнить табл.1.6, строго чередуя последовательность изменения сигнала D.

Таблица 1.6

D		Q		\bar{Q}	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
1					
0					
1					
0					

Записать логику работы D-триггера, нарисовать условную схему D-триггера;

в) подключить генератор Г1 ко входу D. Измерить частоту входных и выходных импульсов. Сделать вывод об импульсной работе D-триггера (сравнить входные и выходные частоты).

7. Исследовать синхронный статический D-триггер:

а) не разбирая схему асинхронного триггера, видоизменить её в соответствии со схемой рис. 1.20, г. Для различного набора входных логических величин заполнить табл.1.7.

Таблица 1.7

C		D		Q	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
1		1			
		0			
		1			
		0			
0		1			
		0			
		1			
		0			

Записать логику работы синхронного D-триггера. Нарисовать условную схему D-триггера. Отметить асинхронную работу схемы при соответствующем уровне сигнала C;

б) подключить вход C к логической 1. Ко входу D подключить генератор Г1. Изменять его амплитуду от нулевого напряжения до момента,

когда на выходе будут чёткие импульсы ТТЛ-логики. Зафиксировать этот момент (напряжение), измерить частоту входных и выходных импульсов. Сравнить чувствительность схемы D-триггера с проведёнными исследованиями RS- и RCS-триггера.

8. Исследовать интегральную микросхему D-триггера с динамической синхронизацией (рис. 1.18, 1.19, а, 1.19, б):

а) исследовать микросхему в качестве асинхронного RS-триггера. Для различного набора входных величин заполнить табл.1.8.

Таблица 1.8

R		S		Q		\bar{Q}	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0		0					
		1					
1		0					
		1					

На условной схеме триггера уточнить логику работы триггера по входам R и S (инверсная или прямая). В табл.1.8 отметить запрещённое состояние триггера;

б) исследовать микросхему в качестве D-триггера при статической синхронизации. Для различного набора входных величин заполнить табл.1.9.

Таблица 1.9

C		D		Q	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
1		1			
		0			
		1			
		0			
0		1			
		0			
		1			
		0			

Сделать вывод о работе динамического D-триггера при статической синхронизации и сравнить с работой синхронизируемого статического D-триггера;

в) исследовать D-триггер при динамической синхронизации. Подключить C вход к генератору Г1, установив максимальную амплитуду выходных сигналов Г1. Для различного набора логических величин заполнить табл.1.10.

Таблица 1.10

<i>D</i>		<i>Q</i>	
Логическая величина	Напряжение	Логическая величина	Напряжение
0			
1			
0			
1			

Объяснить различное поведение схемы D-триггера при динамической и статической синхронизации. Результаты опыта отобразить на условной схеме D-триггера;

г) исследовать микросхему D-триггера в качестве T-триггера. Собрать схему рис. 1.21, а. На вход С подать сигнал с генератора Г1 с максимальной амплитудой импульсов и максимальной частотой. Измерить частоту входных и выходных импульсов. Сделать вывод об их соотношении и о логике работы T-триггера.

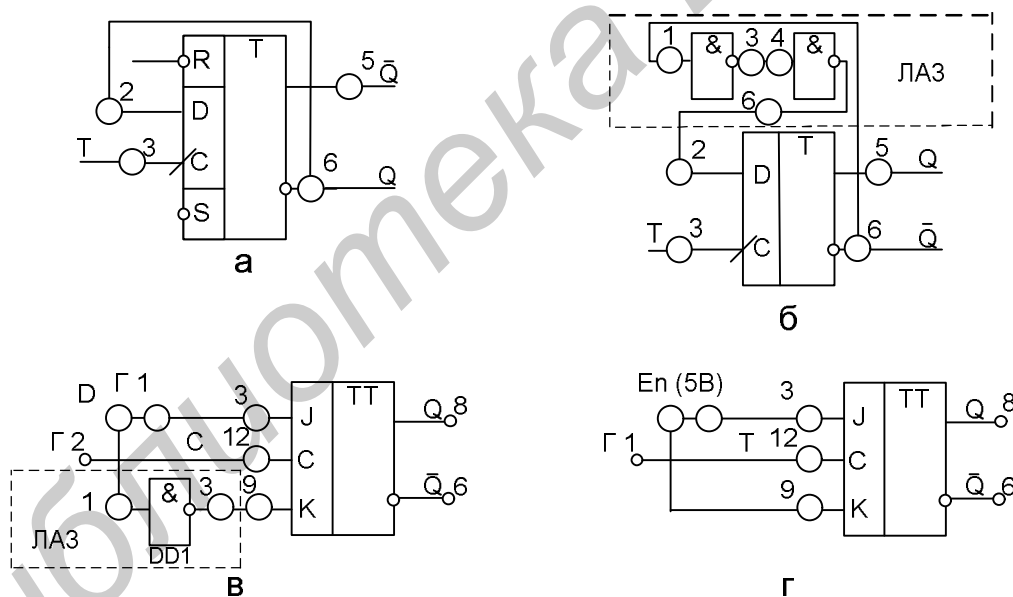


Рис. 1.21. Схемы исследуемых триггеров:

- а – асинхронного T-триггера на базе D-триггера без временной задержки;
- б – асинхронного T-триггера на базе D-триггера с временной задержкой в цепи ОС; в – двухступенчатого D-триггера на базе JK-триггера;
- г - асинхронного T-триггера на базе JK-триггера

д) исследовать микросхему D-триггера в качестве T-триггера. Собрать схему рис. 1.21,б, дополнительно используя микросхему ЛАЗ. На вход D подать сигнал с генератора Г1, а на вход С – сигнал с генератора Г2 или Г3 с

максимальной частотой. Измерить частоту входных и выходных импульсов. Сделать вывод об их соотношении.

9. Исследовать интегральную микросхему JK-триггера (микросхема К155ТВ1– рис. 1.19, б):

а) исследовать микросхему в качестве асинхронного RS-триггера. Для различного набора входных величин заполнить табл.1.11.

Таблица 1.11

R		S		Q		\bar{Q}	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0		0					
		1					
1		0					
		1					

На условной схеме триггера отметить логику работы по входам S и R (инверсная или прямая). В таблице отметить запрещённое состояние триггера;

б) исследовать микросхему в качестве JK-триггера при статической синхронизации. Для различного набора входных величин заполнить табл.1.12.

Таблица 1.12

C		K		J		Q	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0		0		0			
				1			
		1		0			
				1			
1		0		0			
				1			
		1		0			
				1			

Сделать вывод о работоспособности триггера при статической синхронизации;

в) исследовать микросхему в качестве JK-триггера при динамической синхронизации. Подключить генератор Г1 с максимальной амплитудой ко входу C . Для различного набора логических величин заполнить табл.1.13.

Таблица 1.13

<i>K</i>		<i>J</i>		<i>Q</i>	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0		0			
		1			
1		0			
		1			

Сделать вывод о работоспособности триггера при динамической синхронизации и отметить в отчете особенности работы JK-триггера при наборе $J = K = 1$;

г) исследовать микросхему JK-триггера в качестве D-триггера. Собрать схему рис. 1.21, в. На вход D подать максимальные импульсы с минимальной частотой от генератора Г1, на вход С – импульсы от Г2 или Г3 с максимальной частотой. Измерить частоту входных и выходных импульсов. Сравнить их соотношение;

д) исследовать микросхему JK-триггера как асинхронного T-триггера. Собрать схему рис.1.21, г. На вход T подать максимальные импульсы от генератора Г1. Измерить частоту входных и выходных импульсов. Сравнить их соотношение.

1.9. Контрольные вопросы

1. Расшифровать обозначение микросхемы 564ТР2.
2. Какие схемы относят к положительной и отрицательной логикам?
3. Что такое принцип двойственности?
4. Какие схемы относятся к числу триггерных?
5. Чем отличаются синхронный и асинхронный триггеры?
6. Логика работы RS-триггера.
7. Логика работы RCS-триггера.
8. Логика работы D-триггера.
9. Логика работы JK-триггера.
10. Логика работы T-триггера.
11. Чем отличаются статические триггеры от динамических?
12. Дать определения прямых и инверсных входов.
13. Отличия работы двухступенчатого триггера от динамического.
14. Привести структурную схему T-триггера на базе D-триггера.
15. Привести структурную схему T-триггера на базе JK-триггера.
16. Привести структурную схему D-триггера на базе JK-триггера.
17. Нарисовать временные диаграммы выходных импульсов D-триггера, (входные импульсы изображены на рис. 1.22):
 - а) триггер одноступенчатый с управлением по фронту;
 - б) триггер одноступенчатый с управлением по спаду;
 - в) триггер двухступенчатый.

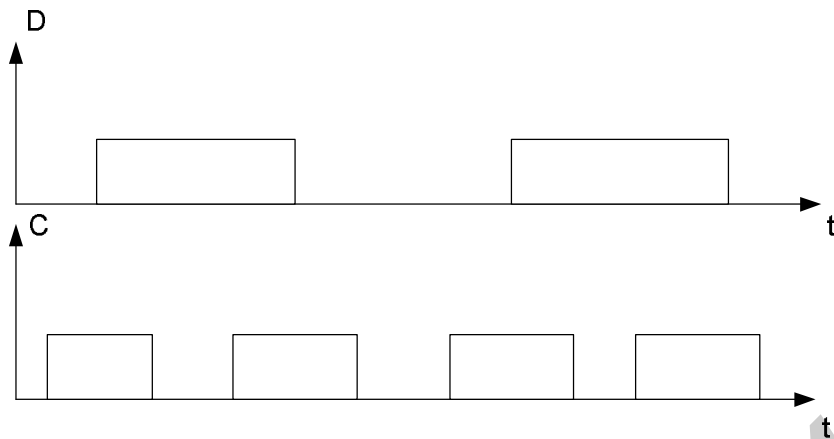


Рис. 1.22. Пример входных сигналов D-триггера

18. Нарисовать временные диаграммы выходных импульсов, выделить участки запрещённого состояния, неопределённого состояния для различных структурных схем потенциальных RCS-триггеров (рис. 1.23).

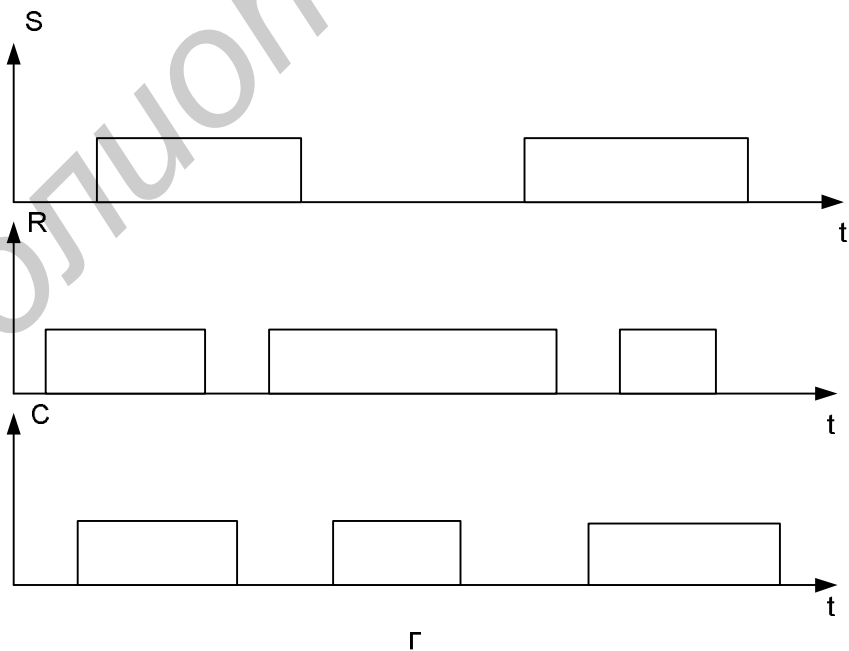
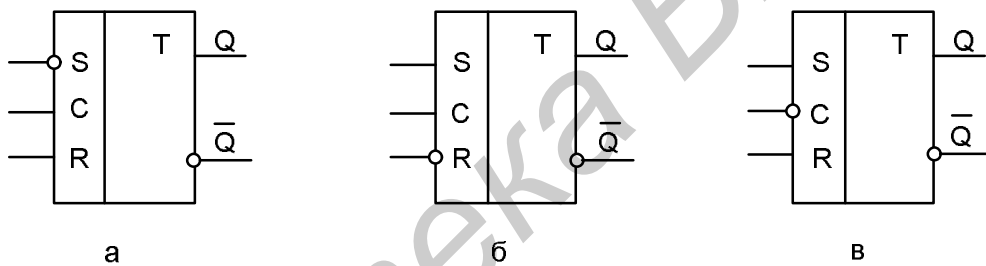


Рис. 1.23. Структурные схемы анализируемых RCS-триггеров (а - в); пример входных сигналов триггеров (г)

19. Нарисовать временные диаграммы выходных импульсов JK-триггеров (см. рис. 1.24), если:

- а) JK-триггер имеет динамическое управление по фронту;
- б) JK-триггер имеет динамическое управление по спаду;
- в) JK-триггер двухступенчатый.

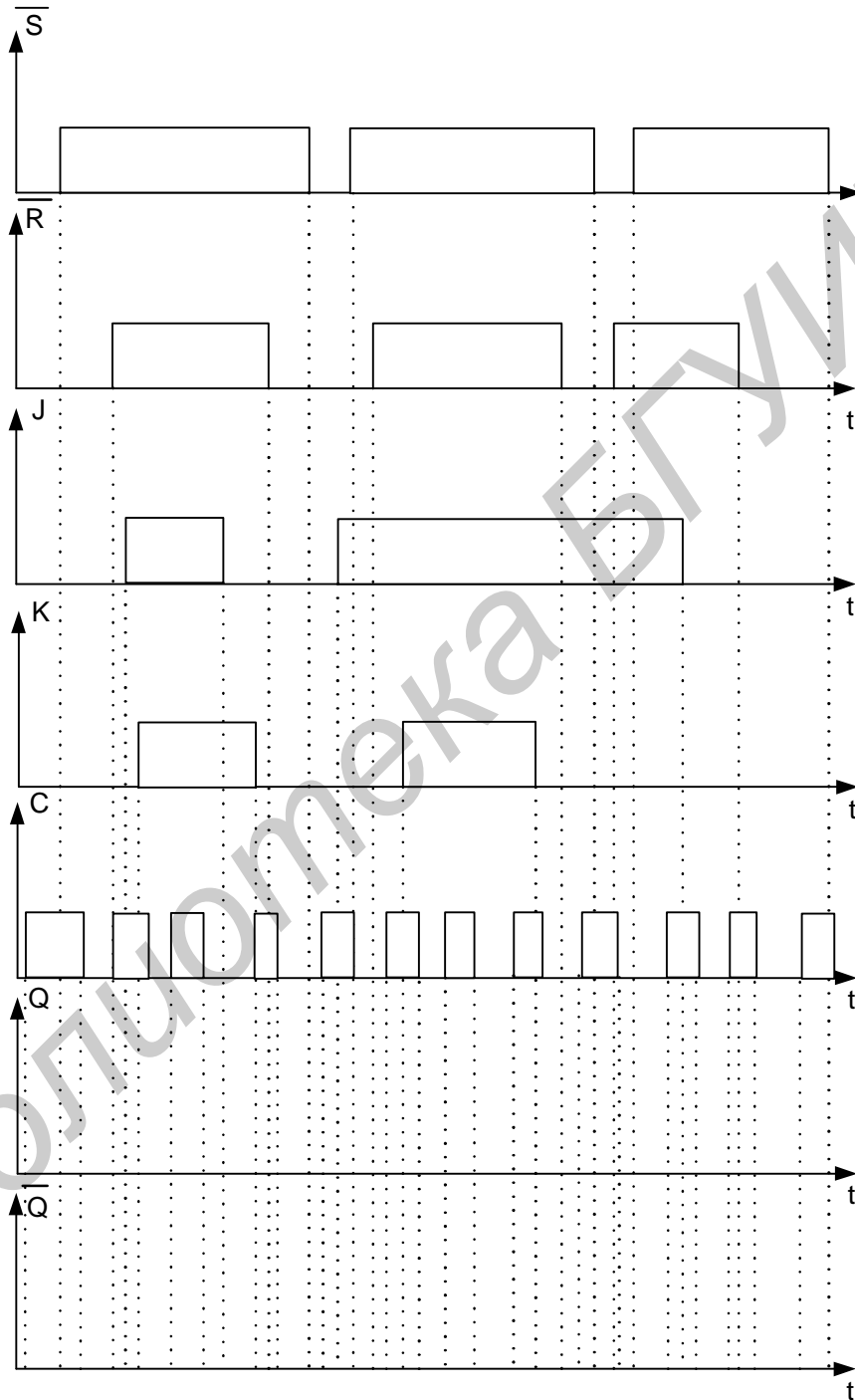


Рис. 1.24. Пример входных сигналов JK- триггера

20. Показать, что в структурной схеме D-триггера с динамическим управлением при $C=1$ и $C=0$ на его выходах информация не изменяется.

21. Пояснить работу схемы двухступенчатого RS-триггера.

22. Имеется группа микросхем D-триггеров. Разработать на учебном макете алгоритм для калибровки микросхем по следующим признакам:

- а) статические;
- б) динамические по фронту;
- в) динамические по спаду;
- г) двухступенчатые.

1.10. Содержание отчёта

1. Цели проводимых опытов.
2. Функциональные и принципиальные схемы исследуемых триггеров.
3. Осциллограммы, таблицы данных и, если требуется, графики снятых зависимостей.
4. Выводы и ответы на вопросы, поставленные в каждом пункте исследований.
5. Рекомендуются в конце отчёта в краткой форме дать письменные ответы на контрольные вопросы 1 - 19. Если при первой защите знания студента окажутся неудовлетворительными, то при повторной необходимо ещё дополнительно дать ответы на более сложные вопросы (20-22).

ЛИТЕРАТУРА

1. Гусев В.Г., Гусев Ю.М. и др. Электроника: Учеб. пособие для вузов / – М.: Высш. шк., 1991.– 630 с.
2. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (полный курс): Учебник для вузов / Под ред. О.П. Глудкина.– М.: Горячая линия – Телеком, 2000.– 768 с.
3. Решетилов А.Р. Лабораторная работа «Триггеры» по курсу «Электронные устройства автоматики» для студентов специальности «Автоматика и управление в технических системах». – Мн.: МРТИ, 1989. – 54 с.

2. ТРИГГЕРЫ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ И ДИСКРЕТНЫХ ЭЛЕМЕНТАХ (ТИРИСТОРЫ, ТУННЕЛЬНЫЕ ДИОДЫ, ОДНОПЕРЕХОДНЫЕ ТРАНЗИСТОРЫ)

Цель работы: изучить принципы создания триггеров на операционных усилителях; особенности работы схем с положительной обратной связью; принцип функционирования приборов, вольт-амперная характеристика которых содержит участки с отрицательным сопротивлением (тиристоры, туннельные диоды, однопереходные транзисторы); исследовать конкретные схемы триггеров на вышеперечисленных электронных приборах.

2.1. Общие сведения

Триггер – это электронное устройство, которое обладает двумя длительно устойчивыми состояниями равновесия и способностью скачком переключаться из одного состояния равновесия в другое под воздействием внешнего сигнала. Процесс перехода триггера из одного состояния в другое может называться переключением, опрокидыванием, сбрасыванием или спуском. Поэтому триггеры называют спусковыми устройствами (английское слово «trigger» означает спусковой крючок огнестрельного оружия).

Для изготовления триггеров могут быть использованы дискретные логические элементы, транзисторы, операционные усилители и приборы, вольт-амперные характеристики которых содержат участки отрицательной крутизны (туннельные диоды, тиристоры, двухбазовые диоды и др.).

Все схемы, которые относят к классу триггеров, должны обладать рядом специфических требований. Наиболее важными из них являются:

- а) наличие в структуре положительной обратной связи (ПОС) для регенеративного переключения состояния;
- б) наличие гистерезиса, когда устройство срабатывает от различных (по величине или знаку) значений входного сигнала, за счет чего реализуется устойчивое стационарное состояние.

2.2. Триггеры на операционных усилителях

Операционными усилителями (ОУ) называют высококачественные усилители постоянного тока (УПТ), предназначенные для выполнения различных операций над аналоговыми величинами при работе в схеме с отрицательной обратной связью.

Усилители постоянного тока отличаются от усилителей переменного тока тем, что позволяют усиливать медленно изменяющийся сигнал ($f_n \rightarrow 0$). Соответственно на входе, выходе и между каскадами у них отсутствуют реактивные компоненты (конденсаторы, трансформаторы), которые не пропускают постоянную составляющую сигнала. Обычно УПТ достаточно

широкополосны и позволяют усиливать сигналы в диапазоне частот от $f_H = 0$ до f_B (рис. 2.1, а). Их амплитудная характеристика имеет вид, показанный на рис. 2.1, б.

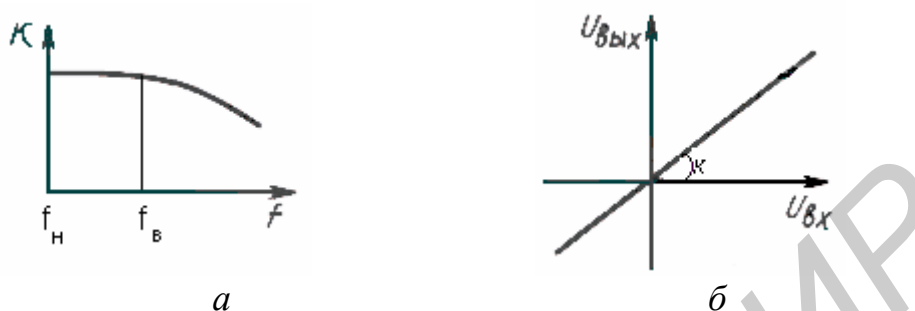


Рис. 2.1. Характеристики УПТ:
а - частотная; б - амплитудная

По принципу действия и схемному выполнению УПТ делят на два основных вида: 1) усилители с непосредственными связями (прямого усиления); 2) усилители с преобразованием сигнала. Последние подразделяют на: а) усилители с промежуточным преобразованием (модуляцией) сигнала постоянного тока в переменное напряжение и усилением на несущей частоте с последующей демодуляцией (УПТ-МДМ); б) усилители, в которых входной сигнал воздействует на параметры автоколебаний автогенератора: амплитуду, частоту или фазу (усилители с управляемыми генераторами УПТ-УГ). Иногда УПТ-УГ называют *автогенераторными усилителями*. В них используют обычные схемы усилителей переменного тока, в том числе и с непосредственными связями.

В связи с отсутствием реактивных элементов в цепях межкаскадной связи (связь только гальваническая) при построении УПТ с непосредственными связями приходится решать вопросы согласования напряжения на различных участках схемы и уменьшения изменений сигнала на выходе усилителя при неизменном сигнале на входе. Изменения напряжения на выходе УПТ при 0 входном сигнале называют *дрейфом 0*. Его значение обычно приводят ко входу, для чего изменение выходного напряжения усилителя делят на его коэффициент усиления. Дрейф 0 показывает, на какую величину надо увеличить или уменьшить напряжение на входе усилителя для того, чтобы изменение выходного напряжения было равно его самопроизвольному изменению. Так как дрейф 0 может быть вызван как временными, так и температурными изменениями параметров отдельных компонентов, различают временной и температурный дрейфы. Их оценивают соответственно в мкВ/ч или мкВ/С, причем временной дрейф измеряют при неизменной температуре окружающей среды. В УПТ дрейф 0 находится в диапазоне от единиц мкВ/ч до сотен мВ/ч.

В настоящее время в качестве УПТ с непосредственными связями в основном используют интегральные операционные усилители. По конструктивному выполнению они являются законченными высокостабильными широкополосными высококачественными УПТ, имеющими высокий коэффициент усиления, дифференциальный вход и несимметричный выход.

Успехи интегральной технологии позволили выполнять ОУ с заданными техническими параметрами в одном корпусе. Это дает возможность рассматривать его как самостоятельный компонент с определенными параметрами.

Интегральные линейные микросхемы включают в себя усилительные каскады, а также их комбинации и модернизированные варианты. Они отличаются от усилителей, выполненных на дискретных элементах, только методами изготовления отдельных компонентов схем и технологией изготовления законченных функциональных узлов. В большинстве случаев принципиальные схемы интегральных усилителей выглядят значительно сложнее своих дискретных аналогов. Это объясняется тем, что если для незначительного улучшения каких-либо параметров усилителя требуется ввести один или несколько дополнительных транзисторов, их, как правило, вводят, зная, что стоимость изготовления от этого существенно не изменится.

Таким образом, интегральный усилитель представляет собой законченный функциональный блок, изготовленный в одном корпусе, имеющий параметры, заданные в технических условиях, в принципиальную схему которого нельзя внести никаких изменений, не предусмотренных при его проектировании. При подключении требуемых напряжений питания и выполнении необходимых соединений такой законченный функциональный блок имеет параметры, указанные в отраслевых стандартах на применение данного усилителя.

При использовании интегральных микросхем отпадает необходимость в расчете, сборке и настройке отдельных каскадов. В этом случае на первый план выдвигаются вопросы согласования отдельных микросхем, введения цепей обратных связей (ОС), обеспечивающих получение необходимых параметров всей системы, охваченной цепями ОС, и т. д.

В настоящее время промышленностью разработано и выпускается значительное количество различных микросхем, в которых усилители являются лишь одним из функциональных узлов среди узлов другого назначения. Для того чтобы различать, какую функцию выполняет конкретная микросхема, принята система условных обозначений, отражающая их принадлежность к определенным сериям, классам и группам. Серия объединяет ряд отдельных функциональных схем по технологическому признаку, согласованности по напряжениям источников питания, уровням сигналов, входным и выходным сопротивлениям, конструктивному оформлению и способам крепления и монтажа. Серии разрабатывают таким образом, чтобы из микросхем, входящих в нее, можно было построить законченное устройство.

Условное обозначение микросхем состоит из следующих элементов.

Первый элемент – цифра, обозначающая группу микросхемы. По конструктивно-технологическим признакам микросхемы подразделяют на три группы, которым присвоены обозначения: 1; 5; 6; 7 – полупроводниковые (7 – бескорпусные); 2; 4; 8 – гибридные; 3 – прочие (пленочные, вакуумные, керамические и т. д.); *второй* элемент – две-три цифры, обозначающие порядковый номер разработки серии микросхем; *третий* – две буквы, обозначающие подгруппу и вид микросхемы (ОУ – УД); *четвертый* – порядковый номер разработки ИС в данной серии.

Иногда в конце условного обозначения добавляется буква, определяющая технологический разброс параметров данного типоминиала, например К1409УД1А.

Буквы К, КР, КМ, КЕ, КА, КИ перед условным обозначением характеризуют условия приемки микросхем и особенности их конструктивного выполнения. Буква К указывает, что эта микросхема широкого применения; Р – пластмассовый корпус; М – металлический, металлокерамический, стеклокерамический корпус; Е – металлополимерный корпус; А – пластмассовый планарного типа; И – стеклокерамический планарный корпус.

Для ИС, выпускаемых на экспорт и отличающихся шагом выводов, перед буквой К присутствует буква Э, например ЭК561ЛС2.

Для бескорпусных ИС перед номером серии добавляют букву Б и через дефис вводят цифру (1 – 6), характеризующую модификацию конструктивного выполнения, например: 1 – с гибкими выводами; 2 – с ленточными выводами и т. д.

Промышленностью изготавливаются операционные усилители серии: 140, 153, 154, 157, 544, 551, 553, 574, 740, 1401, 1407, 1408, 1409 и др.

В каталогах и информационных листах обычно приводятся принципиальные схемы микросхем. Однако для практического использования надо иметь руководства по применению, выпускаемые в виде отраслевых стандартов. В них приведены схемы соединения выводов микросхем и рекомендуемые параметры навесных компонентов. Без руководства по применению создавать устройства с заданными параметрами сложно из-за того, что принципиальная схема представляет собой сочетание большого количества соединенных непосредственно активных и пассивных элементов, параметры которых неизвестны.

Условные обозначения ОУ приведены на рис. 2.2, а, б. Показанный усилитель имеет один выходной вывод (показывается справа) и два входных (изображаются с левой стороны). Знак > или > характеризует усиление. Вход, напряжение на котором сдвинуто по фазе на 180° относительно выходного напряжения, называется *инвертирующим* и обозначается знаком инверсии О, а вход, напряжение на котором совпадает по фазе с выходным напряжением, – *неинвертирующим*. Второй вывод, общий для обоих входов и выхода, часто не показывается – это общая информационная шина, которая на принципиальных схемах иногда показывается в виде \perp . Для

облегчения понимания назначения выводов и повышения информативности допускается введение одного или двух дополнительных полей с обеих сторон от основного поля, в которых указываются метки, характеризующие функции выводов (рис. 2.2, б).

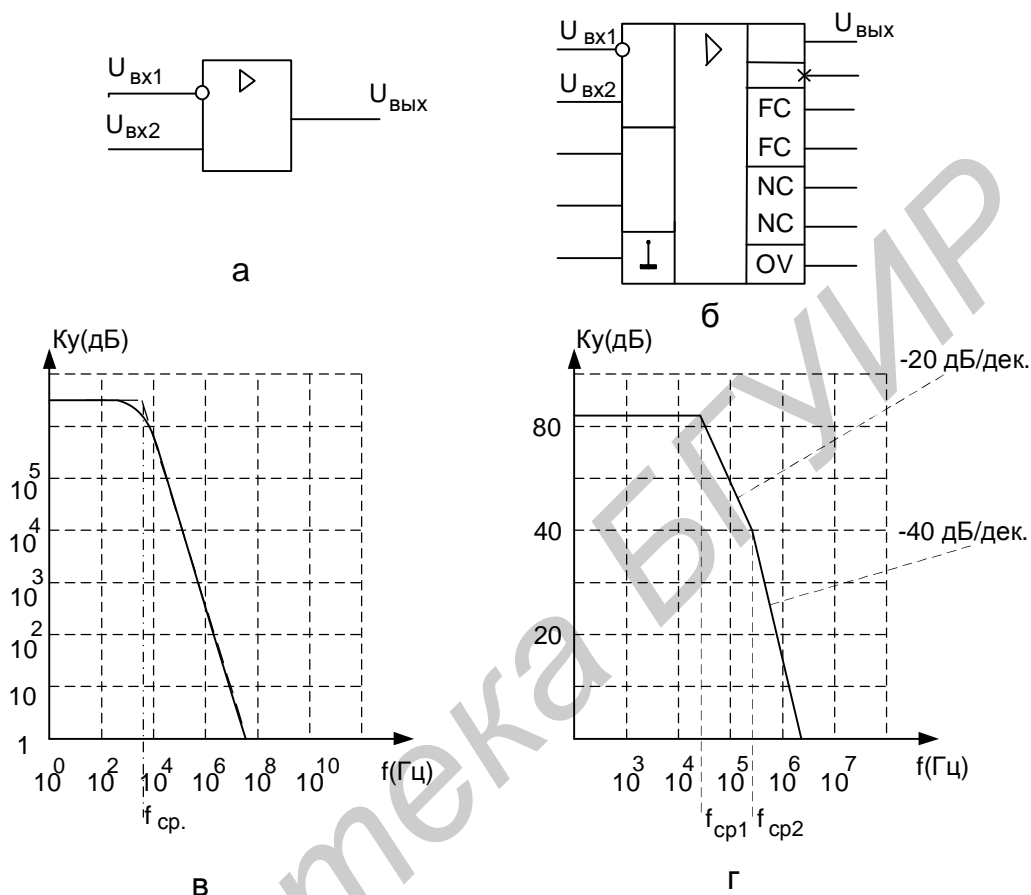


Рис. 2.2. Условное обозначение ОУ и их амплитудно-частотные характеристики:

а - ОУ; б - ОУ с введенными дополнительными полями;
в - АЧХ ОУ 140УД7; г - АЧХ ОУ 1407УД2

Характерной особенностью ОУ является то, что входные сигналы подаются относительно одной общей шины, таким же образом снимается выходной сигнал. При 0 входных напряжениях выходной сигнал должен быть равен 0. Благодаря этому свойству источники входного сигнала и нагрузку можно непосредственно подключать к выводам ОУ, не заботясь о разделении переменного и постоянного составляющих и не рискуя изменить статические режимы работы усилительных каскадов.

Кроме температурного дрейфа напряжения смещения и входных токов (эти параметры важны для прецизионных устройств, так как их эффективно скомпенсировать сложно) в технических условиях приводят другие параметры ОУ, которые играют решающую роль при разработке схем на базе операционных усилителей:

1. *Входные токи* – обусловлены необходимостью обеспечить нормальный режим работы входного дифференциального каскада ОУ на биполярных транзисторах. В случае использования полевых транзисторов – это токи всевозможных утечек. Если к обоим входам ОУ подключены источники сигналов с разными внутренними сопротивлениями, то токи смещения даже в идеальном входном каскаде создают разные падения напряжения на этих внутренних сопротивлениях. Между входами ОУ появится дифференциальный сигнал, изменяющий выходное напряжение. С целью его уменьшения сопротивления, подключаемые к обоим входам, следует брать по возможности одинаковыми.

2. *Входные сопротивления* – в зависимости от характера подаваемого сигнала подразделяют на дифференциальные (для дифференциального сигнала) и синфазные (сопротивление общего вида).

Входное сопротивление для *дифференциального сигнала* – это полное входное сопротивление со стороны любого входа, в то время как другой вход соединен с общим выводом (землей). Значения его лежат в интервале нескольких десятков килоом – сотен мегаом.

Входное сопротивление для *синфазного сигнала* характеризует изменения среднего входного тока при приложении ко входам синфазного напряжения. Оно на несколько порядков выше сопротивления для дифференциального сигнала.

3. *Коэффициент ослабления синфазного сигнала* ($K_{o.c.c}$) – определяется как отношение напряжения синфазного сигнала, поданного на оба входа, к дифференциальному входному напряжению, которое обеспечивает на выходе тот же сигнал, что и в случае синфазного напряжения

$$K_{o.c.c} = \frac{U_{вх.с.с}}{U_{вх.д.с}} \Big|_{U_{вых.с.с}} = U_{вых.д.с} .$$

Обычно в технических условиях он приводится в виде логарифмической константы (в децибелах).

4. *Частота единичного усиления* – это частота f_1 , на которой модуль коэффициента усиления ОУ равен единице (0 дБ). Иногда приводят граничную частоту ОУ, при которой сохраняется гарантируемая амплитуда выходного напряжения. Это связано с тем, что усилитель, имеющий полосу пропускания, например 0,5 МГц, и выходное напряжение 10 В, обеспечивает получение этой амплитуды до частоты 20 кГц.

5. *Амплитудно-частотная характеристика (АЧХ)* – приводится в виде графика, построенного в логарифмическом масштабе (рис. 2.2, в, г). Причем у ОУ с внутренней коррекцией ЛАЧХ за частотой среза (f_{cp}) можно аппроксимировать прямой, имеющей наклон -20 дБ/дек., как, например, в случае, показанном на рис. 2.2, в. У ОУ без внутренней коррекции или с небольшой емкостью корректирующего конденсатора ЛАЧХ аппроксимируются двумя асимптотами, имеющими наклоны -20 и -40 дБ/дек. и

пересекающимися в точках сопряжения f_{cp1} и f_{cp2} (рис. 2.1, б), или тремя асимптотами, имеющими наклон -20, -40, -60 дБ/дек.

Для вывода основных расчетных формул в схемах с ОУ используют два важнейших правила, которые определяют поведение операционного усилителя, *охваченного петлей обратной связи*. Они используются для расчета всех схем с ОУ.

Во-первых, операционный усилитель обладает таким большим коэффициентом усиления по напряжению, что изменение напряжения между входами на несколько долей милливольт вызывает изменение выходного напряжения в пределах его полного диапазона, поэтому не будем рассматривать это небольшое напряжение, а сформулируем правило I: *разность напряжений между входами равна 0 при любых напряжениях выхода, если ОУ находится в активной области*.

Во-вторых, операционный усилитель потребляет очень небольшой входной ток (порядка 0,2 нА; ОУ со входами на полевых транзисторах – порядка пикоампер). Не вдаваясь в более глубокие подробности, сформулируем правило II: *входы операционного усилителя ток не потребляют*.

Здесь необходимо дать пояснение: правило I не означает, что операционный усилитель действительно изменяет напряжение на своих входах – это невозможно (это было бы несовместимо с правилом II). Операционный усилитель «оценивает» состояние входов и с помощью *внешней схемы ОС передает напряжение с выхода на вход*, так что в результате разность напряжений между входами становится равной 0 (если это возможно).

Эти правила создают достаточную основу для рассмотрения работы схем на операционных усилителях.

Триггер на ОУ – это спусковое устройство, которое может длительное время находиться в одном из двух состояний устойчивого равновесия и скачкообразно переключаться из одного состояния в другое под воздействием внешнего сигнала.

Выходное напряжение триггера при отсутствии входного сигнала должно самой схемой поддерживаться неизменным, равным одному из уровней $U_{вых}^{\pm}$. Понятно, что выходное напряжение $U_{вых}$ по цепи обратной связи должно установить на одном из входов триггера такое напряжение, которое будет поддерживать $U_{вых}$. Наиболее просто эта идея реализуется с помощью ОУ, охваченного положительной обратной связью. Контур «выход ОУ, резистор R_2 , неинвертирующий вход ОУ» в схеме инвертирующего триггера (рис. 2.3) поддерживает выходное напряжение на уровне $U_{вых}^+$ или $U_{вых}^-$. Кроме этой функции ОУ осуществляет сравнение напряжений $U_{вх}$ и $U_н$. Когда напряжение $U_{вх}$, имеющее ту же полярность, что и $U_н$, превышает последнее, то по цепи обратной связи происходит переключение выходного напряжения с $U_{вых}^+$ на $U_{вых}^-$ или наоборот с $U_{вых}^-$ на $U_{вых}^+$.

Напряжение на неинвертирующем входе ОУ станет противоположной полярности по отношению к U_{ex} , а достигнутое состояние – стабильным. Только изменив полярность U_{ex} , можно перевести триггер в другое состояние. Это свойство триггера широко используют для формирования прямоугольного напряжения из сигналов произвольной формы.

Если требуется переключать триггер сигналом, имеющим полярность, противоположную полярности входного напряжения, то применяют *неинвертирующий триггер* (рис. 2.4). Его переключение происходит в момент, когда напряжение $|U_n| - |U_{ex}| = 0$, а в остальном он работает аналогично вышеописанному.

Автоматическую регулировку выходного сигнала за счет подачи соответствующего напряжения, при котором происходит переключение триггера, осуществляют в схеме *суммирующего триггера* (рис. 2.5). В нем, изменяя значение U_{on} , регулируют напряжения срабатывания U_1 и U_2 (может выполняться неравенство $U_1 \neq U_2$, но сохраняется неизменным ширина гистерезиса $U_1 - U_2 = (R_1/R_2)(U_{вых}^+ - U_{вых}^-)$).

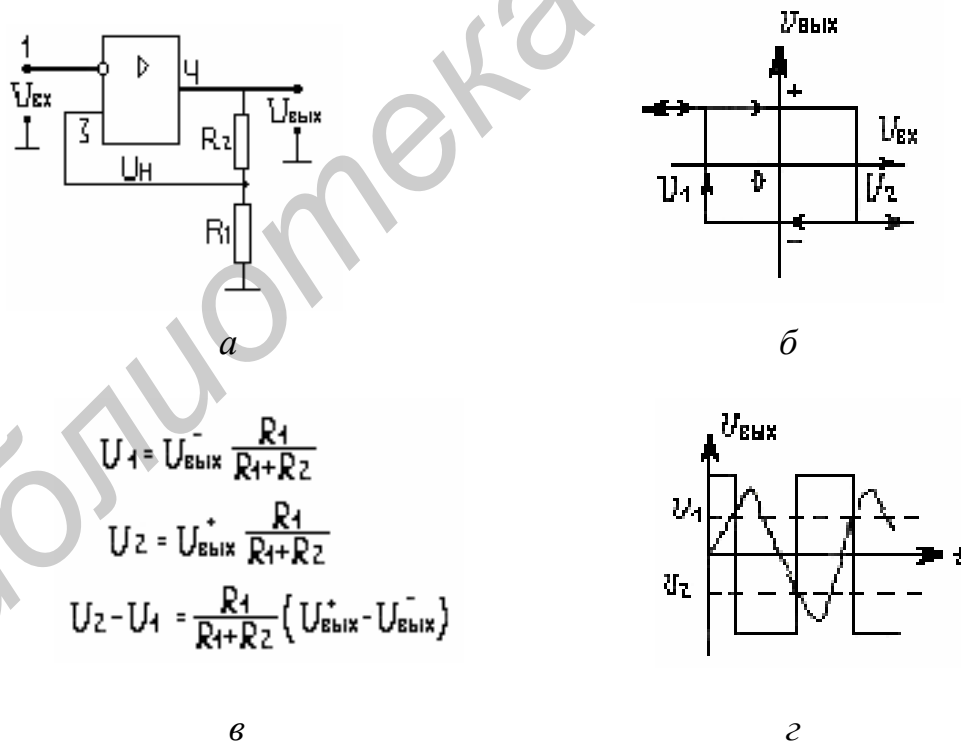


Рис. 2.3. Инвертирующий триггер:
 а - схема; б - гистерезисная выходная характеристика;
 в - расчетные формулы; г - временные диаграммы работы

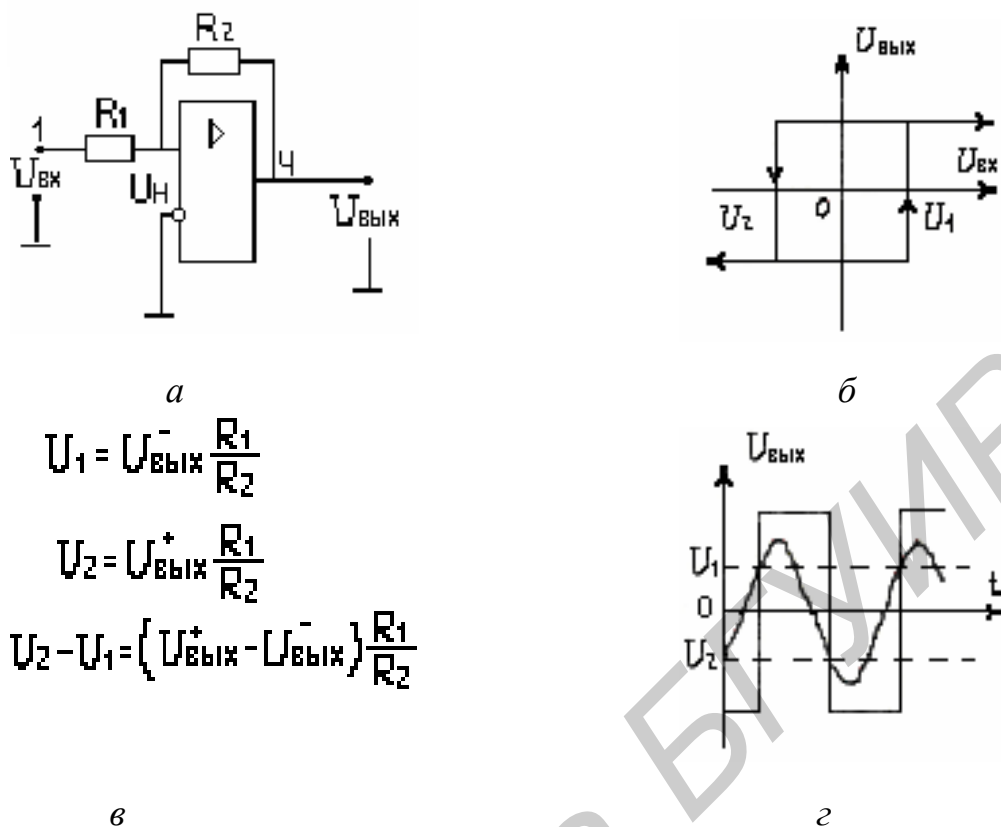
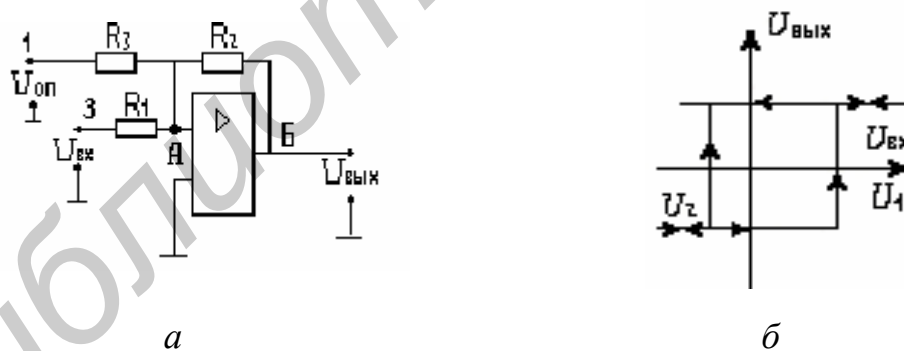


Рис. 2.4. Неинвертирующий триггер:
 а - схема; б - гистерезисная выходная характеристика;
 в - расчетные формулы; г - временные диаграммы работы



$$U_1 = U_{\text{вых}}^- \frac{R_1}{R_2} - U_{\text{оп}} \frac{R_1}{R_3}$$

$$U_2 = U_{\text{вых}}^+ \frac{R_1}{R_2} - U_{\text{оп}} \frac{R_1}{R_3}$$

в

Рис. 2.5. Суммирующий триггер:
 а - схема; б - гистерезисная выходная характеристика;
 в - расчетные формулы

Триггеры инвертирующие и неинвертирующие имеют еще одну отличительную особенность: первый из них описывается положительной петлей гистерезиса (упреждение), второй – отрицательной (запаздывание).

Применяются в тех случаях, когда в составе электронной системы, построенной на операционных усилителях, должны быть триггеры также на операционных усилителях. Этим исключается необходимость использования иной элементной базы, т.е. достигается унификация, единообразие элементов, напряжения питания, печатных плат. Типовые схемы триггеров на операционных усилителях показаны на рис. 2.3 – 2.5. Образуются схемы путем соединения выхода операционного усилителя с неинвертирующим входом. Этим создается глубокая положительная обратная связь, являющаяся первым необходимым условием для образования триггера. Как известно, второе условие состоит в наличии гистерезиса, составляющие которого - это насыщение операционного усилителя в режиме ожидания и характеристика коэффициента усиления в активной области переключения. Соединение выхода операционного усилителя с прямым входом обычно производится через резисторы, посредством которых достигаются необходимые уровни напряжений переключения, как это следует из формул на рис. 2.3 – 2.5. Так как операционные усилители запитываются двухполярным напряжением питания, то и выходные уровни также двухполярны, причем соответствие напряжения логическим 0 или 1 устанавливается разработчиком конкретной схемы. Нельзя соединять выходы триггеров на операционных усилителях непосредственно с триггерами на логических элементах ввиду двухполярности выходного напряжения. Для перехода от триггеров на операционных усилителях к триггерам на логических элементах ТТЛ-логики используют компараторы К521, К554, К507, СА1, СА2, СА3, СА4, а для перехода к ЭСЛ- или КМОП- логике дополнительно могут включаться преобразователи уровней К500ПУ124, К500ПУ125 или К176ПУ1- ПУ10.

Триггер на операционном усилителе работает следующим образом. Как известно, выходное напряжение операционного усилителя должно быть равно нулю при $U_{ex} = 0$. Именно это условие нулевых уровней на входах и выходе применили разработчики первых интегральных ОУ. Нулевые уровни входов и выходов облегчают и упрощают соединение отдельных операционных усилителей друг с другом. Однако вследствие несимметрии транзисторов выходного каскада, несовершенства технологического процесса изготовления их выходное напряжение отличается от нуля на несколько десятых долей вольта или более. Причем отклонение может быть как в положительной области, так и в отрицательной. Если операционные усилители используются для усиления, то возврат выходного напряжения к 0 производят включением балансировочных цепей или резисторов. В схемах триггеров (см. рис. 2.3 – 2.5) балансировочные цепи не показаны, следовательно, можно считать, что выходное напряжение может иметь как положительное, так и отрицательное напряжение. При включении питания и положительном напряжении выхода часть его через резисторы обратной

связи поступает на неинвертирующий вход, усиливается (в несколько десятков тысяч раз) и устанавливается положительное напряжение на выходе. Процесс этот протекает лавинообразно до установления на выходе уровня насыщения, близкого к напряжению питания. Если начальное отклонение выхода было отрицательным, то на выходе триггера установится выходное отрицательное напряжение насыщения. При необходимости установления только положительного выхода или только отрицательного схемы (см. рис. 2.3 – 2.5) дополняют балансирующими цепями, задающими начальный выходной уровень.

Использование вышеперечисленных правил для вывода расчетных формул поясним на примере суммирующего триггера. Пусть выходное напряжение будет отрицательным и равным $U_{вых}^-$. Рассчитаем величину напряжения U_1 , приводящую к переключению триггера.

Для точки А (см. рис. 2.5) запишем очевидное уравнение по закону Кирхгофа:

$$I_1 + I_2 + I_3 + I_{exOU} = 0,$$

где индексы токов совпадают с индексами сопротивлений.

В соответствии с правилом II это уравнение переписывается в виде

$$I_1 + I_2 + I_3 = 0.$$

При напряжении переключения U_1 ОУ работает в активной области и будет выполняться правило I. Тогда можно считать, что в точке А установится такой же потенциал, как и на инверсном входе ОУ, т.е. будет нулевой потенциал (условная земля). С учетом этого справедливы соотношения:

$$I_1 = \frac{U_{ex}}{R_1}; \quad I_2 = \frac{U_{вых}^-}{R_2}; \quad I_3 = \frac{U_{on}}{R_3}.$$

Подставив эти выражения в последнее уравнение и разрешив его относительно U_{ex} , получим (см. рис. 2.5, в)

$$U_{ex} = U_1 = U_{вых}^- \frac{R_1}{R_2} - U_{on} \frac{R_1}{R_3}.$$

2.3. Триггеры на тиристорах

Применяются в тех случаях, когда необходимы большие перепады между уровнями логических 1 и 0 (достигают нескольких сотен вольт или более) и высокая помехоустойчивость. Обладают низким быстродействием (это наиболее инерционные триггеры по сравнению с другими известными триггерами) вследствие глубокого насыщения, в котором находятся открытые тиристоры, и, следовательно, большого времени рассасывания накопленного заряда.

Тиристорами называются полупроводниковые приборы с тремя (и более) р-п-переходами, предназначенными для использования в качестве электронных ключей в схемах переключения электрических токов.

В зависимости от конструктивных особенностей тиристоры делят на диодные и триодные.

В *диодных* тиристорах различают: тиристоры, запираемые в обратном направлении; проводящие в обратном направлении; симметричные.

Триодные тиристоры подразделяют: на запираемые в обратном направлении с управлением по аноду или катоду; проводящие в обратном направлении с управлением по аноду или катоду; симметричные (двухнаправленные), называемые симисторами или триаками. Кроме того, в их состав входит группа выключаемых тиристоров.

Условные обозначения тиристоров приведены ниже:

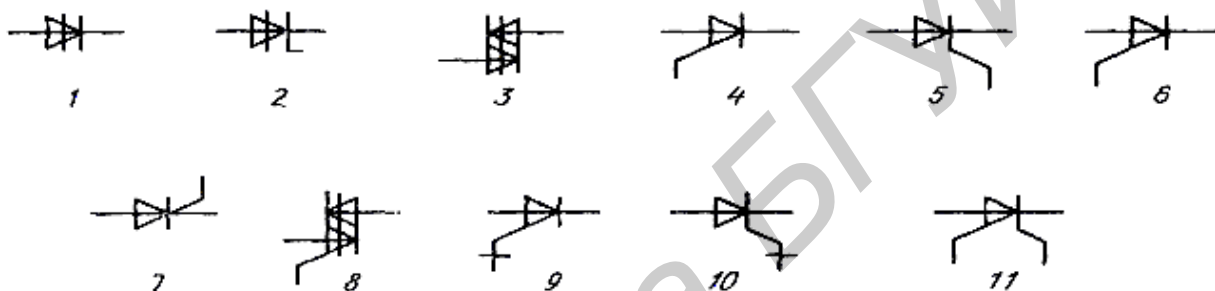


Рис. 2.6. Условные обозначения тиристоров:

- 1 - диодный, запираемый в обратном направлении;
- 2 - диодный, проводящий в обратном направлении;
- 3 - диодный симметричный;
- 4, 5 - триодные, запираемые в обратном направлении, с управлением по аноду и катоду;
- 6, 7 - триодные, проводящие в обратном направлении, с управлением по аноду и катоду;
- 8 - триодные симметричные;
- 9, 10 - триодные, проводящие в обратном направлении, выключаемые;
- 11 - тетродные, запираемые в обратном направлении

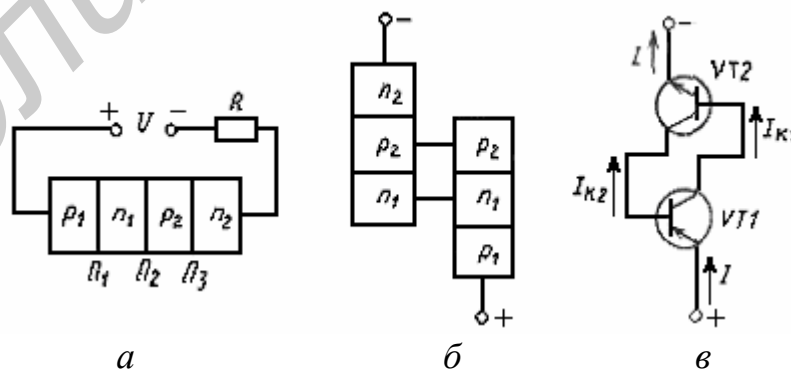


Рис. 2.7. Структура тиристора (а); структура и схема двухтранзисторного эквивалента тиристора (б), (в)

Простейшие диодные тиристоры, запираемые в обратном направлении, обычно изготавливаются на кремниевой основе и содержат четыре чередующиеся р- и n-области (рис. 2.7, а).

Область p_1 , в которую попадает ток из внешней цепи, называют *анодом*, область n_2 – *катодом*; области n_1, p_2 – *базами*.

Если к аноду p_1 подключить плюс источника напряжения, а к катоду n_2 – минус, то переходы Π_1 и Π_3 окажутся открытыми, а переход Π_2 – закрытым. Его называют коллекторным переходом.

Так как коллекторный p - n -переход смещен в обратном направлении, то до определенного значения напряжения почти все приложенное напряжение падает на этом переходе. Такая структура легко может быть представлена в виде двух транзисторов разной электропроводности, соединенных между собой так, как показано на рис. 2.7, б, в. Ток цепи определяется током коллекторного перехода Π_2 . Он однозначно зависит от потока дырок $a_1 I$ из эмиттера транзистора p - n - p -типа и потока электронов $a_2 I$ из эмиттера транзистора n - p - n -типа, а также от обратного тока p - n -перехода, где a_1, a_2 – коэффициенты передачи эмиттерного тока.

Так как переходы Π_1 и Π_3 смещены в прямом направлении, из них в области баз инжектируются носители заряда: дырки – из области p_1 , электроны – из области n_2 . Эти носители заряда, диффундируя в областях баз n_1, p_2 , приближаются к коллекторному переходу и его полем перебрасываются через p - n -переход. Дырки, инжектированные из p_1 -области, и электроны из n_2 движутся через переход Π_2 в противоположных направлениях, создавая общий ток I .

При малых значениях внешнего напряжения все оно практически падает на коллекторном переходе Π_2 . Поэтому к переходам Π_1, Π_3 , имеющим малое сопротивление, приложена малая разность потенциалов и инжекция носителей заряда невелика. В этом случае ток I мал и равен обратному току через переход Π_2 , т.е. I_{K_0} . При увеличении внешнего напряжения ток в цепи сначала меняется незначительно, при дальнейшем возрастании напряжения, по мере увеличения ширины перехода Π_2 , все большую роль начинают играть носители заряда, образовавшиеся вследствие ударной ионизации. При определенном напряжении носители заряда ускоряются настолько, что при столкновении с атомами в области p - n -перехода ионизируют их, вызывая лавинное размножение носителей заряда.

Образовавшиеся при этом дырки под влиянием электрического поля переходят в область p_2 , а электроны – в область n_2 . Ток через переход Π_2 увеличивается, а его сопротивление и падение напряжения на нем уменьшаются. Это приводит к повышению напряжения, приложенного к переходам Π_1, Π_3 , и увеличению инжекции через них, что вызывает дальнейший рост коллекторного тока и увеличение токов инжекции. Процесс протекает лавинообразно, и сопротивление перехода Π_2 становится малым.

Носители заряда, появившиеся в указанных областях вследствие инжекции и лавинного размножения, приводят к уменьшению сопротивления всех областей тиристора, и падение напряжения на приборе становится незначительным. На вольт-амперной характеристике этому процессу соответствует участок 2 с отрицательным дифференциальным сопротивлением (рис. 2.8). После переключения вольт-амперная характеристика аналогична ветви характеристики диода, смещенного в прямом направлении (участок 3). Участок 1 соответствует закрытому состоянию тиристора.

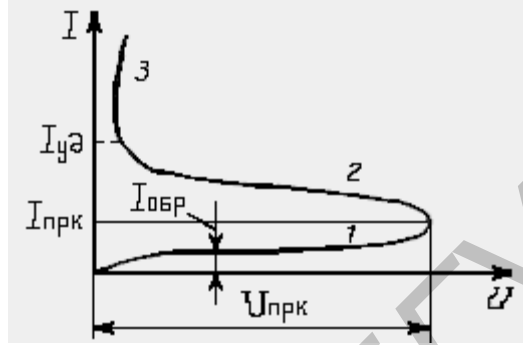


Рис. 2.8. Вольт-амперная характеристика динистора

Для определения тока, протекающего через диодный тиристор, рассмотрим его двухтранзисторную модель (см. рис. 2.7, в). Токи коллекторов транзисторов $n_2-p_2-n_1$ и $p_1-n_1-p_2$ типов соответственно равны:

$$I_{K_1} = a_1 I + I_{KBO_1}; \quad I_{K_2} = a_2 I + I_{KBO_2}. \quad (1)$$

Здесь I_{KBO_1} , I_{KBO_2} – обратные токи коллекторных переходов транзисторов V_1 , V_2 ; a_1 , a_2 – коэффициенты передачи эмиттерного тока.

Так как $I = I_{K_1} + I_{K_2}$, то с учетом (1) получим

$$I = a_1 I + I_{KBO_1} + a_2 I + I. \quad (2)$$

Если считать, что коэффициент лавинного умножения $M_{\text{л}}$ в переходе Π_2 для дырок и электронов имеет одинаковые значения, то выражение (2) примет вид

$$I = M_{\text{л}} \left[I(a_1 + a_2) + I_{KBO_1} + I_{KBO_2} \right] = \frac{M_{\text{л}} I_{K_0}}{1 - M_{\text{л}} a}, \quad (3)$$

где $a = a_1 + a_2$; I_{K_0} – обратный ток перехода Π_2 , равный сумме теплового тока, тока термогенерации и тока утечек ($I_{K_0} = I_{KBO_1} + I_{KBO_2}$).

Тиристор переключается, когда $M_{\text{л}} a \geq 1$. В этом случае ток I ограничен сопротивлением внешней цепи R , так как собственное сопротивление тиристора весьма мало. Выключение тиристора осуществляется за счет уменьшения напряжения внешнего источника до значения, при котором ток $I \approx U/R$ меньше $I_{y\delta}$ (участок 3 на рис. 2.8). Если

параллельно с тиристором включить диод, который открывается при обратном напряжении, то получится тиристор, проводящий в обратном направлении.

Триодные тиристоры (рис. 2.9, а) отличаются от диодных тем, что одна из баз имеет внешний вывод, который называют управляющим электродом.

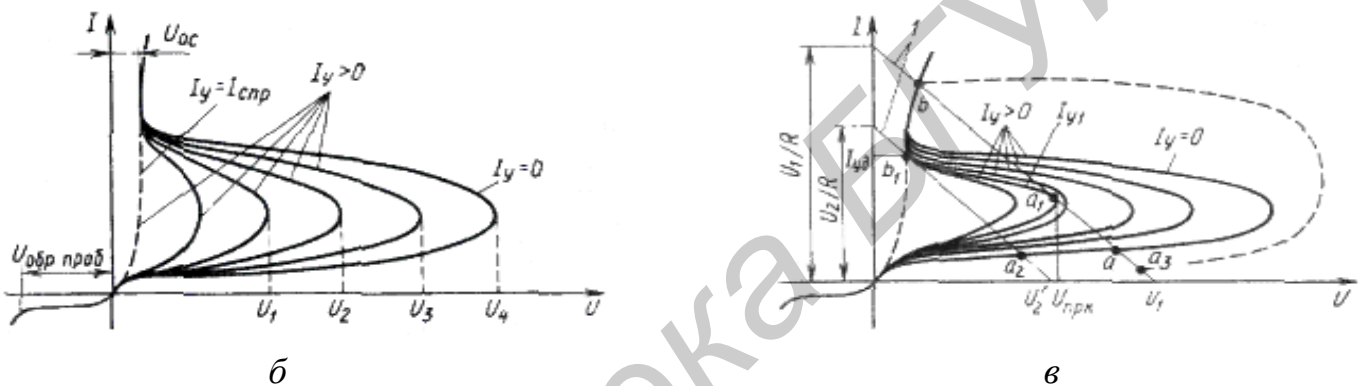
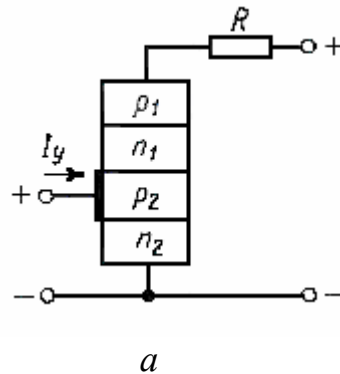


Рис. 2.9. Триодный тиристор:

а - структура; б - вольт-амперная характеристика; в - характеристики, поясняющие процесс включения; 1- линия нагрузки

При подаче в цепь управляющего электрода тока управления I_y ток через p - n -переход увеличивается. Дополнительная инжекция носителей заряда через p - n -переход приводит к увеличению тока I_{K_2} на величину $a_2 I_y$:

$$I = M_l [I(a_1 + a_2) + I_{K_0} + a_2 I_y] = \frac{M_l I_{K_0} + M_l a_2 I_y}{1 - M_l a}. \quad (4)$$

Увеличение тока через запертый коллекторный p - n -переход в первом приближении аналогично увеличению приложенного напряжения, так как в обоих случаях увеличивается вероятность лавинного размножения носителей заряда. Поэтому, изменяя ток, можно менять напряжение, при котором происходит переключение тиристора, и тем самым управлять моментом его включения. Семейство вольт-амперных характеристик тиристора показано на рис. 2.9, б.

Для того чтобы запереть тиристор, нужно либо уменьшить рабочий ток до значения $I < I_{yд}$ путем понижения питающего напряжения до значения ниже U_2 , либо задать в цепи управляющего электрода импульс тока противоположной полярности.

Процесс включения и выключения тиристора поясняет рис. 2.9, в. Если к нему через резистор R приложено напряжение U_1 и ток в цепи управляющего электрода равен нулю, то тиристор заперт. Рабочая точка находится в устойчивом положении a . При увеличении тока управляющего электрода рабочая точка перемещается по линии нагрузки 1. Когда ток управляющего электрода достигнет значения I_{y1} , точка a теряет устойчивость (нагрузочная характеристика не встречается с вольт-амперной), тиристор включится и рабочая точка его переместится в точку b . Для выключения необходимо (при $I_y = 0$) уменьшить напряжение питания до значения $U < U_2$. При этом рабочая точка из b_1 перейдет в a_2 и при восстановлении напряжения – в точку a .

Выключить тиристор можно также путем подачи на управляющий электрод напряжения противоположной полярности и создания в его цепи противоположно направленного тока. Наличие его приводит к уменьшению концентрации носителей зарядов в базе и коэффициентов a_1 и a_2 . При $M_a < 1$ тиристор выключается и в его цепи протекает малый ток, значение которого равно $I_{обр}$.

Недостатком такого выключения является большое значение обратного тока управляющего электрода, которое приближается к значению коммутируемого тока тиристора. Отношение амплитуды тока тиристора к амплитуде импульса выключающего тока управляющего электрода называется коэффициентом запираения: $K = I / I_{обр}$. Он характеризует эффективность выключения тиристора с помощью управляющего электрода. В ряде разработок $K = 4 - 7$.

Тиристоры с повышенным коэффициентом запираения часто называют *выключаемыми* или *запираемыми*.

Используя участок характеристики с отрицательным дифференциальным сопротивлением, когда в структуре действует положительная обратная связь, можно строить релаксационные генераторы (рис. 2.10), принцип действия которых состоит в следующем. Пока напряжение на тиристоре меньше $U_{прк}$, конденсатор C заряжается через резистор R . Напряжение на нем увеличивается по экспоненциальному закону. При включении тиристора ($U_c = U_{прк}$) конденсатор C быстро разряжается. Когда ток становится меньше $I_{уд}$, тиристор выключается. Процессы зарядки и разрядки периодически повторяются. Данная электрическая цепь генерирует периодические импульсы экспоненциальной формы.

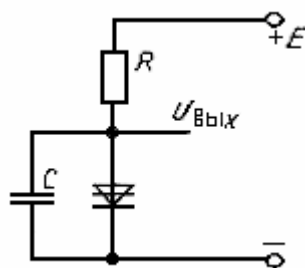


Рис. 2.10. Релаксационный генератор импульсов

Так как в самой структуре тиристора при его включении заложена положительная обратная связь, то, в принципе, триггер может быть построен на одном тиристоре по более простой схеме (рис. 2.11, а). Но в этом случае тиристор должен быть полностью управляемым, т.е. должен открываться и закрываться по управляющей цепи. Если тиристоры не полностью управляемые (могут только открываться по управляющей цепи), то иногда применяют два триггера, включенных по схеме рис. 2.11, б. Резисторы схемы рассчитываются с использованием графика рис. 2.11, в. Вначале проводится нагрузочная прямая R , наклон которой выбирается таким, чтобы образовывались три точки 1, 2, 3, причем 1 и 3 – точки устойчивого равновесия, точка 2 – неустойчивого равновесия. Неустойчивость ее объясняется тем, что она пересекает S -образную характеристику тиристора на участке отрицательного наклона (отрицательного сопротивления), характеризующегося глубокой внутренней для тиристора положительной обратной связью. Это – первое условие образования триггера. Наличие гистерезиса иллюстрируется графиком рис. 2.11, в.

Количественная величина резистора рассчитывается из соотношения:

$$R = \Delta U / \Delta I .$$

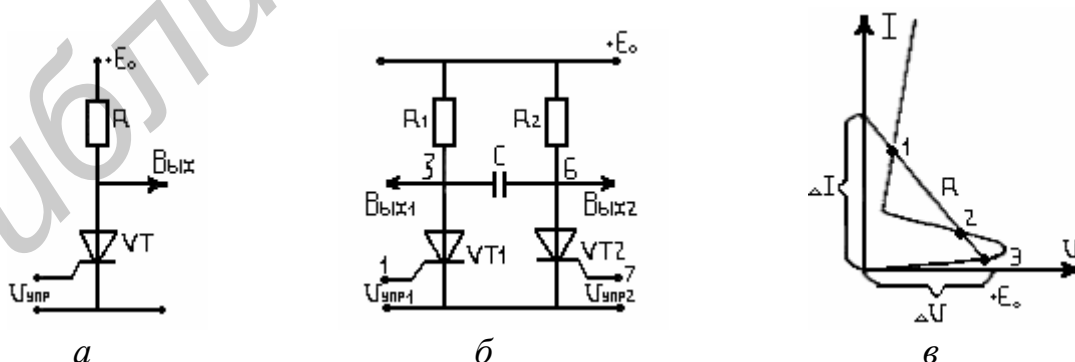


Рис. 2.11. Схемы триггеров:

а - на одном тиристоре; б - на двух тиристорах;

в - вольт-амперная характеристика

Работа схемы (рис. 2.11, б) осуществляется следующим образом. После включения напряжения питания на выходах Вых.1 и Вых.2

устанавливаются высокие уровни напряжений, соответствующие точке 3 на рис. 2.11, в, так как оба тиристора закрыты. Такое первоначальное состояние триггера называется запрещенным, однако оно не приводит к порче схемы или нарушению последовательности работы. С другой стороны, если в схеме рис. 2.11, б для триггера использовать только один тиристор $VT1$, как на схеме рис. 2.11, а, то второй тиристор $VT2$ будет являться вспомогательным, его выход может быть произвольным.

Для переключения триггера рис. 2.11, б запускающие импульсы подаются поочередно на входы U_{ynp1} и U_{ynp2} . Примем, что первый импульс поступает на вход U_{ynp1} , тогда открывается $VT1$, на его выходе устанавливается низкий уровень, соответствующий логическому 0. По цепи: $+E_0$, R_2 , C , открытый $VT1$, земля – заряжается конденсатор C полярностью плюс справа. После подачи второго запускающего импульса U_{ynp2} открывается тиристор $VT2$, и на протяжении короткого промежутка времени (доли микросекунд и более) оба тиристора открыты. Происходит разряд конденсатора C по цепи: положительная обкладка конденсатора C , открытый тиристор $VT2$ в прямом направлении, открытый тиристор $VT1$ в обратном направлении, отрицательная обкладка конденсатора C . Разрядный ток конденсатора C закрывает тиристор $VT1$, так как общий ток (сумма прямого и обратного разрядных токов) становится меньше тока выключения тиристора. На его выходе восстанавливается логическая 1. Дальнейшие переключения производятся аналогично.

Из описания работы триггера на тиристорах следует, что если одновременно подать импульсы на входы U_{ynp1} и U_{ynp2} , то оба тиристора будут одновременно открыты, на выходах установится второе запрещенное состояние с 0. Такое запрещенное состояние нарушает нормальную работу триггера, два тиристора будут устойчиво находиться в открытом состоянии. Для исключения этого состояния необходимо кратковременно отключить напряжение питания, после чего оба тиристора закрываются.

2.4. Триггеры на туннельных диодах

Если триггеры на тиристорах имеют время задержки на порядок больше по сравнению с триггерами на транзисторах, то триггеры на туннельных диодах примерно на порядок выше по быстродействию триггеров на транзисторах. Поэтому при разработке диагностических систем, оценивающих качественные показатели транзисторных схем, могут быть использованы логические и запоминающие устройства на туннельных диодах.

К *туннельным* относятся диоды, у которых за счет туннельного эффекта на прямой ветви вольт-амперной характеристики существует область с отрицательным дифференциальным сопротивлением (рис. 2.12). Элементом их обозначения является буква "N".

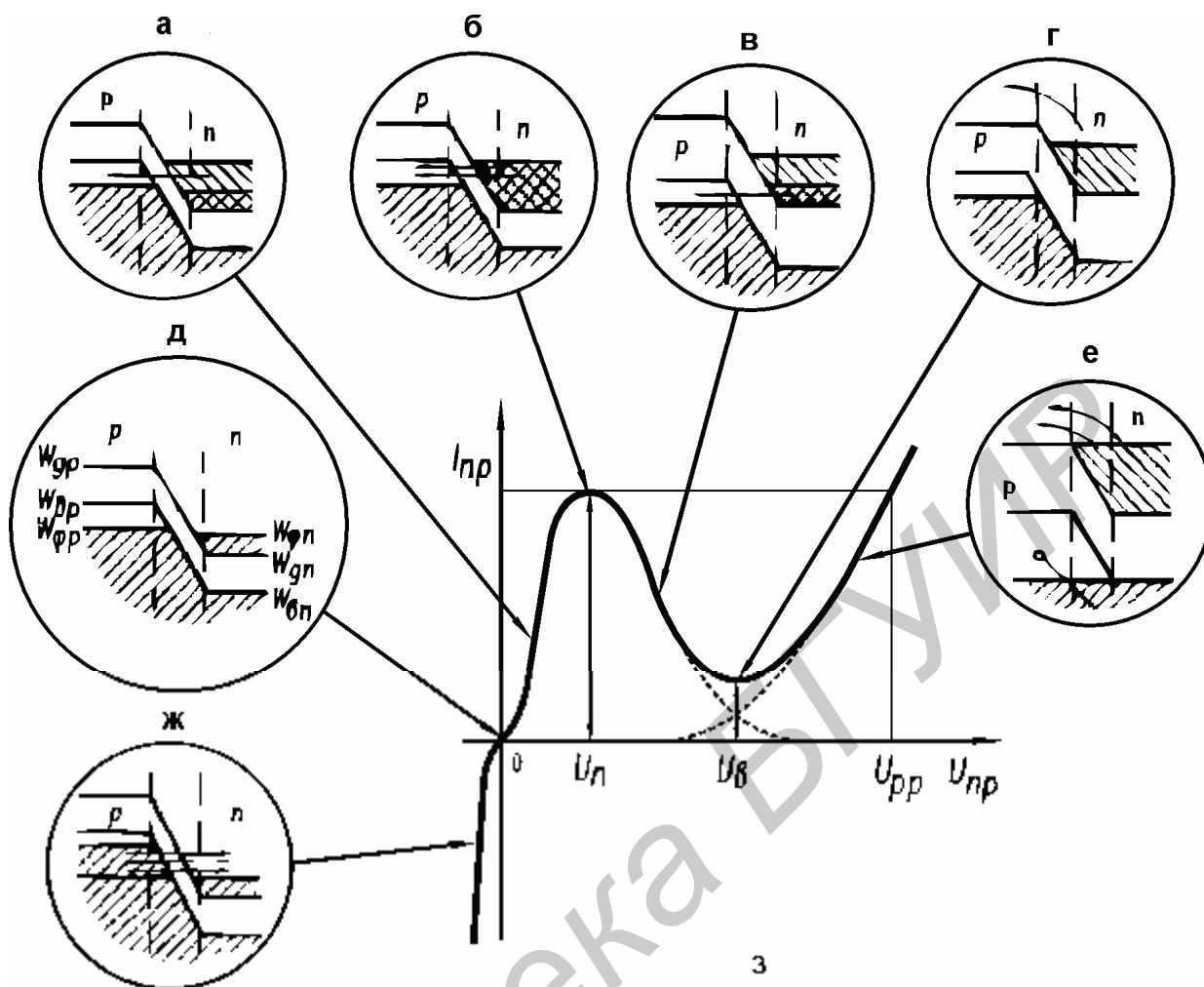


Рис. 2.12. Энергетические уровни p-n-перехода (а – ж); вольт-амперная характеристика туннельного диода (з)

Туннельный переход электронов через $p-n$ -переход возможен, если толщина перехода мала и энергетическим уровням, заполненным электронами в одной области, соответствуют такие же свободные разрешенные энергетические уровни в соседней области. Эти условия выполняются в $p-n$ -переходах, образованных полупроводниками с высокой концентрацией примесей ($10^{19} \dots 10^{21} \text{ см}^{-3}$). При этих условиях ширина $p-n$ -перехода имеет порядок 10^{-6} см , что обуславливает высокую напряженность электрического поля в переходе и вероятность туннельного прохождения электронов через его потенциальный барьер. В полупроводниках с такой концентрацией примесей атомы примеси взаимодействуют между собой и их уровни расщепляются в зоны, примыкающие в полупроводнике p -типа к валентной зоне, а в полупроводнике n -типа – к зоне проводимости. Такие полупроводники называют *вырожденными*. В них уровни Ферми расположены в зоне проводимости n -области и в валентной зоне p -области. *Уровень Ферми – это такой энергетический уровень, вероятность нахождения на котором заряженной частицы (электроны, дырки) равна 0,5*

при любой температуре тела; численно уровень Ферми равен максимальной энергии электронов металла при температуре абсолютного нуля.

Вид вольт-амперной характеристики туннельного диода может быть пояснен с помощью энергетических диаграмм (рис. 2.12), при построении которых предполагается, что в зоне проводимости n -области все уровни от W_{gn} до W_{fn} заняты электронами, а уровни, расположенные выше, свободны. В валентной зоне p -области все уровни от W_{vp} до W_{fp} свободны, а уровни ниже W_{fp} заняты электронами (на рисунке эти уровни заштрихованы). Эти предположения идеализируют картину, но позволяют упростить изучение процессов прохождения тока, что допустимо при рассмотрении принципа работы диода.

При отсутствии внешнего напряжения ($W_{bn} = W_{fp}$) против занятых электронами уровней p -области располагаются занятые уровни n -области. Туннельный переход электронов невозможен, и ток равен 0.

При подаче прямого напряжения U'_{np} уровни Ферми смещаются на величину $W = qU'_{np}$ (рис. 2.12, а) и против части энергетических уровней, занятых электронами в n -области (двойная штриховка), окажутся свободные уровни в p -области. В результате происходит туннельный переход электронов из n -области в p -область и проходит прямой туннельный ток, пропорциональный площади перекрытия свободных разрешенных энергетических уровней валентной зоны p -области, и заполненных энергетических уровней зоны проводимости n -области.

Туннельный ток будет увеличиваться до тех пор, пока перекрытие не станет максимальным (рис. 2.12, б). При дальнейшем увеличении прямого напряжения площади перекрытия соответствующих уровней и туннельный ток уменьшаются (рис. 2.12, в). При некотором прямом напряжении занятые электронами энергетические уровни зоны проводимости n -области окажутся целиком расположенными напротив энергетических уровней запрещенной зоны p -области. Туннельный переход электронов в этом случае окажется невозможным, и туннельный ток прекратится.

Наряду с туннельным переходом электронов при прямых напряжениях в диоде имеют место инжекция электронов из n -области в p -область и инжекция дырок из p -области в n -область, что вызывает прохождение через туннельный диод диффузионного тока, как и в обычных полупроводниковых диодах. Поэтому ток туннельного диода при $U_{np} = U_B$ имеет две составляющие: туннельную и диффузионную (рис. 2.12, г).

Дальнейшее увеличение U_{np} приводит к росту диффузионного тока (рис. 2.12, е).

Если диод включается в обратном направлении, то уровни Ферми смещаются так, как показано на рис. 2.12, ж, и появляется возможность туннельного перехода электронов с заполненных уровней валентной зоны

p -области на свободные уровни зоны проводимости n -области. Это приводит к появлению большого обратного туннельного тока.

Условное графическое изображение туннельного диода показано на рис. 2.13.



Рис. 2.13. Условное графическое изображение туннельного диода

Поскольку для изготовления туннельных диодов используются вырожденные полупроводники, по характеру проводимости приближающиеся к металлам, рабочая температура этих диодов достигает $400\text{ }^{\circ}\text{C}$. Недостатком туннельных диодов является малая мощность из-за низких напряжений (десятые доли вольта) и малых площадей перехода.

Эквивалентная схема туннельного диода имеет следующий вид (рис. 2.14):

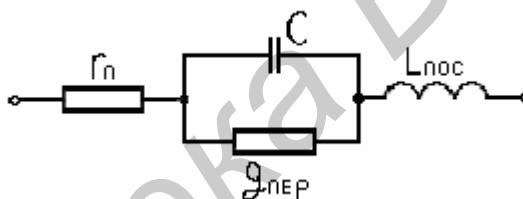


Рис. 2.14. Эквивалентная схема туннельного диода

На данном рисунке: r_n – сопротивление потерь; C – емкость диода; $g_{пер}$ – отрицательная проводимость; $L_{нос}$ – эквивалентная индуктивность диода.

По своему назначению диоды делятся на усилительные, генераторные, переключаемые. Туннельные диоды позволяют создавать усилители, генераторы, смесители в диапазоне волн вплоть до миллиметровых. На туннельных диодах можно строить и различные импульсные устройства: триггеры, мультивибраторы и спусковые схемы с очень малым временем переключения.

Типовая N -характеристика туннельного диода и схема триггера изображены на рис. 2.15, а, б. После включения устанавливается напряжение U^0 (рис. 2.15, а, точка 1). Запускающий импульс положительной полярности переводит рабочую точку в область В (заштрихована \equiv). Когда запускающий импульс исчезнет, то рабочая точка (I_D) займет устойчивое положение 3. Для обратного переключения подается импульс, приводящий рабочую точку в область А (заштрихована \equiv), отрицательный импульс). После исчезновения этого импульса рабочая точка (I_D) примет устойчивое положение 1. Положительная обратная связь как первое необходимое условие для образования триггера создается на участке отрицательного

наклона характеристики туннельного диода, поэтому точка 2 неустойчива. Эффект положительной обратной связи обуславливается внутренними свойствами туннельного диода. Наличие гистерезиса (второе условие триггера) следует из графика рис. 2.15, а.

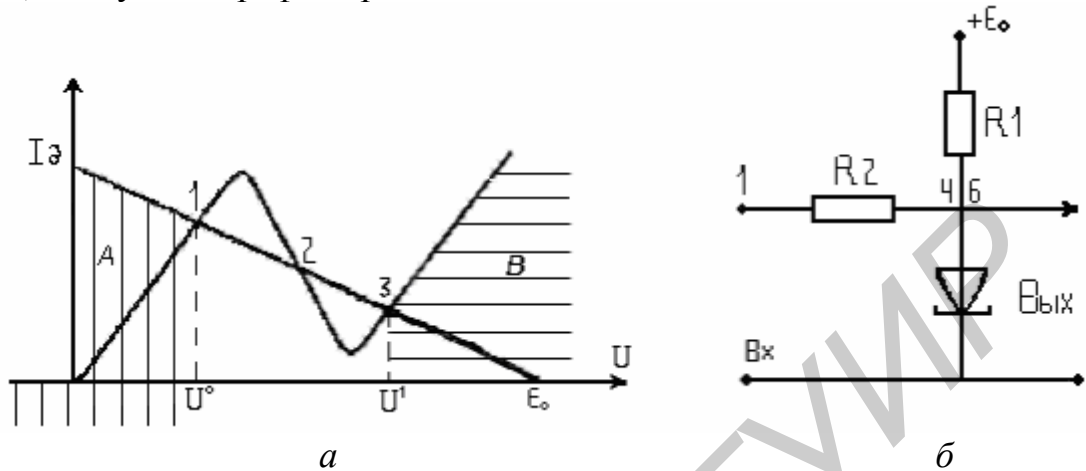


Рис. 2.15. Триггер на туннельном диоде:
а - вольт-амперная характеристика; б - схема

Ввиду особенностей туннельного диода различия между уровнями логических 0 и 1 триггера составляют десятые доли вольта. Для увеличения перепада напряжения на выходе туннельного триггера может устанавливаться транзисторный каскад, но среднее время задержки будет определяться в основном этим транзисторным каскадом.

2.5. Триггеры на двухбазовых диодах (однопереходных транзисторах)

Однопереходный транзистор, или двухбазовый диод, – полупроводниковый прибор с одним $p-n$ -переходом. Простейший (нитевидный или стержневой) вариант исполнения такого транзистора представляет собой тонкий стержень из кремния с высоким удельным сопротивлением и n -проводимостью. На верхнем и нижнем торцах стержня созданы невыпрямляющие контакты с соответствующими металлическими выводами. На боковой стороне стержня ближе к верхнему торцу создан $p-n$ -переход (рис. 2.16, а). Условное обозначение полученного трехэлектродного прибора показано на рис. 2.16, б. Вывод $p-n$ -перехода называют *эмиттером*, нижний торец стержня – *первой базой*, верхний торец – *второй базой*. Появление участка отрицательного сопротивления на вольт-амперной характеристике прибора объясняется следующим образом.

Включим однопереходный транзистор так, чтобы первая база (B_1) была заземлена, а на вторую базу (B_2) было подано постоянное напряжение

питания $+E$. Эмиттер (Э) является входным электродом прибора и на него подается входное напряжение U .



Рис. 2.16. Однопереходный транзистор:
а - устройство; б - условное изображение

Пусть $U \leq 0$. Эмиттерный переход транзистора заперт. Через кремниевый стержень от B_2 к B_1 течет межбазовый ток. Сопротивление стержня между базами $R_B = r_1 + r_2$, где r_1 – сопротивление отрезка стержня между базой B_1 и сечением, проходящим через эмиттер; r_2 – сопротивление отрезка стержня между базой B_2 и сечением, проходящим через эмиттер. В указанном сечении относительно заземленной базы B_1 действует запирающее p - n -переход напряжение:

$$U_0 = E \frac{r_1}{r_1 + r_2} = hE,$$

где $h = r_1 / (r_1 + r_2) = r_1 / R_B$ – коэффициент деления напряжения питания. Тогда на p - n -переход действует суммарное запирающее напряжение, равное $hE + |U|$. Ток эмиттера i_ε равен обратному току перехода $I_{\varepsilon 0}$.

Если входное напряжение u приняло положительное значение и начало увеличиваться от нуля, то запирающее напряжение на переходе уменьшается и становится равным $hE - U$. Когда напряжение u получит относительно уровня hE небольшое приращение $U_{np} \approx e_0$, соответствующее прямому напряжению на переходе, p - n -переход отпирается. Это происходит при напряжении U , соответствующем напряжению включения:

$$U = U_{вкл} = hE + U_{np} \approx hE.$$

После отпираания p - n -перехода начинается инжекция неосновных носителей в толщу стержня. Неосновные носители под действием электрического поля в стержне движутся к первой базе и уменьшают сопротивление участка между p - n -переходом и первой базой. Напряжение, получаемое в рассматриваемом сечении за счет деления напряжения питания E , уменьшается, т.е. уменьшится запирающее напряжение p - n -перехода, а

напряжение u остается неизменным. Создается прямой ток. Это приводит к дальнейшему отпиранию p - n -перехода, усилению диффузии и уменьшению сопротивления нижней части стержня.

С ростом тока напряжение на эмиттере уменьшается. При токе через эмиттер, равном $I_{ВКЛ}$, нижний участок стержня насыщается. Его сопротивление перестает уменьшаться. Увеличение эмиттерного тока в этих условиях вызывает небольшое увеличение напряжения на эмиттере, что соответствует второму восходящему участку вольт-амперной характеристики (рис. 2.17).

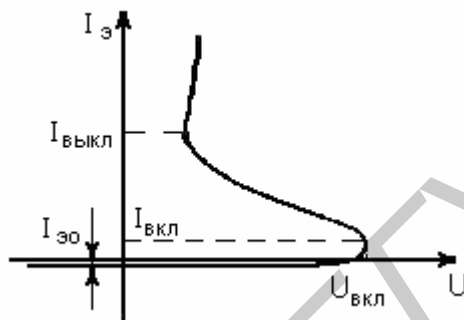


Рис. 2.17. Вольт-амперная характеристика

Параметры однопереходного транзистора следующие: $U_{ВКЛ} = hE$, где $h = 0,7 - 0,9$ в зависимости от типа прибора; $E = 7 - 30$ В; $I_{ВКЛ} \approx 10 - 20$ мкА; $I_{ВЫКЛ} \approx 1 - 6$ мА; $U_{ВЫКЛ} = 3 - 4$ В; $I_{Э0} = 3 - 10$ мкА. Межбазовое сопротивление стержня $R_B = 7 - 10$ кОм.

Однопереходный транзистор по быстродействию уступает туннельным диодам и лавинным транзисторам. Однако он имеет ряд достоинств: высокую надежность и стабильность напряжения включения, малые значения $I_{ВКЛ}$ и $I_{Э0}$. Особенно эффективно использование таких транзисторов в генераторах низких и инфранизких частот повторения.

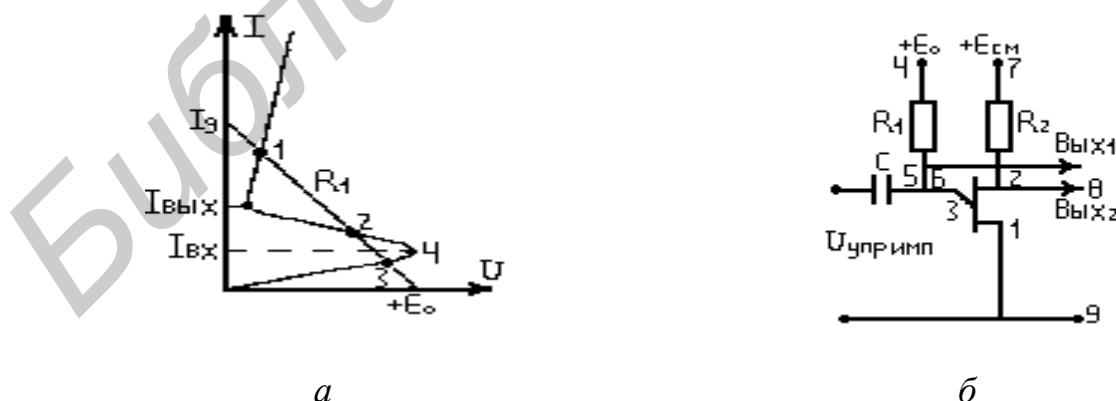


Рис. 2.18. Однопереходный транзистор:

а - выходная характеристика S-образной формы; б - принципиальная схема

На рис. 2.18, а изображена выходная характеристика S-образной формы (аналогичная тиристор), на которую нанесена нагрузочная прямая R_1 с двумя устойчивыми точками 1, 3 и неустойчивой точкой 2. Принципиальная схема триггера показана на рис. 2.18, б, причем основной выход ее - Вых.1. Вых.2. является вспомогательным, он может отсутствовать, если $R_2 = 0$. Напряжение смещения E_{CM} , подключаемое к базам, регулирует величину "колена" 4 (рис. 2.18, а); при большем E_{CM} возрастает порог 4. Переключение триггера производится путем поочередной подачи импульсов положительной и отрицательной полярности, создающих в приборе ток больше $I_{ВКЛ}$ или меньше $I_{ВЫКЛ}$.

2.6. Описание лабораторной установки

Передняя панель лабораторной установки изображена на рис. 2.19. В верхней части панели размещены разъемы с микросхемами, выводы которых подключены к оцифрованным гнездам. Разъемы имеют номера от 1 до 10 (схемы 1-10). Триггеры на операционных усилителях обозначены символами 11, А, В и 12. Триггеры на тиристорах, туннельных диодах и однопереходных транзисторах соответственно пронумерованы 13, 14, 15. В нижней части панели слева размещен разъем для микросхемы К155ЛА3, которая используется для построения RS-триггера на логических элементах, а также для вспомогательных целей в процессе выполнения лабораторной работы. Здесь же расположена кнопка с гнездами, нажав на которую, можно образовать уровни 1 или 0. В средней части размещены генераторы импульсов +0...5 В, -0...5 В, +0...9 В. Амплитуда импульсов устанавливается регуляторами амплитуды Рег.Ампл.1, Рег.Ампл.2, Рег.Ампл.3, частоты следования импульсов могут быть изменены посредством переключателей Рег.Част.1, Рег.Част.2, Рег.Част.3, каждый из которых имеет три фиксированных положения - I, II, III. Для съема импульсов предусмотрены по четыре горизонтально расположенных гнезда 1-4, 9-12, 17-20, здесь же расположены "земляные" гнезда 5-8, 13-15, 21-24. Они необходимы для подключения земляных электродов осциллографов, вольтметров, для подачи уровня 0 на входы исследуемых триггеров. В правой нижней части передней панели размещены элементы индикации – две сигнальные лампы и два светодиода, которые используются для высвечивания уровней нуля или единицы при подключении к выходам соответствующих триггеров. Для подключения лампочки или светодиода к выходу исследуемого триггера необходимо один из выводов элемента индикации соединить с землей, а другой присоединить к выходу исследуемой схемы. Лабораторная установка многофункциональная, позволяет выполнять лабораторные работы № 1 и № 2, описанные в данном методическом пособии, а также производить эксперименты с триггерами ЭСЛ- и КМОП- логики.

1 K155TM2	2 K500ПУ124	3 K500TM131	4 K176ПУ1	5 K176TM2
6 K155TB1	7 K500ПУ125	8 K500TM133	9 K176ПУ2	10 K561TB1
11 A B	12 C	13 ТРИГГЕР НА ТИРИСТОРАХ	14 ТРИГГЕР НА ТУННельНОМ ДИОДЕ	15 ТРИГГЕР НА ОДНОПЕРЕХОДНОМ ТРАНЗИСТОРЕ
K155ЛАЗ				

Рис. 2.19. Липевая панель учебной лабораторной установки

2.7. Порядок выполнения лабораторной работы

Лабораторная работа выполняется на учебных макетах во время занятий согласно расписанию. Студенты, которые имеют доступ к персональному компьютеру, на винчестере которого имеется специальная программа Electronics WorkBench (дискеты с этой программой и дискету с указаниями порядка выполнению работы можно взять у преподавателя), могут выполнять работу вне лабораторных занятий. В этом случае необходимо точно выполнять все требования по оформлению отчёта (схемы, величины резисторов, частоты, временные диаграммы и т.д.). По этим признакам преподаватель имеет возможность сделать корректный вывод о самостоятельной работе студента.

Во время аудиторных занятий уточняются теоретические знания и порядок её выполнения. Производится защита выполненных лабораторных работ. Кроме того, при работе на компьютере необходимы знания теории в объёме общего описания работы, которые будут способствовать успешной защите лабораторной работы.

При выполнении лабораторной работы на учебном макете возникает потребность в различных генераторных импульсах. Для упрощения записи порядка проводимых опытов вводятся следующие обозначения:

а) *первый генератор Г1* – это генератор положительных импульсов с регулировкой амплитуды в пределах (0 – 5) В;

б) *второй генератор Г2* – это генератор отрицательных импульсов с регулировкой амплитуды в пределах (0 – 5) В;

в) в ходе экспериментов будут рассматриваться схемы, которые необходимо сохранить (не разбирать) для исследования их в качестве *специфических генераторов (Г11, Г12)* в последующих опытах.

1. Исследовать схему инвертирующего триггера (см. рис. 2.3) при ручном управлении.

Установить на генераторах Г1 и Г2 максимальные уровни выходных импульсов. Поочередно и кратковременно подключая их выходы ко входу триггера (гнездо 1), убедиться в изменении напряжения на выходе триггера. Измерить напряжения $U_{вых}^-$ и $U_{вых}^+$.

Определить чувствительность инвертирующего триггера (напряжения срабатывания U_1 , U_2 – (см. рис. 2.3, б). Для этого переключить при помощи одного генератора (Г1) триггер в устойчивое состояние, наблюдать его при помощи осциллографа. Установить на выходе второго генератора (Г2) нулевое напряжение (повернуть регулятор против часовой стрелки до упора), подключить его ко входу триггера вместо Г1. Постепенно увеличивая импульсы Г2, зафиксировать опрокидывание триггера. Измерить амплитуду импульсов Г2 (напряжение срабатывания U_1 – (см. рис. 2.3, б),

повторить процедуру, поменяв генераторы местами. По результатам опыта нарисовать зависимость $U_{вых} = f(U_{вх})$.

2. Исследовать схему инвертирующего триггера при импульсном управлении.

Для импульсного управления триггером по одному входу (гнездо 1) необходим специальный источник двухполярных запускающих импульсов, которого в структуре лабораторной установке нет. Поэтому необходимо воспользоваться дополнительным неинвертирующим входом триггера (гнездо 3). В этом случае для проведения опытов необходим генератор однополярных сигналов с двумя выходами, импульсы которых должны отличаться по фазе (идеально на 180°). Для этой цели собрать схему генератора Г11 (рис. 2.20) на микросхеме К155 ЛА3.

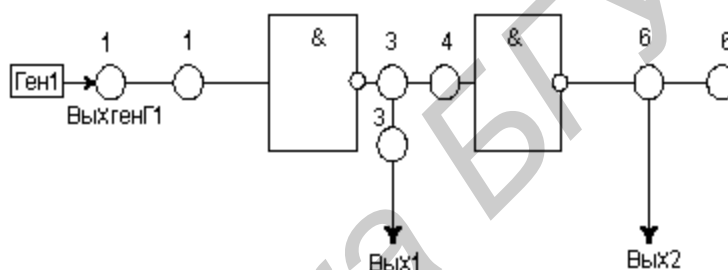


Рис. 2.20. Схема генератора (Г11) специальных положительных импульсов

Подключить один выход генератора Г11 к инвертирующему входу триггера (гнездо 1), второй выход – к неинвертирующему входу триггера (гнездо 3). Наблюдать импульсы на выходе триггера. Измерить частоту входных и выходных импульсов при 3-х положениях регулятора частоты Г1.

Примечание. Собранный схему не разбирать, так как она будет использоваться в других опытах в качестве источника двухполярных сигналов с обозначением: *генератор Г12*.

3. Исследовать схему неинвертирующего триггера (см. рис. 2.4) при ручном управлении.

Опыт повторить, согласно п. 1, заменив оцифровку входного гнезда триггера (вместо гнезда 1 использовать вход неинвертирующего триггера).

По результатам опыта нарисовать зависимость $U_{вых} = f(U_{вх})$.

4. Исследовать схему неинвертирующего триггера при импульсном управлении.

Подключить генератор Г12 ко входным гнездам исследуемого триггера (гнездо 1). Наблюдать выходные импульсы при различных положениях регулятора частоты Г1. Измерить частоту входных и выходных импульсов.

5. Исследовать схему суммирующего триггера (см. рис. 2.5) при ручном управлении.

В общем случае выходная гистерезисная характеристика триггера в зависимости от знака величины U_{on} , величин резисторов R_1, R_2, R_3 может вся располагаться в правой полуплоскости ($U_1, U_2, > 0$), в левой полуплоскости ($U_1, U_2, < 0$) и так, как показано на рис. 2.5, б. Именно последний вариант реализован в учебном макете. Потому исследование схемы суммирующего триггера провести согласно пунктам 2.7.3 – 2.7.4, заменив лишь оцифровку входного гнезда неинвертирующего триггера на входное гнездо исследуемой схемы (гнездо 3).

6. Исследовать схему триггера на тиристорах (см. рис. 2.11, б) при ручном управлении.

В начале измерить напряжение на выходе триггера (гнезда 3, 6), пояснить состояния триггера. Этими значениями заполнить первую строку таблицы 2.1.

Таблица 2.1

$U_{упр1}$		$U_{упр2}$		Выход 1		Выход 2	
Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение	Логическая величина	Напряжение
0	0	0	0				
1		0					
0		0					
0		1					
0		0					
1		1					
0		0					
1		0					
0		1					

Строго следуя очередности подачи управляющих напряжений на входы $U_{упр1}$ и $U_{упр2}$ (гнезда 1, 7) от одного из выходов генератора Г11, заполнить табл. 2.1.

Примечание. Когда управляющий сигнал отключен от входа тиристора, то принимать его значение как логический 0.

Сделать вывод о запрещенных состояниях триггера (на одном и другом выходах одинаковые логические величины). Оценить работоспособность схемы триггера в случае возникновения этих состояний.

7. Исследовать схему триггера на тиристорах (см. рис. 2.11, б) при импульсном управлении.

К управляющим электродам тиристорov подключить выходы генератора Г11. Кратковременно отключить сеть (напряжение 220 В), восстановив этим работоспособность схемы. Наблюдать на анодах одного и другого

тиристоров выходные импульсы. Зарисовать их. Определить частоту входных и выходных импульсов.

8. Исследовать триггер на туннельном диоде (см. рис. 2.15, б).

а) Подключить к входу триггера (гнездо 1) положительное напряжение с гнезда кнопки. Измерить величину входного и выходного напряжений.

б) при помощи кнопки отключить подаваемое напряжение U . Измерить величину выходного напряжения, объяснить полученные результаты, используя график рис. 2.15, а;

в) так как источник постоянного отрицательного напряжения в структуре макета отсутствует, то для выполнения тех же действий (пп. 1, 2) с источником отрицательного напряжения использовать генератор Г2. Подключить его гнездо вместо кнопки ко входу триггера, измерить амплитуду выходных импульсов при наличии отрицательного импульса Г2 и в момент его отсутствия. На основании опытов 1 - 3 выделить логические величины и связанные с ними реальные напряжения на выходе триггера;

г) подключить к выходу триггера базу вспомогательного транзистора. Повторить опыты 1 - 3, измеряя величины входных и выходных импульсов на выходе транзистора.

Выделить логические величины и связанные с ними реальные напряжения на выходе VT.

9. Исследовать схему триггера на однопереходном транзисторе (см. рис. 2.18, б).

Изменяя напряжение E_0 , снять зависимости:

$$U_{вых1} (зн.3) = f(E_0),$$

$$U_{вых2} (зн.2) = f(E_0).$$

Напряжение E_0 сначала увеличивать от 0 до максимального значения, затем повторить опыт, изменяя E_0 в обратной последовательности. При снятии зависимостей особенно тщательно фиксировать моменты (напряжения) скачкообразного изменения выходных напряжений.

2.8. Контрольные вопросы

1. Какие схемы относят к классу триггеров?
2. Расшифровать микросхему 1401УД2.
3. Нарисовать условное обозначение ОУ, назначение выводов.
4. Сформулировать основные правила для вывода формул в схемах с ОУ.
5. Вывести расчетное уравнение для инвертирующего триггера.
6. Нарисовать временную диаграмму на выходе инвертирующего триггера при условии, что амплитуды входных импульсов идеально равны (см. рис. 2.21).

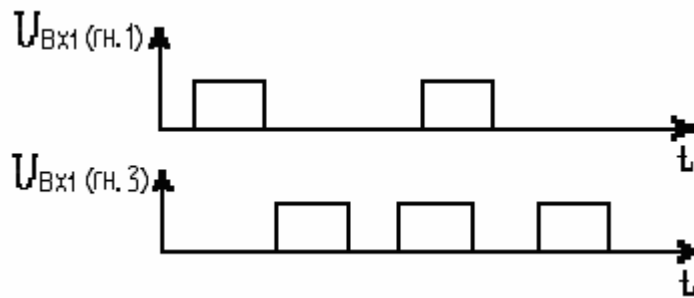


Рис. 2.21. Пример входных сигналов триггера на ОУ

7. Как организуется ПОС в триггерах на ОУ?
8. Как организуется ПОС в структуре триггера на тиристорах?
9. Нарисовать временную диаграмму на выходе исследуемой схемы триггера на тиристорах (аноды тиристоров). Входные сигналы приведены на рис. 2.22.

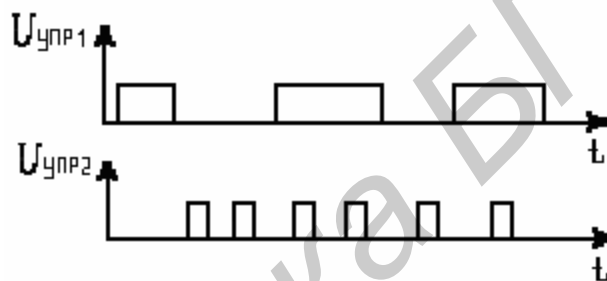


Рис. 2.22. Пример входных сигналов триггера на тиристоре

10. Роль конденсатора C в исследуемой схеме триггера на тиристорах.
11. Как организуется ПОС в структуре двухбазового диода?
12. В исследуемой схеме триггера на двухбазовом диоде источник постоянного напряжения E_0 заменен на источник синусоидального сигнала (рис. 2.23).

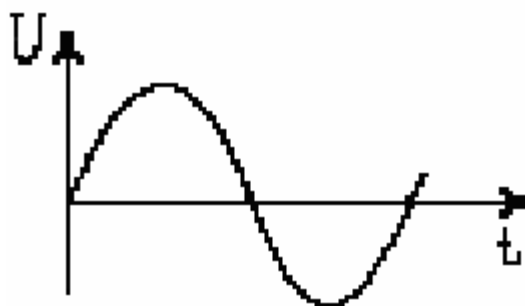


Рис. 2.23. Пример входных сигналов триггера на двухбазовом диоде

Нарисовать временные диаграммы на двух выходах триггера на однопереходном транзисторе (эмиттер, база 2).

13. Достоинства и недостатки туннельных диодов.

2.9. Содержание отчета

1. Цели проведенных опытов.
2. Функциональные, принципиальные схемы используемых триггеров.
3. Осциллограммы, таблицы, данные, графики снятых зависимостей.
4. Выводы и ответы на поставленные вопросы в каждом пункте исследований.

5. Рекомендуется в конце отчета дать письменный ответ в краткой форме на контрольные вопросы 1-13, которые чаще всего в той или иной форме обсуждаются при защите лабораторной работы. Если при первой защите знания студента окажутся неудовлетворительными, то при повторной защите могут задаваться более сложные вопросы.

ЛИТЕРАТУРА

1. Гусев В.Г. и др. Электроника: Учеб. пособие для вузов /В.Г. Гусев, Ю.М. Гусев. – М.: Высш. шк., 1991.– 630с.

2. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (полный курс): Учебник для вузов /Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров; Под. ред. О.П. Глудкина.– М.: Горячая линия – Телеком, 2000.– 768 с.

3. Булычев А.Л. и др. Электронные приборы: Учебник для вузов / А.Л. Булычев, П.М. Лямин, Е.С. Тулинов, – Мн.: Выш. шк., 1999.– 416 с.

4. Решетилов А.Р. Лабораторный практикум по электронным устройствам автоматики и импульсной технике: В 4 ч. Ч. 2. – Мн.: МРТИ, 1989.

Учебное издание

Решетилов Анатолий Родионович,
Ольшевский Николай Иванович,
Яшин Константин Дмитриевич

ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА

Лабораторный практикум
для студентов специальностей

53 01 03 «Автоматическое управление в технических системах» и 53 01 07
«Информационные технологии и управление в технических системах»
всех форм обучения

Редактор Н.А. Бебель
Корректор Е.Н. Батурчик

Подписано в печать
Гарнитура «Таймс».
Уч.-изд. л.

Формат 60x84 1/16.
Печать ризографическая.
Тираж 200 экз.

Бумага офсетная.
Усл. печ. л.
Заказ 161.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
Лицензия на осуществление издательской деятельности №02330/0056964 от 01.04.2004.
Лицензия на осуществление полиграфической деятельности №02330/0133108 от 30.04.2004.
220013, Минск, П. Бровка, 6