



УДК 681.511.4

АНАЛИЗ ФАЗОВОГО ДЕТЕКТОРА ТИПА «ВЫБОРКА-ЗАПОМИНАНИЕ»

Шилин Д. Л.

Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь

dimashilin@gmail.com

В данной работе автором произведен анализ фазового детектора «выборка-запоминание», рассматривается метод проектирования фазового детектора, делающий возможным применения такого устройства в системах фазовой синхронизации в широком диапазоне частот, особенно удачным видится применение в синтезаторах частот, где предъявляются высокие требования в чистоте выходного сигнала. Рассмотрен ряд микросхем, использующих данный принцип построения фазового детектора.

Ключевые слова: выборка-запоминание, синтезатор частот, устройства фазовой синхронизации, фазовый детектор.

ВВЕДЕНИЕ

Устройства фазовой синхронизации, в силу их эффективности, выделены в отдельный класс систем автоматического регулирования. Их развитию уделяется большое внимание, трудно назвать область техники, где бы они ни применялись, в частности в робототехнике с интеллектуальным управлением. На сегодняшний день в большинстве систем передачи информации используют устройства фазовой синхронизации (УФС) для синхронизации потоков при обмене информацией, для организации высокочастотных синтезаторов частот. Использование некоторых режимов позволяет использовать УФС для шифрования информации [Шахтарин, 2006], [Шнайер, 2002]. Ведущие мировые производители разрабатывают различные функциональные блоки УФС, которые включены в стандартные микросхемы и имеют ряд основных характеристик. Таким образом, проектирование УФС на первом этапе сводится к выбору функциональных узлов и соединению их в структурную схему. Наличие методов синтеза и анализа УФС [Кузнецов, 1993] [Goldman, 2007], позволяет использовать классические топологические схемы, а стандартные функциональные микросхемы – придавать топологическим структурам вид электрических схем.

В УФС блоком, определяющим вид модуляции, основные динамические и шумовые характеристики, является фазовый детектор [Кузнецов, 1993] [Романов, 2010].

Автором предлагается при выборе фазовых детекторов, исходя из функционального назначения УФС, производить анализ характеристик на уровне электрических схем. При этом основным инструментом анализа предлагаются математические модели схем и пакет прикладных программ PSPICE.

ОСНОВНАЯ ЧАСТЬ

Необходимо определить три основных характеристики фазовых детекторов (ФД):

Статическую фазовую характеристику $\varepsilon(\varphi)$, т.е. зависимость постоянной составляющей на выходе детектора от фазового рассогласования входных сигналов;

Статический коэффициент передачи ФД:

$$K_{\text{ФД}} = \frac{d\varepsilon}{d\varphi}$$

Уровень помех на выходе ФД – $\varepsilon(K\omega_0)$, где $\omega_0 = 2\pi f_0 k$, $k = 1, 2 \dots$ – частота входного сигнала в установившемся режиме.

На рисунке 1 $y(t)$ – входной сигнал первого входа ФД; $u(t)$ – сигнал из цепи обратной связи УФС (второй вход ФД); $\varepsilon(t)$ – сигнал рассогласования (выход ФД).

Рассмотрим несколько основных видов фазовых детекторов и проведем анализ их характеристик. На рисунке 1 изображена структурная схема фазового детектора типа «выборка-запоминание».

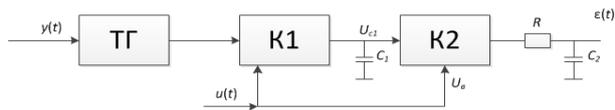


Рисунок 1 – Структурная схема фазового детектора типа «выборка-запоминание»

Где ТГ – токовый генератор; K_1 и K_2 – электронные ключи, работающие в противофазе; C_1 – конденсатор, на котором формируется пилообразное напряжение (или периодическое напряжение другой формы); C_2 – конденсатор, сохраняющий заряд на время между двумя импульсами выборки. Токовый генератор запускается входным сигналом $y(t)$. Форма напряжения на конденсаторе C_1 определяет вид статической характеристики ФД – пилообразная, треугольная, трапецидальная и др. [Wolaver, 2006]. На рисунке 2 представлены временные диаграммы работы детектора.

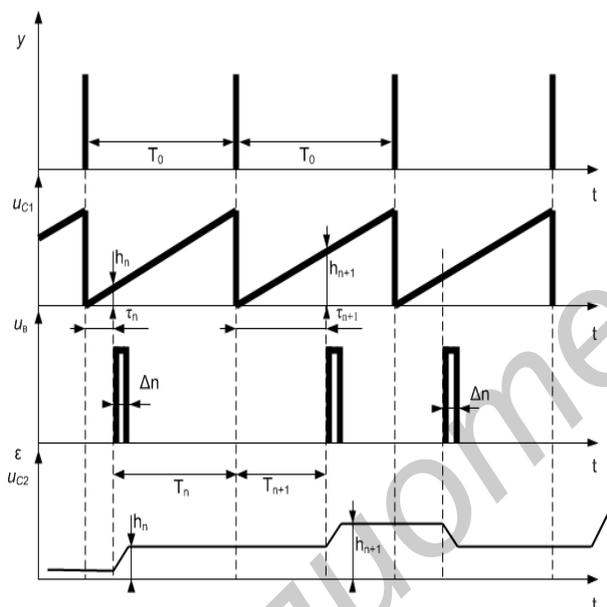


Рисунок 2 – Временные диаграммы работы фазового детектора типа «выборка-запоминание»

ФД работает следующим образом: сигнал выборки, сформированный из $u(t)$, размыкает K_1 и замыкает K_2 , что приводит к передаче напряжения на конденсатор C_2 . Величина напряжения на C_2 соответствует фазовому рассогласованию сигналов $y(t)$ и $u(t)$. По окончании выборки, этот процесс определяется длительностью импульса выборки Δn , напряжение запоминается на конденсаторе C_2 до прихода следующего импульса выборки.

Математическая модель для данной схемы, при условии, что сопротивление ключей K_1 и K_2 малы, а входное сопротивление каскада, на который нагружен ФД – высокое, будет иметь вид. Пусть $U_{C1}(t_n) = y(n)$, а $U_{C2}(t_n) = \varepsilon(n-1)$, тогда на момент прихода импульса выборки (ключ K_1 разомкнут, K_2 – замкнут):

$$\frac{1}{C_2} \int idt + \frac{1}{C_1} \int idt = 0, \quad (1)$$

где i – ток в цепи C_1RC_2 .

Обозначим

$$\tau_n = \frac{RC_1C_2}{C_1 + C_2},$$

тогда решение уравнения (1) будет иметь вид:

$$\varepsilon(t) = A_1 + A_2 e^{-\frac{t}{\tau_n}}, \quad (2)$$

где A_1 и A_2 – постоянные интегрирования.

Определение A_1 и A_2 позволяет получить математическую модель ФД «выборка-запоминание» в виде разностного уравнения:

$$\varepsilon[n] = y[n] \frac{(1 - e^{-\frac{\Delta n}{T_n}})}{1 + C_2/C_1} + \varepsilon[n-1] (1 - y[n] \frac{(1 - e^{-\frac{\Delta n}{T_n}})}{1 + C_2/C_1}) \quad (3)$$

Из последнего выражения определим передаточную функцию и статическую характеристику фазового детектора:

$$\varepsilon(\varphi) = \frac{U_n \varphi}{2\pi} \quad (4)$$

Статический коэффициент передачи:

$$K_{ФД} = \frac{U_n}{2\pi} \quad (5)$$

Следует отметить, что $\varepsilon(\varphi)$ и КФД совпадают с аналогичными характеристиками триггерного фазового детектора.

Для анализа уровня проникновения в выходной сигнал побочных составляющих уравнение (3) рассмотрим для режима однократного синхронизма, условием которого является: $\varepsilon[n] = \varepsilon[n-1] = \varepsilon^*$, $y[n] = y[n-1] = y^*$. В этом случае выходной сигнал периодический, с периодом 2π .

Автором проведен анализ включения ФД на частоте сравнения 100 кГц. Фазовый детектор включен на буферный каскад, обладающий большим входным сопротивлением, который работает на низкочастотный фильтр (ФНЧ) с частотой среза $f_{ср} = 200$ кГц. Схема представлена на рисунке 3, ФНЧ представляет лестничный LC-фильтр с тремя элементами, нагружен на согласованное сопротивление $R_n = 1 * 10^3$ Ом.

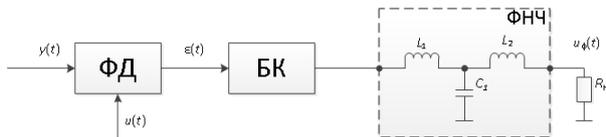


Рисунок 3 – Схема подключения низкочастотного фильтра к ФД «выборка-запоминание»

С помощью пакета PSPICE был произведен анализ включения ФД и выход его на рабочий режим синхронизации, оценен спектр сигнала для $\varepsilon(t)$ и $u_{\phi}(t)$. На рисунке 4 представлены временные диаграммы работы, на рисунке 4 – фазовое рассогласование между сигналом $y(t)$ и сигналом $u(t)$ пропорционально $0,2 T_0$, а на рис. 5 – $0,8 T_0$.

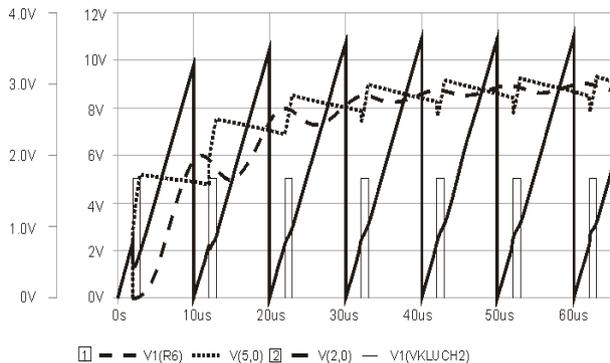


Рисунок 4 – Временные диаграммы работы ФД (фазовое рассогласование $y(t)$ и $u(t)$ пропорционально $0,2 T_0$)

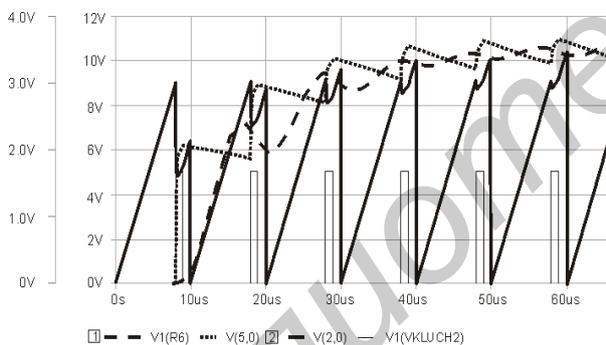


Рисунок 5 – Временные диаграммы работы ФД (фазовое рассогласование $y(t)$ и $u(t)$ пропорционально $0,8 T_0$)

где:

- сигнал пилообразного напряжения $U_{C1}(t)$;
- импульс выборки $U_B(t)$;
- переходное напряжение на конденсаторе $C_2 - U_{C2}(t) = \varepsilon(t)$;
- переходное напряжение на выходе фильтра $U_{\phi}(t)$.

Рассчитан спектр сигнала $\varepsilon(t)$ и $U_{\phi}(t)$, для установившегося режима рис. 5 ($\tau^* = 0,8 T_0$) спектр описывается следующим выражением:

$$\varepsilon(t) = 8.887 + 0.304 \sin(2\pi 10^5 t) + 0.145 \sin(4\pi 10^5 t) + 0.085 \sin(6\pi 10^5 t) + 0.054 \sin(8\pi 10^5 t) + 0.035 \sin(10\pi 10^5 t) \quad (6)$$

$$u_{\phi}(t) = 8.8286 + 0.184 \sin(2\pi 10^5 t) + 0.019 \sin(4\pi 10^5 t) + 0.14 \sin(6\pi 10^5 t) \quad (7)$$

Отношение сигнал полезной составляющей к уровню сигнала помехи будет:

для $\varepsilon(t)$:

$$SNR(dB) = 20 \log\left(\frac{U_1}{\sqrt{U_2^2 + U_3^2 + U_n^2}}\right) = 25 dB \quad (8)$$

где U_1 – действующее значение полезного сигнала; $U_2, U_3 \dots U_n$ – действующее значение сигналов помехи;

для $U_{\phi}(t)$:

$$SNR(dB) = 20 \log\left(\frac{U_1}{\sqrt{U_2^2 + U_3^2 + \dots}}\right) = 31.5 dB \quad (9)$$

Из выражений (6), (7) и результатов расчета (8), (9) видно, что изменяя схему и параметры ФНЧ можно добиться иных результатов подавления паразитных составляющих сигнала. В [Кузнецов, 1993], [Шилин, 2010] авторы предлагают методы синтеза, где определяются передаточные функции непрерывной линейной части (НЛЧ), в состав которой входит ФНЧ.

ЗАКЛЮЧЕНИЕ

Фазовые детекторы типа «выборка-запоминание» реализованы в микросхемах синтезаторов частот TSA6060 и TSA6060T фирмы Philips Semiconductors. Данная микросхема предназначена для построения цифровых синтезаторов с системой фазовой автоподстройки частоты. В состав микросхемы входят: генератор и делитель опорного сигнала, делитель входной частоты с программируемым коэффициентом деления, фазовый детектор, двухуровневый усилитель тока и контроллер обмена информацией по протоколу I2C. Работает в диапазоне $30 \div 200$ МГц.

С использованием данного принципа построения в микросхеме 5861ДФ1У (научно-технический центр ДЭЛС) выпускается фазовый компаратор, работающий на частоте до 45 МГц.

Таким образом, автором произведен анализ ФД «выборка-запоминание». Сделан вывод о возможности применения такого устройства в системах фазовой синхронизации в широком диапазоне частот, особенно удачным видится применение в синтезаторах частот, где

предъявляются высокие требования в чистоте выходного сигнала. Рассмотрен ряд микросхем, использующих данный принцип построения ФД.

Не секрет, что на сегодняшний день существует необходимость в повышении эффективности компьютерной поддержки проектирования подобных устройств, что позволит ускорить разработку УФС, а также более точно удовлетворить требования, предъявляемые к системе в целом. Таким образом, существует необходимость в создании интеллектуальных систем автоматизированного проектирования устройств с автоматическим регулированием, а в частности УФС, что позволит решить описанную выше задачу.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

- [Кузнецов, 1993] Кузнецов, А.П. Анализ и параметрический синтез систем с фазовым управлением / А.П. Кузнецов, М.П. Батура, Л.Ю. Шилин // Мн.: Наука и техника, 1993. с. 224.
- [Goldman, 2007] Goldman, S. Phase-locked loop engineering handbook for integrated circuits / S. Goldman // Boston/London.: Artech House, 2007. с. 549.
- [Романов, 2010] Романов, С.К. Системы импульсно - фазовой автоподстройки в устройствах синтеза и стабилизации частот / С.К. Романов, Н.М. Тихомиров, А.В. Леньшин // М.: Радио и связь, 2010, с. 328.
- [Wolaver, 2006] Wolaver, Dan H. Phase-locked loop circuit design / Dan H. Wolaver // New Jersey.: Prentice Hall, 2006. с. 266.
- [Шилин, 2010] Шилин, Д.Л. Моделирование режима детерминированного хаоса в системах фазовой синхронизации / Д.Л. Шилин // Новополоцк: Вестник ПГУ, 2010, N 9.
- [Шахтарин, 2006] Шахтарин, Б.И. Случайные процессы в радиотехнике / Б.И. Шахтарин // М.: Гелиос АРВ, 2006, с. 448.
- [Шнайер, 2002] Шнайер, Б. Прикладная криптография: протоколы, алгоритмы, исходные тексты на языке С / Б. Шнайер // М.: Триумф, 2002, с. 815.

ANALYSIS OF SAMPLE-AND-HOLD PHASE DETECTOR

Shilin D.L.

Belarusian State University of Informatics and Radioelectronics, Minsk, Republic of Belarus
dimashilin@gmail.com

In this paper, the author performed an analysis of "sample-and-hold" phase detector, discusses a method of phase detector designing which makes possible to use such devices in phase-locked loop in a broad range of frequencies, particularly successful application is seen in the frequency synthesizer, where high requirements in purity of output signal.

INTRODUCTION

Phase-locked loop device, because of their effectiveness, are grouped in a class of automatic control systems. Their development is given much attention; it's hard to call the technical field, where these devices are not applied. To date, the most of data exchange systems and devices using phase-locked loop devices (PLL) to synchronize the flows of information, for design of precision frequency synthesizer, in

particular in robotics with an intelligent control. Use of some modes allows applying PLL for information encrypting.

MAIN PART

The world's leading manufacturers are developing various functional blocks PLL, which are included in the standard chips and have a number of basic characteristics. Thus, the design of the PLL in the first stage reduces to the choice of functional units and their connection to the block diagram. Availability of methods of synthesis and analysis of the PLL can use the classical topologies, and basic, functional circuits - to give a topological structures form of electrical circuits.

The author offered the choice of the phase detector, based on the functional purpose of PLL, to analyze the characteristics at the level of electrical circuits. Thus, the basic tool for analyzing of mathematical models of circuits is software PSPICE.

CONCLUSION

Phase detectors, such as "sample-and-hold", implemented in the frequency synthesizer TSA6060 and TSA6060T developed by Philips Semiconductors. This chipsets is designed to build a digital synthesizer with a phase-locked loop. The structure of chips includes: generator and divider of reference signal, the input frequency divider with programmable division factor, phase detector, a two-level current amplifier and controller information exchange via I2C. It works in the frequency range of 30 ÷ 200 MHz.

Using this principle of designing was developed a chipset 5861DF1U (Science and Technology Center DELS). It's a phase comparator with working clock at 45 MHz, which producing till now.

It is concluded that there is possibility of using such a devices in phase-locked loop (PLL) in a broad range of frequencies, especially successful application is seen in the frequency synthesizer, where meet high requirements to the purity of the output signal. Given a number of chipsets that been designed using described principle.

It's no secret that today there is a need to increase the effectiveness of computer support of such devices design, which will accelerate the development of the PLL, as well as more accurately meet the requirements for the system as a whole. Thus, there is a need for intelligent CAD systems for automatic control devices designing, and in particular the PLL, which will solve the above problem.