



OSTIS-2012

(Open Semantic Technologies for Intelligent Systems)

УДК 004.38

СОВРЕМЕННОЕ СОСТОЯНИЕ И ТЕНДЕНЦИИ РАЗВИТИЯ ТЕХНОЛОГИЙ РЕКОНФИГУРИРУЕМЫХ ЦИФРОВЫХ УСТРОЙСТВ

Иванюк А.А.

*Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь*

ivaniuk@bsuir.by

В докладе приводится исторический обзор эволюции реконфигурируемых цифровых устройств. Приводятся примеры архитектур современных программируемых логических интегральных схем и области их применения. Рассматриваются вопросы реализации вычислительных устройств со статической и динамической конфигурацией. Делается обзор возможных направлений развития технологий реконфигурируемых цифровых устройств. **Ключевые слова:** реконфигурируемые вычисления, программируемые логические интегральные схемы.

ВВЕДЕНИЕ

Целью данного доклада является определение возможностей современных технологий для проектирования и создания цифровых вычислительных устройств с нетрадиционными архитектурами, в том числе и динамически реконфигурируемых вычислительных устройств. Широкое распространение программируемых логических интегральных схем (ПЛИС) совместно с высокоуровневыми HDL-языками дает практически каждому проектировщику неограниченные возможности по схемотехническому проектированию и прототипированию заказных цифровых устройств (ASIC, от англ. – Application Specific Integrated Circuit). С другой стороны, относительная дешевизна и неуклонный рост степени сложности ПЛИС делают их прямыми конкурентами ASIC, позволяя, например, реализовывать не только модели коммерческих микропроцессоров (soft-processors), но и вычислительных устройств с уникальными нетрадиционными архитектурами, представляющие собой объекты интеллектуальной собственности (IP-cores).

1. От ПЗУ до программируемых систем на кристалле

За всю историю развития цифровой вычислительной техники проектировщики и разработчики пытались находить различные подходы, позволяющие быстро и эффективно воплощать вычислительные алгоритмы в цифровой аппаратуре. Цифровую схему произвольного вычислительного устройства можно представить в виде совокупности комбина-

ционных и последовательностных схем (схем с памятью), первые из которых являются результатом реализации переключательных функций [Magio, 1986]. Произвольную комбинационную схему можно построить на основе базовых логических элементов (например И, ИЛИ, НЕ). Соответствующие методики декомпозиции представления комбинационных схем позволяли их реализовывать на интегральных схемах малой и средней степени интеграции. Незначительное изменение функционала реализуемых переключательных функций либо структуры комбинационной схемы неизбежно приводило к полному перепроектированию и повторной реализации соответствующего устройства. Однако произвольная переключательная функция может быть представлена в совершенной дизъюнктивной нормальной форме (СДНФ) или иными словами – таблицей истинности. Аппаратная реализация таблицы истинности возможна посредством использования запоминающих устройств с произвольным доступом (ПЗУ и/или ОЗУ). Например, для реализации произвольной переключательной функции трех аргументов необходимо и достаточно бит-ориентированное ПЗУ с организацией 8×1 . При этом ПЗУ программируется таким образом, чтобы значения адресов ячеек, в которые будет записано значение '1', совпадали со значениями единичных термов переключательной функции. Во все остальные ячейки необходимо записать значение '0'. На адресные входы ПЗУ подаются значения соответствующих аргументов переключательной функции, а по окончании операции чтения на выходной линии данных ПЗУ фиксируется значение реализованной функции. Перепрограммирование ПЗУ иным информационным контентом ведет к реализации другой переключатель-

ной функции. Так, ПЗУ с организацией 8×1 способно реализовать одну из 256 возможных функций от трех аргументов, либо иными словами – 256 различных комбинационных схем. Имея в составе вычислительного устройства подобное ПЗУ возможно изменении его комбинационной части не прибегая к его перепроектированию и повторной реализации.

Подобная идея нашла широкое применение у проектировщиков и разработчиков цифровой аппаратуры и стала неуклонно совершенствоваться. Например, для увеличения числа аргументов переключательной функции стали использовать двумерное декодирование, заключающееся в расширении функционирования ПЗУ при помощи мультиплексов. На информационные входы мультиплекса подаются фиксированные значения '0' и '1' в соответствии с таблицей истинности функции, а на селективные входы мультиплексов – значение аргументов функции. На выходе мультиплекса формируется значение заданной функции. Подобная методика до сих пор применяется для реализации комбинационной логики в реконфигурируемых цифровых устройствах.

Следующим эволюционным шагом для реализации произвольных переключательных функции стало появление технологии программируемых логических матриц (ПЛМ), в состав которых входили две матрицы И или ИЛИ с программируемыми элементами, которые позволяли получать необходимые термы и дизъюнкции соответствующих термов [Угрюмов, 2004]. Однако, как показала практика матрица ИЛИ в большинстве случаев реализации имела излишний неиспользованный ресурс. Замена программируемой матрицы дизъюнкторов на фиксированную и введение дополнительных выходных макроячеек с трехстабильными буферами привели к появлению программируемых матриц логики (ПМЛ) [Угрюмов, 2004]. Прорывным технологическим новшеством было наличие именно выходных макроячеек, позволявшие управлять выходным значением реализованной функции, переключать выходной порт в режим входного порта, буферизировать вырабатываемое значение при помощи триггера и т.п.

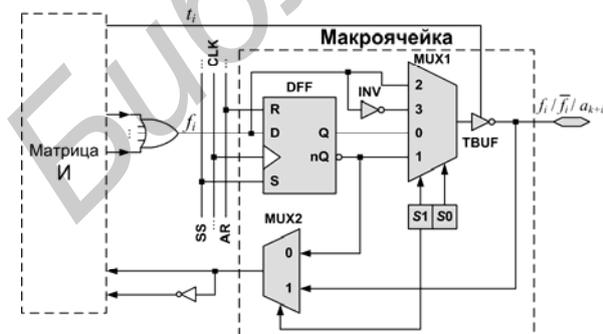


Рисунок 1 – Структура макроячейки AMD 22V10

На рисунке 1 представлена структура макроячейки ПМЛ AMD 22V10, использующая два про-

граммируемых мультиплексов, позволяющие изменять ее аппаратную конфигурацию [PAL, 1986].

В 1985 году корпорация Lattice Semiconductor усовершенствовала изготовление ПМЛ, сделав матрицу И и макроячейки многократно программируемыми, совместив на одном кристалле технологию КМОП и EEPROM. Это нововведение позволило разработчикам использовать ПМЛ для отладки прототипов будущих цифровых устройств, а новая технология ПЛУ получила название GAL (Generic Array Logic). Помимо этого в состав структуры GAL были включены аппаратные блоки внутрисистемного программирования (ISP, In-System Programming), а наличие дополнительных портов граничного сканирования JTAG, соответствующего кабеля и программного обеспечения дало возможность перепрограммировать устройство не извлекая его из состава цифровой системы [ISP].

Появление на рынке интегральных схем GAL фирмы Lattice Semiconductor можно считать точкой отсчета современных реконфигурируемых цифровых устройств. В начале 90-х годов прошлого века совершенствование технологий изготовления полупроводниковых интегральных схем позволило разместить на одном кристалле множество ПМЛ, объединенных программируемыми связями. Такие микросхемы получили название «сложные ПЛУ» или CPLD (Complex Programmable Logic Devices). Структура CPLD состоит из двумерной матрицы функциональных блоков, построенные по принципу перепрограммируемой ПМЛ, состоящей из настраиваемой матрицы И и программируемых макроячеек. В свою очередь каждый функциональный блок соединен с матрицей программируемых соединений и с настраиваемыми блоками ввода-вывода (БВВ). Контроллер внутреннего доступа предназначен для проведения процедур внутрисистемного программирования CPLD и для обеспечения контролепригодного доступа к внутренним ресурсам с целью проведения тестирования, диагностики и отладки программируемого устройства. Практически все внутренние блоки CPLD являются программируемыми, при этом настраиваемость ресурсов обеспечивается энергонезависимой памятью выполненной, как правило, по Flash-технологии. Современные CPLD представляют собой относительно дешевые и многофункциональные энергонезависимые ПЛИС и применяются в основном для реализации цифровых устройств, не требующих частой замены и реконфигурации. Основными областями применения CPLD являются интерфейсные контроллеры, программируемые матрицы коммутаций цифровых линий, устройства управления, арбитры системных и локальных шин микропроцессорных систем, контроллеры периферийных устройств и т.п. Современные CPLD являются достаточно производительными устройствами, позволяющие реализовывать сложные цифровые системы управления и даже пользовательские микроконтроллерные системы. Например, корпорация Xilinx предлагает готовое решение в виде настраиваемого 8-разрядного микроконтроллера PicoBlaze для реализации на CPLD серии

CoolRunner [PicoBlaze]. В свою очередь CPLD CoolRunner-II XC2C512 имеет следующие характеристики: 512 макроячеек, 270 настраиваемых портов ввода/вывода, системная тактовая частота 180 МГц, кристалл изготовлен по 0,18 микронному КМОП техпроцессу, память конфигурации поддерживает порядка 1000 циклов стирания/перепрограммирования, продолжительность хранения конфигурации — около 20 лет.

Одновременно с развитием архитектур ПЛУ трансформировались и совершенствовались архитектуры полужаказных ИС вентиляльных матриц с масочным программированием. Например, базовые матричные кристаллы (БМК), имея регулярную структуру, программировались непосредственно на этапе производства. СБИС БМК представляли собой набор базовых цифровых блоков, при этом настройка связей между ними осуществлялась на этапе трассировки сигнальных линий кристалла. Реализация полужаказной логики подобного типа облегчает процесс их производства, однако не всегда удовлетворяет проектировщиков с точки зрения проектной и эксплуатационной гибкости разрабатываемых цифровых устройств. В 1985 году фирма Xilinx Inc. спроектировала и начала серийное производство СБИС вентиляльных матриц, неоднократное программирование которых осуществлялось пользователями, а не на этапе производства. Этот вид ПЛУ получил название FPGA (Field Programmable Gate Array), что в переводе означает «программируемая пользователем вентиляльная матрица». Появление и дальнейшее развитие технологии FPGA обеспечило большой прорыв в архитектурных решениях современных ПЛУ и привело к возникновению таких терминов, как программируемые системы на кристалле (PSoC, от англ. Programmable System on a Chip) и реконфигурируемые вычисления (Reconfigurable Computing).

2. Современные реконфигурируемые цифровые устройства

Структуры современных ПЛИС типа FPGA являются настолько разнообразными по типам внутренних блоков и обладают настолько высокой степенью интеграции, что их принято относить к классу интегральных схем типа «система на кристалле». На мировом рынке ПЛИС присутствуют два ярко выраженных производителя: Xilinx Inc. (доля мирового рынка 50%) и Altera Inc. (доля мирового рынка 36%) [Тишер, 2009], среди которых лидером, безусловно, является Xilinx Inc. Так, в 2011 году Xilinx Inc. выпустила самую «мощную» ПЛИС типа FPGA Virtex-7 2000T, выполненную по технологии 2,5D SSI (Stacked Silicon Interconnect) с технологическими нормами 28нм и имеющую в своем составе 2 миллиона логических блоков, 6,8 миллиарда транзисторов [Virtex-7]. Число конфигурируемых блоков ввода/вывода равно 1200, максимальный объем встроенных блоков памяти - 85 Мбайт (для серии Virtex-7 XT), пиковая пропускная способность встроенных приемопередатчиков с последователь-

ным интерфейсом составляет порядка 28 Гбит/с, 3600 встроенных блоков цифровой обработки сигналов (DSP Slices) с суммарной пиковой производительностью 5,335 GMAC/s. Каждый конфигурационный логический блок CLB состоит из двух частей Slice, которые в свою очередь состоят из одного 6-входного LUT-блока (Look-Up Table), используемого в качестве генератора переключательных функций шести аргументов, либо в качестве запоминающего устройства с емкостью 64x1, либо в качестве сдвигового регистра. Помимо этого в каждом Slice-блоке имеется восемь конфигурируемых триггеров, набор настраиваемых мультиплексоров и логика ускоренного переноса, используемая в случаях реализации схем быстрых сумматоров и умножителей. Каждый блок встроенной памяти Block RAM представляет собой двухпортовое статическое ОЗУ с информационной емкостью 36Кбит, с возможностью конфигурации размерности шин данных до 72 разрядов. Каждый блок памяти снабжен встроенным средством обнаружения и исправления ошибок и программируемой логикой, позволяющей реализовывать схемы памяти с последовательным доступом (например FIFO).

Такое большое количество разнообразных и конфигурируемых аппаратных блоков позволяет эффективно использовать FPGA в различных приложениях, например: прототипирование ASIC, аэрокосмическая и военная электроника, системы мультимедиа, автомобильная электроника, высокопроизводительные вычисления, медицинская электроника, цифровые системы безопасности и защиты данных, системы проводной и беспроводной связи и т.д. [ХАРР].

В последнее время, помимо самого рынка ПЛИС, стремительно развивается рынок систем быстрого прототипирования (Fast Prototyping Boards). Среди всего многообразия фирм, занимающихся выпуском подобного оборудования, следует отметить фирму Digilent Inc., которая среди прочих услуг предлагает недорогие решения для университетов [Digilent]. В общем прототипная плата представляет собой законченную систему, центральным ядром которой является ПЛИС. Помимо этого система включает в себя набор различных периферийных интерфейсов и контроллеров, модули ОЗУ и энергонезависимой памяти, множество дополнительных контактов предназначенных для подключения других устройств. Кроме того, прототипные системы имеют разнообразные механизмы внутреннего доступа для возможности программирования ПЛИС, проведения диагностики состояний элементов системы, пошаговой отладки системы и т.п.

Наличие прототипных систем и бесплатных систем автоматизированного проектирования цифровых устройств [ISE], позволяющие использовать высокоуровневые HDL-языки, делают современные ПЛИС основной и широкомасштабной технологической платформой для цифровой схемотехники.

3. Реконфигурируемые вычисления

Ресурсов современных ПЛИС типа FPGA более чем достаточно для реализации микропроцессорных ядер. Высокоуровневые HDL-языки проектирования позволяют довольно легко описать структуру и функционирование сложных микропроцессорных систем. Такие HDL-описания носят название *soft-processor*, а их реализация на ПЛИС является микропроцессорным IP-ядром. Одним из первых *soft-processor* был микропроцессор MicroBlaze, представляющий собой 32-разрядное RISC-ядро, построенное по гарвардской архитектуре [MicroBlaze]. Трехступенчатая система обработки потока инструкций совместно с тридцатью двумя 32-разрядными регистрами общего назначения определяли MicroBlaze как достаточно эффективное IP-ядро для встроенных систем. Реализованная компонента MicroBlaze для различных типов FPGA имеет различные аппаратные затраты и показатели производительности. Так, для FPGA серии Spartan, функционирующих на частоте 100 МГц, MicroBlaze достигает пиковой производительности в 92MIPS, а для FPGA серии Virtex-4 производительность оценивается как 166MIPS для частоты 200МГц.

Самое важное, что при наличии исходного описания *soft-processor* проектировщик способен внести различные изменения как в структуру микропроцессорного ядра, так и изменять его функциональность, например путем удаления неиспользуемых или добавления новых инструкций, регистров и т.п. Подобные модификации на стадии проектирования IP-ядер получили название *статической конфигурации*. Статическая конфигурация используется в случаях эффективного применения существующей микропроцессорной системы для решения конкретной задачи либо задач, принадлежащих одному классу. Статическая конфигурация может применяться для расширения функционирования промышленных *soft-процессоров*, например путем увеличения разрядности системных шин, регистров и блоков памяти. А большой объем внутренних ресурсов FPGA может быть использован для реализации многопроцессорных и многоядерных вычислительных систем. Изменение функционирования микропроцессорных IP-ядер со статической конфигурацией возможно путем изменения контента памяти команд либо путем изменения исходного HDL-описания с последующим перепроектированием.

Традиционные типы ПЛИС имеют одноконтекстное ЗУ конфигурации, которое может быть только целиком загружено извне по последовательному интерфейсу. Для изменения хотя бы одного бита конфигурации подобное ЗУ должно быть полностью перезаписано. Для реализации динамической реконфигурации одноконтекстных ПЛИС используют ЗУ с произвольным доступом. Такой подход называется *частичной реконфигурацией* (*partial reconfiguration*) [Partial, a], [Partial, b] и не требует остановки функционирования всей ПЛИС. Примерами подобных ПЛИС могут служить FPGA Atmel 40K и Xilinx 62xx. Однако ПЛИС с одноконтекст-

ным ЗУ не позволяют быстро и эффективно изменять полностью свою конфигурацию. Другими примерами динамически реконфигурируемых систем являются многоконтекстные FPGA (*multicontext FPGA*), для которых каждый программируемый элемент конфигурации представлен несколькими битами. При этом каждый бит принадлежит одному контекстному уровню, что позволяет быстро, без загрузки извне и больших временных затрат, изменять аппаратную настройку FPGA. Так, данная технология нашла свое применение в реконфигурируемой системе Chameleon [Chameleon], СБИС CS2000 RCD которой имеет четыре контекстных уровня. Используя подобные системы, появляется возможность дополнительно загрузить новые контексты извне, не прерывая функционирования ПЛИС, а время переключения контекстов оценивается наносекундами. Наличие подобных технологических решений открывает возможности для исследования и реализации *динамически реконфигурируемых микропроцессорных устройств*.

Для реализации высокопроизводительных систем на кристалле производителя ПЛИС используют технологию «*embedded processor*», заключающуюся в реализации истинного микропроцессорного ядра на одном кристалле с ПЛИС. При этом проектировщик может использовать как ресурсы встроенного процессора, так и реализовывать свои собственные *soft-процессоры* и дополнительные цифровые блоки на свободных ресурсах ПЛИС. Примером технологии «*embedded processor*» могут служить FPGA серии Virtex-4, которые имеют в своем составе до четырех аппаратных ядер микропроцессора PowerPC-405 [Virtex-4].

В 2010 году корпорация Intel пошла схожим путем, выпустив совместно с Altera Inc. первый реконфигурируемый микропроцессор Atom [Intel]. Само микропроцессорное ядро не является реконфигурируемым, но расположено в реконфигурируемой среде, позволяющее сторонним разработчикам самим реализовывать дополнительные аппаратные модули, например интерфейсных контроллеров.

4. Тенденции развития

В настоящее время наблюдается устойчивая тенденция использования ПЛИС не только в качестве технологической платформы для прототипирования ASIC и не только для реализации аппаратных ускорителей, но их использование в качестве самостоятельной технологии реализации программируемых систем на кристалле. Свойства статической и динамической реконфигурации позволяют реализовывать высоконадежные PSoC, проектируемые с учетом наличия аппаратуры оперативного контроля (Concurrent Checking), неразрушающего самотестирования (Transparent Self Testing), неразрушающей самодиагностики (Transparent Self Diagnostics) и саморемонта (Self Repair) [Akoglu, 2009]. Например, технологические особенности современных ПЛИС типа FPGA уже имеют все необходимые аппаратные ресурсы для реализации вышеперечисленных

свойств. Так, наличие встроенных блоков двухпортового ОЗУ позволяют использовать методы самоконтроля и неразрушающего самотестирования состояния памяти данных и инструкций не используя дополнительные аппаратные и временные ресурсы. Гетерогенная структура FPGA и возможность динамической конфигурации коммуникаций и функционала внутренних ресурсов делают возможным реализацию средств саморемонта, при котором осуществляется локализация отказавшего элемента (блока), его изоляция и включение новой копии элемента из числа резервных.

Перспективным направлением использования PSoC является реализация концепции динамически реконфигурируемых вычислительных ядер, которая подразумевает адаптацию вычислительного ядра к потоку исполняемых инструкций с общей целью повышения быстродействия [Karthigaikumar, 2006]. Постепенный переход к данной концепции наблюдается на примерах реализации реконфигурируемых блоков АЛУ микропроцессоров общего назначения для повышения быстродействия при выполнении алгоритмов, относящихся к единому классу задач. Такая методика нацелена на детальное исследование свойств общности подобных алгоритмов, экстракцию наиболее встречаемых общих фрагментов из алгоритмических последовательностей, последующих их синтез и получение соответствующих функциональных блоков, которые затем «внедряются» в реконфигурируемое поле межсоединений АЛУ. Это дает возможность динамически управлять аппаратной конфигурацией АЛУ, при этом управление задается непосредственно из потока инструкций, несущего информацию не только для декодера инструкций, но и информацию о конфигурации АЛУ. Подобные модификации никоим образом не отражаются на производительности микропроцессорного ядра общего назначения, но способны увеличивать его производительность при выполнении определенных задач. Например, подобная возможность динамической конфигурации может быть основой для разработки и исследования новых подходов аппаратно-программной реализации графо-динамических моделей семантических сетей и иных аспектов теории искусственного интеллекта [Голенков, 2001].

Наличие технологии PSoC также открывает новые горизонты для разработчиков супер-ЭВМ. Если FPGA уже применяются при проектировании и реализации динамически коммутируемых межсоединений в кластерных супер-ЭВМ [Awad, 2009], вычислительными ядрами которых по-прежнему являются микропроцессорные системы общего назначения, то следующим шагом может быть использование ПЛИС в качестве динамически реконфигурируемых вычислительных ядер. Это даст возможность не только динамически управлять потоками обрабатываемых данных, но и исполнять соответствующие подзадачи, адаптируя свою аппаратуру для их эффективного решения.

Еще одним перспективным направлением применения ПЛИС можно считать аппаратную (физическую) криптографию. Так, появление в 2001 году теории физически неклонировуемых функций (PUF, от англ. – Physically Unclonable Functions) [Ruhmair, 2009] способствовало их детальному исследованию благодаря наличию ПЛИС типа FPGA. При этом FPGA является не только экспериментальным оборудованием, посредством которого было исследовано и разработано множество новых видов PUF, но и аппаратной платформой для реализации коммерческих криптостойких систем защиты информации. Также PUF являются перспективными для идентификации интегральных схем, внедрения аппаратных водяных знаков и защиты интегральных схем от несанкционированного клонирования.

ЗАКЛЮЧЕНИЕ

В данном докладе была рассмотрена эволюция реконфигурируемых цифровых устройств от ПЗУ до программируемых систем на кристалле. Показана динамика расширяющегося мирового рынка реконфигурируемых устройств и заинтересованность мировых производителей интегральных схем в масштабном изменении технологий реализации вычислительных устройств. Показано, что статическая и динамическая аппаратная конфигурация является технологической основой для реконфигурируемых вычислений и поиска новых нетрадиционных подходов в реализации вычислительных архитектур.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

- [Mario, 1986] Marino, L.R. Principles of Computer Design / L.R. Marino. — Rockville: Computer Science Press, Inc., 1986. — 578 p.
- [Угрюмов, 2004] Угрюмов, Е. П. Цифровая схемотехника / Е.П. Угрюмов. - БХВ-Петербург, 2004.
- [PAL, 1986] High-Performance IMPACT Programmable Array Logic Circuits (TIBPAL22V10C, TIBPAL22V10AC, TIBPAL22V10AM): technical documentation, Texas Instruments, SRPS02AA — October 1986 – Revised April 2010. — Dallas: Texas Instruments, 2011. — 21 p.
- [ISP] In-System Programming Design Guidelines for ispJTAG Devices: technical documentation, Lattice Semiconductor Corporation [Electronic resource]. — Mode of access : <http://www.latticesemi.com/lit/docs/ispbs/ispguide.pdf>. — Date of access : 18.08.2011.
- [PicoBlaze] PicoBlaze 8-bit Microcontroller / [Electronic resource]. — Mode of access: <http://www.xilinx.com/products/intellectual-property/picoblaze.htm>. — Date of access : 09.01.2012.
- [Тишлер, 2009] Тишлер, М. Россия – очень важный рынок для компании Altera / М. Тишлер // Компоненты и технологии. – 2009. – №9. – С. 6–7.
- [Virtex-7] Virtex-7 FPGA Family / [Electronic resource]. — Mode of access: <http://www.xilinx.com/products/silicon-devices/fpga/virtex-7/index.htm>. — Date of access : 09.01.2012.
- [XAPP] Xilinx FPGA Applications / [Electronic resource]. — Mode of access: <http://www.xilinx.com/applications/index.htm>. — Date of access : 09.01.2012.
- [Digilent] Digilent Inc. [Electronic resource]. — Digilent Inc. — 2008. — Mode of access: <http://digilentinc.com>. — Date of access: 25.03.2011.
- [ISE] ISE WebPACK Design Software / [Electronic resource]. — Mode of access: <http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm>. — Date of access : 04.01.2012.

[**MicroBlaze**] MicroBlaze Soft Processor Core / [Electronic resource]. — Mode of access: <http://www.xilinx.com/tools/microblaze.htm>. — Date of access : 09.01.2012.

[**Partial, a**] Dynamic partial reconfiguration on FPGA / [Electronic resource]. — Mode of access: <http://www.vlsi-world.com/content/view/48/47/>. — Date of access : 09.01.2012.

[**Partial, b**] Partial reconfiguration in FPGA rapid prototyping tools / [Electronic resource]. — Mode of access: <http://www.design-reuse.com/articles/24368/partial-reconfiguration-fpga-rapid-prototyping.html>. — Date of access : 09.01.2012.

[**Chameleon**] Chameleon Chips. Full Report / [Electronic resource]. — Mode of access: <http://www.scribd.com/doc/67986721/Chameleon-Chips-Full-Report>. — Date of access : 09.01.2012.

[**Virtex-4**] Virtex-4 Family Overview / [Electronic resource]. — Mode of access: http://www.xilinx.com/support/documentation/data_sheets/ds112.pdf. — Date of access : 09.01.2012.

[**Intel**] Intel Expands Customer Choice with First Configurable Intel Atom-based Processor / K. Temple // Intel Newsroom [Electronic resource]. — 22 Nov., 2010. — Mode of access : http://newsroom.intel.com/community/intel_newsroom/blog/2010/11/22/intel-expands-customer-choice-with-first-configurable-intel-atom-based-processor. — Date of access : 13.06.2011.

[**Akoglu, 2009**] Akoglu, A. FPGA based distributed self healing architecture for reusable systems / A. Akoglu, A. Sreeramareddy, J.G. Josiah // Cluster Computing. — 2009. — Vol. 12, Num. 3. — P. 269 — 284.

[**Karthigaikumar, 2006**] Karthigaikumar, P. A Novel FPGA Architecture for a Reconfigurable ALU / P. Karthigaikumar // Academic Open Internet Journal. — 2006. — Vol. 19. — Mode of access : <http://www.acadjournal.com/2006/v19/part6/p6/>. — Date of access : 09.01.2012.

[**Голенков, 2001**] Программирование в ассоциативных машинах / В.В. Голенков [и др.]; - Минск : БГУИР, 2001.

[**Awad, 2009**] Awad, M. FPGA supercomputing platforms: A survey / M. Awad // Proc. of Int. Conf. of Field Programmable Logic (FPL 2009): 31 Aug., 2009, Prague. — P. 564 – 568.

[**Ruhrmair, 2009**] Ruhrmair, U. On the Foundations of Physical Unclonable Functions / U. Ruhrmair, J. Solter, F. Sehn // Cryptology ePrint Archive [Electronic resource]. — Mode of access : <http://eprint.iacr.org/2009/277.pdf>. — Date of access : 01.09.2011.

CURRENT STATE AND DEVELOPMENT TRENDS OF TECHNOLOGIES OF RECONFIGURABLE DIGITAL DEVICES

Ivaniuk A.A.

*Belarusian State University of Informatics and
Radioelectronics, Minsk, Republic of Belarus*

ivaniuk@bsuir.by

In this article the historical review of evolution of reconfigurable digital devices is presented. Examples of architecture of modern programmed logic integrated schemes and area of their application are described. Questions of realization of computers with a static and dynamic configuration are considered. The review of possible trends of development of reconfigurable digital devices is carried out.

INTRODUCTION

The purpose of the given article is definition of possibilities of modern technologies for designing and creation of digital computers with nonconventional architecture, including dynamically reconfigurable

computers. The wide circulation of programmable logic devices (PLD) together with higher-level HDL-languages gives to almost each designer unlimited possibilities on designing and prototyping of application specific integrated circuits (ASIC). On the other hand, relative cheapness and steady growth of degree of complexity do PLDs by their direct competitors ASIC, allowing to realize, for example, not only models of commercial microprocessors (soft-processors), but also computers with the unique nonconventional architecture, representing objects of intellectual property (IP-cores).

MAIN PART

Fast evolution of reconfigurable digital devices is caused by desire of developers to change functionality of devices without using their repeated designing.

Modern reconfigurable devices are so difficult integrated that it is accepted to name them programmable systems on a chip and they become direct competitors to ASICs.

Modern PLDs are applied to realization of microprocessor IP-cores, and interest of large corporations in use of such technology speaks about their perspective.

One of perspective directions reconfigurable technologies development is working out of superreliable self-repairable digital devices and dynamically reconfigurable microprocessors.

CONCLUSION

In the given article the evolution of reconfigurable digital devices from ROM to programmed systems on a chip has been considered. The dynamics of the extending world market of reconfigurable devices and interest of world manufacturers of integrated circuits in scale change the technologies of realization of computers. It is shown that the static and dynamic hardware configuration is a technological basis for reconfigurable computing and for research in the field of new nonconventional approaches in realization of computing architectures.