

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра сетей и устройств телекоммуникаций

В.К. Конопелько, А.А. Борискевич

***КОНТРОЛЬ ОШИБОК
В ЦИФРОВЫХ УСТРОЙСТВАХ***

Учебное пособие

по курсам «Теория кодирования»
и «Цифровые и микропроцессорные устройства»
для студентов специальности 45 01 03 «Сети телекоммуникаций»
дневной и заочной форм обучения

Минск 2003

УДК 621.391.2(075.8)
ББК 32.811 я 73
К 64

Рецензент:
доцент кафедры систем телекоммуникаций БГУИР,
канд. техн. наук О.А. Хацкевич

Конопелько В.К.
К 64 Контроль ошибок в цифровых устройствах: Учеб. пособие по курсам «Теория кодирования» и «Цифровые и микропроцессорные устройства» для студ. спец. 45 01 03 «Сети телекоммуникаций» дневной и заочной форм обучения / В.К. Конопелько, А.А. Борискевич. – Мн.: БГУИР, 2003. – 18 с.: ил.

ISBN 985-444-509-7.

В учебном пособии рассмотрены методы резервирования цифровых устройств, коррекции ошибок в комбинационных устройствах и сбоев в цифровых устройствах с памятью. Изложены принципы построения схем самокорректирующих триггеров, счетных устройств и регистров сдвига, проанализированы их работа и характер сбоев.

УДК 621.391.2(075.8)
ББК 32.811 я 73

ISBN 985-444-509-7

© Конопелько В.К., Борискевич А.А., 2003
© БГУИР, 2003

1. КОДЫ С ПОВТОРЕНИЕМ И РЕЗЕРВИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ

В отличие от каналов передачи информации методы борьбы с ошибками в цифровых устройствах при обработке информации можно разделить на две группы в зависимости от причины возникновения ошибок: методы, ориентированные на борьбу с отказами или/и сбоями элементов. Эти методы требуют различного уровня вводимой избыточности, причем борьба со сбоями по сравнению с отказами элементов требует более сложных схем коррекции ошибок.

Общим и широко используемым на практике методом борьбы как с отказами, так и сбоями элементов является резервирование цифровых устройств и систем. Резервирование бывает нагруженным и ненагруженным (с “горячим” и “холодным” резервом). В последнем случае имеются, например, два комплекта оборудования – рабочий и резервный. Первый из них функционирует, а второй нет. С помощью диагностической аппаратуры определяется, когда рабочий комплект выдает ошибочную информацию; в этом случае он отключается и к работе подключается резервный комплект оборудования. При «горячем» резерве одновременно функционируют три и более комплектов оборудования, выходы которых объединены через восстанавливающий орган, например мажоритарный элемент. В этом случае ошибочные данные в конкретный момент времени с любого одного комплекта не приводят к искажению обрабатываемой информации, снимаемой с выхода мажоритарного элемента.

Если считать, что выход каждого комплекта оборудования является a_i -тым обрабатываемым разрядом, то нагруженное резервирование можно представить как код с повторением, или тривиальный код $(n; 1)$. Этот код задается проверочной матрицей

$$H = \begin{bmatrix} 1 & \vdots & 1 \\ 1 & & 1 \\ \vdots & & \ddots \\ 1 & & & 1 \end{bmatrix}.$$

Например, матрица

$$H^* = \begin{bmatrix} 1 & \vdots & 1 & \\ 1 & & 1 & \\ 1 & & & 1 \end{bmatrix}$$

задает код с повторением $(4; 1)$ с проверочными уравнениями $a_1 = a_0$; $a_2 = a_0$; $a_3 = a_0$. Из уравнений следует, что одновременно работают четыре комплекта

оборудования, выходы которых поступают на восстанавливающий орган для принятия решения в зависимости от весов входных разрядов и кратности ошибок.

2. КОРРЕКЦИЯ ОШИБОК В КОМБИНАЦИОННЫХ УСТРОЙСТВАХ

Рассмотрим принципы введения кодовой избыточности в комбинационные устройства на примере наиболее вероятных одиночных неисправностей, которые легко обобщаются на случай нескольких неисправностей. Пусть имеется комбинационная схема с k выходами и m входами, реализующая булевы функции y_1, y_2, \dots, y_k . Возникновение одиночной неисправности при независимой реализации этих функций может привести к появлению искажений на одном из выходов y_i . По аналогии с защитой передаваемой информации обрабатываемая информация (исходная система булевых функций) должна быть расширена на r дополнительных разрядов (функций z_1, z_2, \dots, z_r) таким образом, чтобы значения $y_1, y_2, \dots, y_k, z_1, z_2, \dots, z_r$ образовывали, например, код Хэмминга. Выходное слово $(y_1^*, y_2^*, \dots, y_k^*, z_1^*, z_2^*, \dots, z_r^*)$ поступает на входы блока коррекции, где и производится коррекция ошибок (рис. 1).

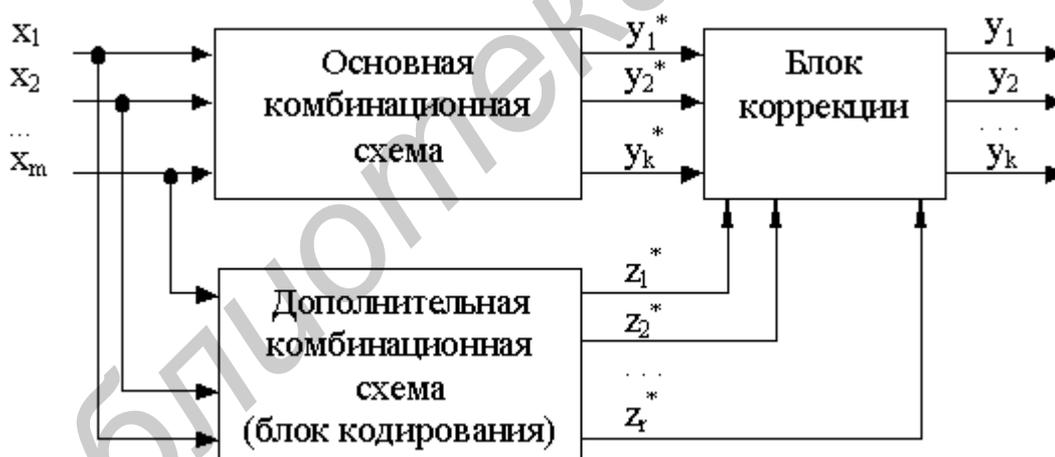


Рис. 1. Структурная схема комбинационного устройства с кодовой защитой

Например, пусть необходимо синтезировать избыточное комбинационное устройство, реализующее систему булевых функций (основная комбинационная схема):

$$\begin{cases} y_1 = x_1 x_3, \\ y_2 = x_1 \vee x_2 \bar{x}_3, \\ y_3 = x_1 x_2 x_3, \\ y_4 = x_1 \vee x_2 \end{cases} \quad (1)$$

на основе проверочной матрицы кода Хэмминга (7;4):

$$H = \begin{bmatrix} 1 & 1 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 1 \end{bmatrix}$$

Исходя из данной матрицы H, получаем проверочные уравнения:

$$\begin{cases} z_1 = y_1 + y_2 + y_4, \\ z_2 = y_1 + y_3 + y_4, \\ z_3 = y_2 + y_3 + y_4. \end{cases} \quad (2)$$

При подстановке в (2) значений y_i из (1) и после соответствующих упрощений получаем систему избыточных функций, которую реализовывает блок кодирования:

$$\begin{cases} z_1 = x_1 x_2 x_3, \\ z_2 = x_1 \vee x_2 \bar{x}_3, \\ z_3 = x_2 x_3. \end{cases}$$

Блок коррекции реализуется обычными методами (синдромным, мажоритарным или по максимуму правдоподобия). При синдромном декодировании, например, он состоит из блока вычисления синдрома (БВС), селектора, корректора (рис. 2.)

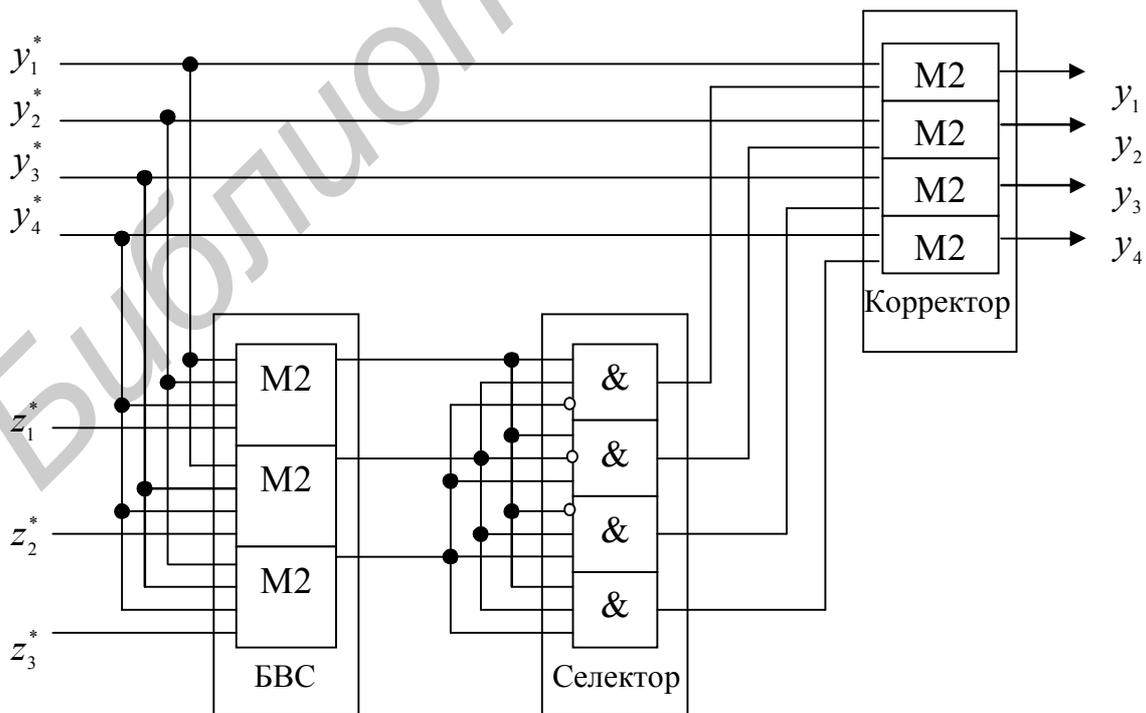


Рис. 2. Блок коррекции

Анализ сложности схем контроля показывает, что число избыточных элементов в пять раз и более выше сложности защищаемой схемы, чем при коррекции однократных ошибок. Уменьшить сложность схем контроля можно, если отказаться от независимой реализации булевых функций y_1, y_2, \dots, y_k и минимизировать комбинационную схему за счет склеивания реализуемых функций. Однако имеется опасность размножения ошибок. Учет естественной информационной избыточности комбинационной схемы также приводит к уменьшению вводимой избыточности. Например, комбинационная схема (см. рис.1) использует только 4 различных слова из $2^4=16$ возможных четырехразрядных слов (если количество входов схемы меньше количества выходов $m < k$, то схема содержит естественную информационную избыточность). В однородных регулярных микроэлектронных структурах типа программируемых логических матриц, программируемых логических интегральных схем и им подобных, состоящих из матриц логических элементов И, ИЛИ большой емкости, возможна эффективная коррекция ошибок из-за неисправностей элементов методом чередования слоев И и ИЛИ. Данный метод основан на известном понятии управляющих логических уровней, которые соответственно равны сигналам лог. 0 и лог. 1 для элементов И и ИЛИ, т.е., если на одном из входов элемента И присутствует сигнал лог. 0, например, из-за отказа предыдущего элемента, то независимо от сигналов на остальных входах на выходе этого элемента будет присутствовать лог. 0. Данный сигнал не является управляющим для элемента ИЛИ, и, следовательно, с помощью избыточных входов у элементов ИЛИ его влияние может быть устранено.

В методе чередования слоев ошибки на входах элементов разделяются на две группы: критические (управляющий логический уровень) и подкритические. Если одиночная ошибка на входе является подкритической, она может быть исправлена; в противном случае на выходах всех элементов, на которые критическая ошибка поступает, могут возникнуть ошибки. Однако в схемах исправления ошибок все вторичные ошибки становятся подкритическими, так что их размножение не вызовет появления новых ошибок.

Имеются два способа построения избыточных логических структур методом чередования, отличительной особенностью которых является то, что образование первичной критической ошибки может вызвать лишь появление вторичных подкритических ошибок. Первый из этих способов состоит в чередовании элементов И и ИЛИ. К нему следует отнести учетверение, где можно также применять элементы НЕ. Сюда же относятся схемы, у которых элементы И и ИЛИ чередуются: избыточные сигналы подаются на элементы И, составляющие первый слой, а во втором слое используются элементы ИЛИ. Второй способ, обеспечивающий превращение вторичных ошибок в подкритические, состоит в том, что строится схема с чередованием слоев с любым расположением элементов И–НЕ или ИЛИ–НЕ.

3. КОРРЕКЦИЯ СБОЕВ В ЦИФРОВЫХ УСТРОЙСТВАХ С ПАМЯТЬЮ

Сбои в цифровых устройствах (конечных автоматах) с памятью “запоминаются” и искажают работу устройств в течение длительного интервала. Это недопустимо для многих цифровых устройств, в том числе БИС микропроцессоров, систем памяти на динамических БИС ОЗУ, запоминающих устройств с автодиагностикой и других цифровых устройств, где, например, сбой счетчика адресов приводит к нарушению процесса регенерации хранимой информации, правильной адресации при выполнении вычислений и другим нарушениям в работе автоматов. Ниже рассматриваются вопросы коррекции сбоев элементов памяти в потенциальных триггерах, пересчетных схемах, регистрах сдвига. При построении самокорректирующихся триггерных устройств входы J, K, D, R, S не приводятся и не рассматриваются, так как они не влияют на процесс коррекции. Отличительной чертой введения кодовой избыточности в автоматах с памятью является учет особенностей их работы, что позволяет существенно уменьшить сложность схем коррекции по сравнению с традиционными решениями, основанными на прямом выборе корректирующих кодов.

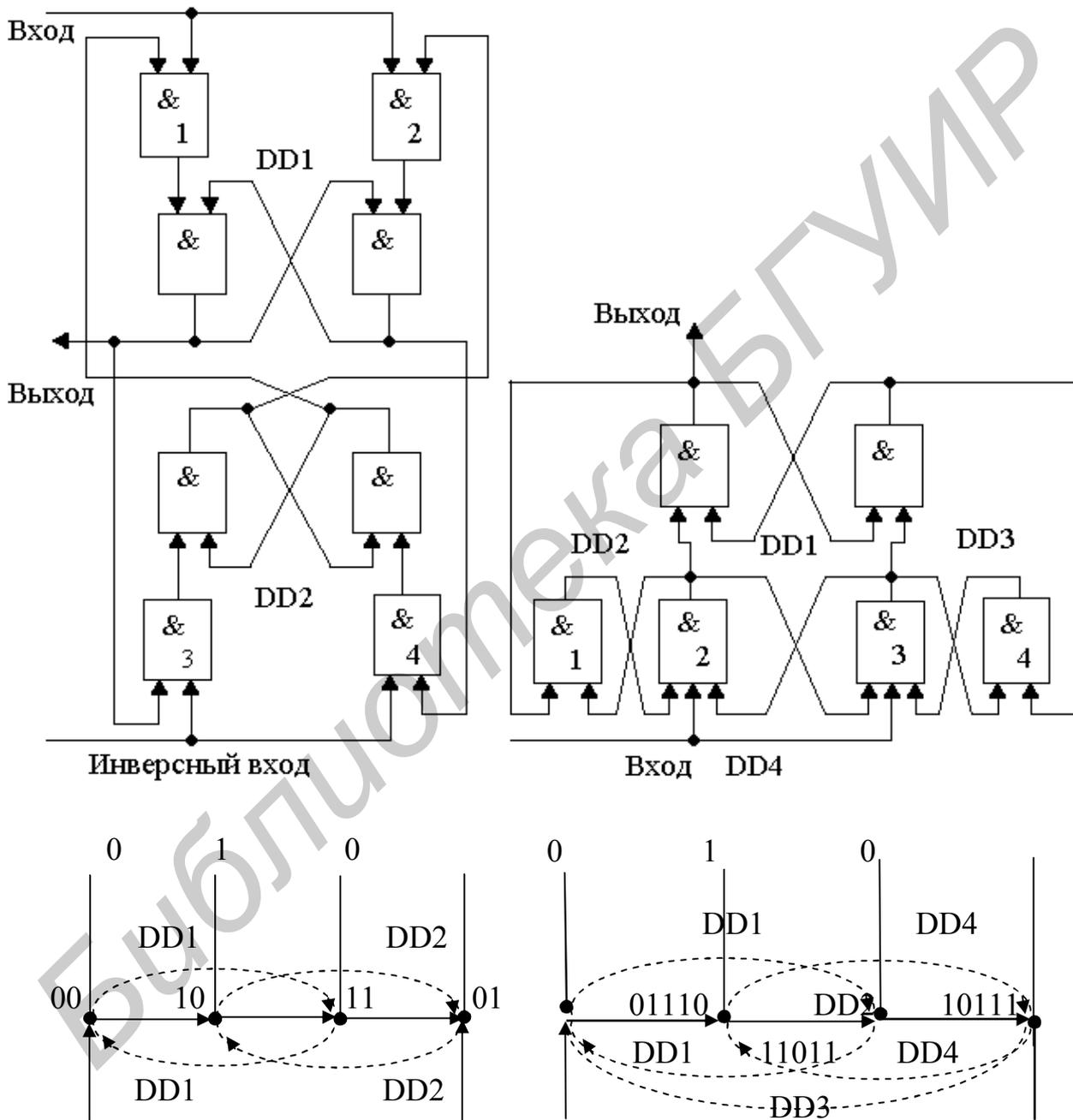
3.1. Самокорректирующиеся триггерные схемы

В основе конструкций данных устройств лежат хорошо известные схемы потенциальных триггеров, показанные на рис. 3. В дальнейшем будем придерживаться следующей терминологии: счетный триггер (рис. 3, а), состоящий из двух триггеров с отдельными входами DD1 и DD2 и четырех управляющих элементов 1–4, будем называть триггером первого типа. Триггер DD1 обычно называют основным, а триггер DD2 – вспомогательным. Счетный триггер (рис. 3, б), состоящий из трех триггеров с отдельными входами DD1–DD3, будем называть триггером второго типа. Здесь DD1 – основной, а DD2 и DD3 – первый и второй вспомогательные триггеры соответственно.

Анализ работы триггеров. Прежде чем приступить к конструированию самокорректирующихся триггеров, целесообразно проанализировать работу триггеров (см. рис. 3) и характер ошибок.

Рассмотрим сначала работу триггера (см. рис. 3, а). Пусть в начальном состоянии входной сигнал имеет значение 0, а схема находится в состоянии 00 (первая цифра характеризует состояние левого плеча триггера DD1, вторая – состояние левого плеча триггера DD2). При этом на выходах элементов 1–3 поддерживаются сигналы лог. 1, а на выходе элемента 4 – сигнал лог. 0. При смене входного сигнала лог. 0 появляется на выходе элемента 1 и устройство переходит в состояние 10. Последующие изменения входного сигнала вызывают появление 0 на выходах элементов 3 и 2, переводя схему соответственно в состояния 11 и 01.

На этом цикл работы заканчивается. На рис. 3, а изображен граф переходов триггера. Сплошными стрелками показаны переходы триггера при правильной работе, пунктирными – переходы при ложных срабатываниях. Сверху над вертикальными линиями записаны значения входного сигнала, около стрелок – номера триггеров, при сбоях которых схема переходит в указанное стрелкой состояние. Так, например, в состоянии 00 сигнал лог. 0 с выхода элемента 4 воздействует на триггер DD2 и удерживает его в состоянии лог. 0.



а

б

Рис. 3. Потенциальные счетные триггеры

Сбой триггера DD2 не изменит сигналов на его входах и, следовательно, не сможет перевести триггер в другое устойчивое состояние. В то же время на выходах элементов 1 и 2 имеются сигналы лог. 1, так что триггер DD1 может изменить свое состояние. Сбой триггера DD1 приводит к появлению сигнала лог. 0 на выходе элемента 3, что вызывает изменение состояния триггера DD2, устройство переходит в состояние 11.

Аналогичным образом можно проанализировать поведение схемы в остальных случаях. Счетный триггер рис. 3, б содержит два вспомогательных триггера с отдельными входами, связанные между собой перекрестными связями, вследствие чего образуется триггер DD4.

Состояния вспомогательных триггеров DD2 или DD3 могут быть такими, если на обоих плечах триггера DD2 (или DD3) имеются сигналы лог. 1. Поэтому для обозначения состояния схемы будем использовать последовательности из пяти двоичных символов. Первый символ последовательности характеризует состояние левого плеча триггера DD1, а остальные – соответственно выходы элементов 1–4. Граф переходов, показанный на рис. 3, б, отражает работу данного триггера. В отличие от предыдущего случая здесь имеются переходы в ближайшее состояние (переходы 11011→10111 и 01101→01110). Эти переходы появляются при сбоях триггеров DD2 и DD3. Заметим для дальнейшего, что такие переходы легко устранить, если на элементы 1 и 4 завести инверсный входной сигнал. При этих условиях графы переходов обоих триггеров аналогичны.

Анализ работы триггеров позволяет сделать следующие выводы:

1. При ложном срабатывании одного из триггеров с отдельными входами изменяется состояние соседнего триггера, т.е. ошибки размножаются.

2. Размножение ошибок происходит вследствие того, что при ложном срабатывании триггеров с отдельными входами изменяются сигналы на выходах элементов 1–4. Другими словами, эти элементы являются каналами, по которым происходит распространение ошибок к элементам памяти.

3. Распространение ошибок в каждом цикле работы осуществляется следующим образом: для схемы первого типа ошибка в первом такте проходит через элемент 3, во втором – через элемент 2, в третьем – через элемент 4 и в четвертом – через элемент 1, или короче: 3→2→4→1. Для схемы второго типа в первом такте ошибка проходит через элемент 1, во втором – через элемент 3, в третьем и четвертом тактах – через элементы 4 и 2 соответственно, или короче: 1→3→4→2.

Коррекция сбоев в триггерных схемах. Большинство известных методов исправления ошибок в автоматах связано с помехоустойчивым кодированием состояний элементов памяти. Выбираемый при таком подходе код редко удается согласовать с особенностями работы автомата, ошибки размножаются или накапливаются в элементах памяти, а вводимая избыточность получается довольно большой.

Видоизменим эти методы следующим образом. Введение избыточности начнем не с выбора помехоустойчивого кода, а с устранения эффекта

размножения ошибок. Для этого введем в схему дополнительные элементы памяти, с помощью которых закрываются каналы распространения ошибок. После того, как размножение ошибок будет устранено, попытаемся использовать эти избыточные элементы для образования проверочных разрядов кода. Применительно к рассматриваемым схемам это может быть сделано путем подачи сигналов лог. 0 на элементы 1–4 в той последовательности, в какой эти элементы причастны к распространению ошибок.

Автомат, вырабатывающий такие сигналы, нетрудно синтезировать известными методами либо построить, непосредственно опираясь на логику работы устройства. Поскольку в каждой схеме имеется по четыре таких элемента, то необходимо иметь четыре линии, на каждой из которых в соответствующем такте должен появиться сигнал лог. 0. Анализ показывает, что для триггера первого типа – сигналы лог. 0 могут быть получены с помощью двух дополнительных триггеров (рис. 4, триггеры DD3, DD4) или с помощью одного дополнительного триггера и двух дополнительных управляющих элементов. Для триггера второго типа это может быть достигнуто с помощью трех дополнительных триггеров (рис. 5, триггеры DD4 – DD6) или с помощью двух триггеров и двух дополнительных элементов.

В результате введения избыточности число состояний схемы увеличивается. Все возможные состояния показаны на соответствующих графах. Как и ранее, сплошными стрелками показаны правильные траектории движения, пунктирными линиями – перескоки схемы при сбоях и последующие изменения состояний при смене входного сигнала. Последовательность двоичных цифр у вершин графов соответствует состояниям следующих элементов схемы: для триггера (рис. 4) – DD1 – DD4; для триггера (рис. 5) – DD1 (1234), DD4, DD5, DD6. Состояния триггеров записаны для левых плеч.

Рассмотрим в качестве примера граф схемы на рис. 4. Пусть в исходном состоянии входной сигнал является нулевым, а состояние схемы – 0010; на выходах элементов 1–3 имеются сигналы лог. 1, а на выходе элемента 4 – лог. 0. Сигнал лог. 0 удерживает триггер DD2 в состоянии 0, а триггер DD3 в состоянии 1, препятствуя ошибочному срабатыванию этих триггеров. В то же время на входах триггеров DD1 и DD4 присутствуют сигналы лог. 1, так что эти триггеры могут изменить свои состояния при сбое. Сбой триггера DD1 переведет устройство в состояние 1010, а сбой триггера DD4 – в состояние 0011, как показано пунктирными стрелками на рис. 4. Если входной сигнал схемы изменится и станет единичным, то устройство из этих состояний перейдет в правильное состояние 1011, т.е. ошибка автоматически исправляется при смене входного сигнала. Аналогично можно проследить работу схемы в других тактах.

Анализ работы схемы показывает, что триггеры (см. рис. 4 и 5) имеют специфические состояния, из которых схема не может выйти при любых изменениях входных сигналов. Эти состояния будем в дальнейшем называть поглощающими; они показаны на графах в виде петель. Схема попадает в поглощающее состояние, если в ней произошла двойная ошибка. При этом,

независимо от значения входного сигнала, на выходах элементов 1–4 будут сохраняться сигналы лог. 1. Двойную ошибку легко обнаружить, если сигналы с этих элементов завести на дополнительные логические элементы И–НЕ.

Библиотека БГУИР

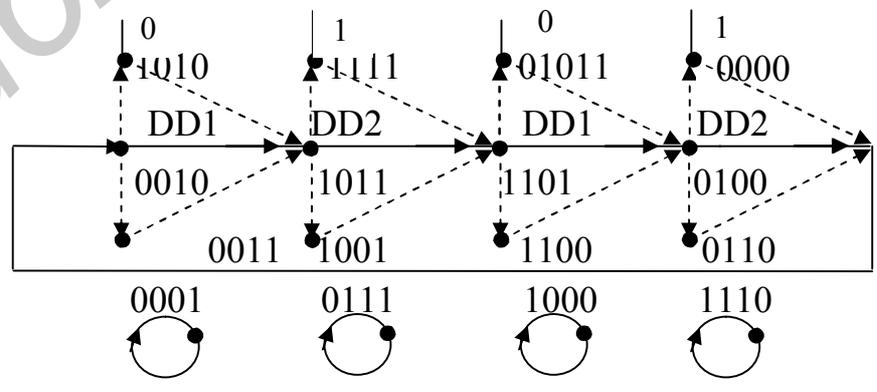
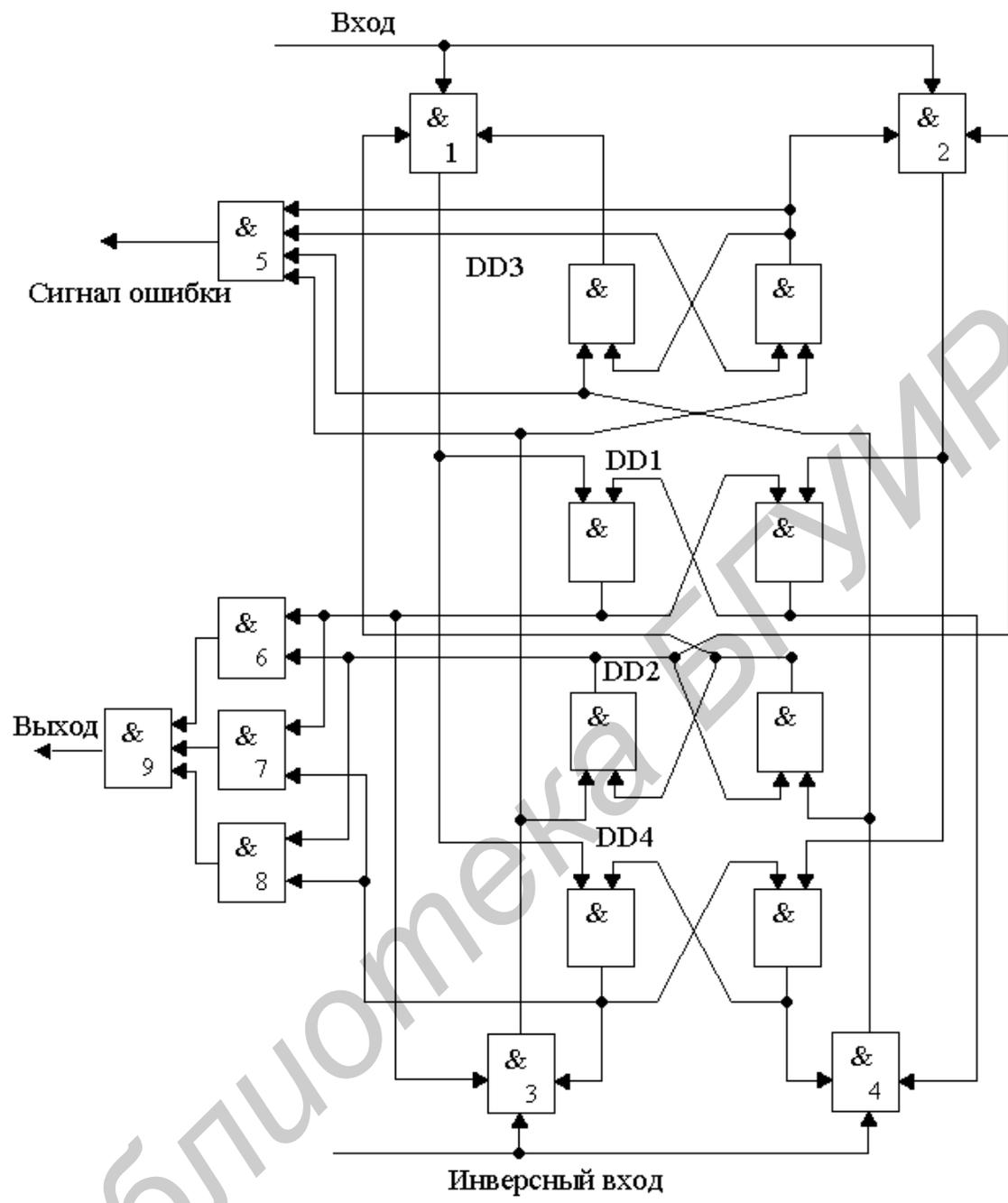


Рис. 4. Самокорректирующийся триггер первого типа

При попадании в поглощающие состояния, и только в этом случае, на выходе элемента будет сигнал лог. 0 (на рис. 4 и 5 таким элементом является элемент 5).

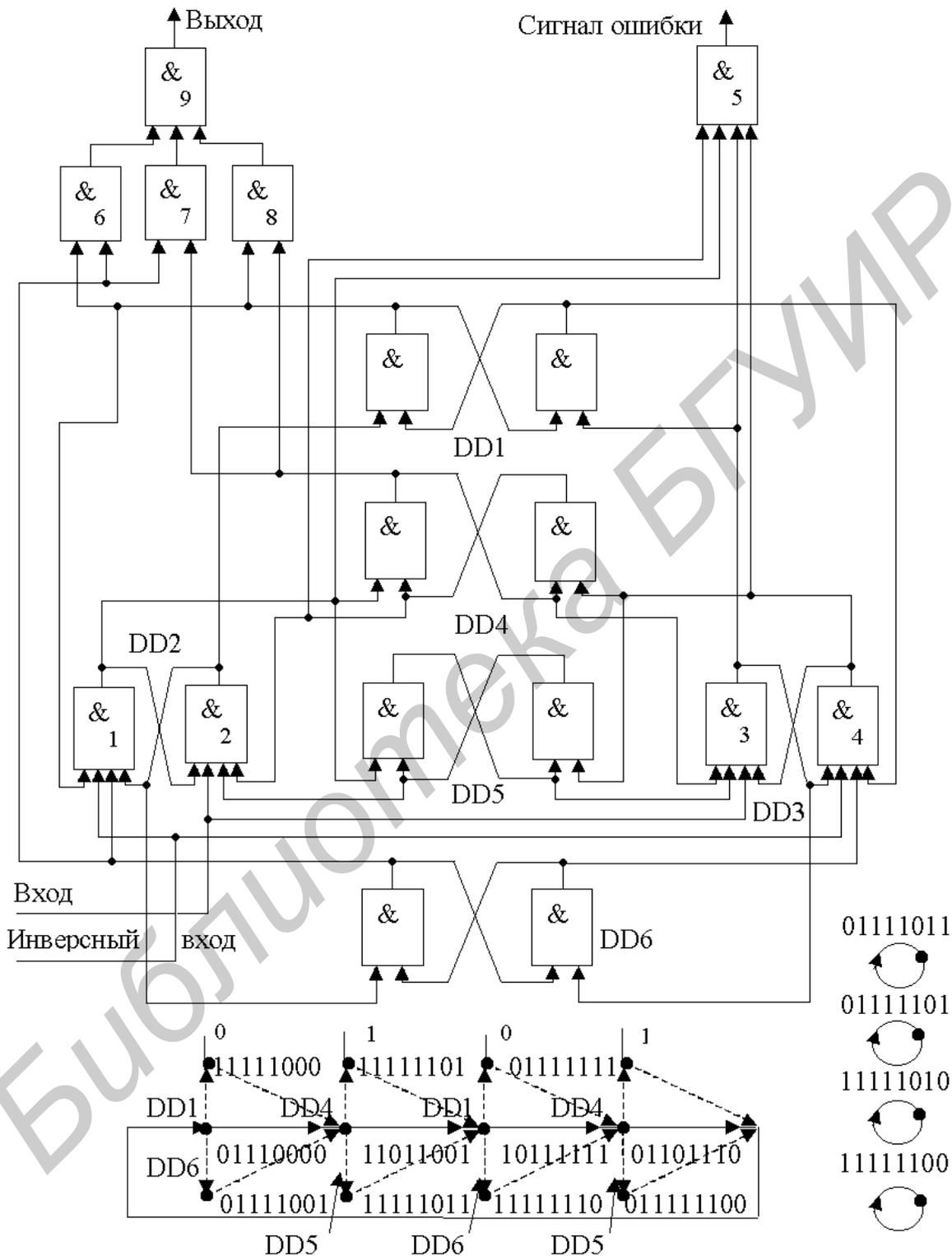


Рис. 5. Самокорректирующийся триггер второго типа

Анализ графов переходов триггеров позволяет сделать следующие выводы: во всех схемах не происходит накопления ошибок в элементах памяти, при смене

входного сигнала все схемы из ложного состояния автоматически возвращаются на правильную траекторию; коррекцию ошибок достаточно производить лишь на протяжении одного такта.

Рассмотрим теперь построение корректирующей схемы. Анализируя состояния элементов памяти каждой из схем, можно обнаружить, что эти состояния легко разделяются на множества разрешенных и запрещенных состояний и образуют тривиальный код (3; 1) – код с повторением с мажоритарной схемой декодирования. Для всех схем декодирование осуществляется с помощью четырех элементов И–НЕ (рис. 4 и 5 – элементы 6 – 9). Таким образом, избыточности, предназначенной для борьбы с размножением ошибок, оказывается достаточным для формирования проверочных разрядов кода, способного исправлять любую одиночную ошибку.

Исправление многократных ошибок. Выше было показано, что сигналы избыточных элементов поступают на управляющие элементы и запирают их на время возможного прохождения ошибочного сигнала. Если предположить, что число возможных ошибок в схеме больше одной, то для того, чтобы эти ошибки не размножались, необходимо, чтобы на входах управляющего элемента был хотя бы один истинный нулевой сигнал. При этом, независимо от состояния остальных входов, выходной сигнал этого элемента будет истинным, т.е. единичным, а ошибка не проходит через этот элемент и не увеличивает свою кратность. Отсюда следует, что любая ошибка кратности t не размножается, если на управляющие элементы поступают сигналы от $t + 1$ триггеров, хотя бы один из которых исправен. Схемы, в которых отсутствует размножение ошибок, получаются из схем на рис. 4 и 5 простым увеличением числа триггеров, работающих синхронно с введенными ранее. Коррекция ошибок возможна, если увеличить число элементов памяти, причем состояния имеющихся и введенных элементов памяти должны образовывать помехоустойчивый код. Объем оборудования при этом возрастает довольно значительно, поскольку кроме дополнительных элементов памяти требуется довольно сложная декодирующая схема. Поэтому коррекция ошибок кратности большей единицы вряд ли целесообразна.

3.2. Самокорректирующиеся счетные устройства

Пересчетные устройства могут быть построены обычными методами из рассмотренных выше самокорректирующихся триггеров. Кроме того, рассмотренный метод коррекции может быть использован для построения самокорректирующихся устройств, состоящих из двух и более триггеров. Так, на рис. 6 в качестве примера приведена пересчетная схема с коэффициентом пересчета три. Триггеры DD1 – DD4 и элементы 1–4, 7–10 образуют собственно пересчетную схему. Триггеры DD5 – DD7 и элементы 5 и 6 служат для размыкания связей и предотвращают распространение ошибок внутри схемы. Элементы 11–15 образуют схему коррекции. На графе переходов первая цифра характеризует состояние триггера DD1, вторая – триггера DD2 и т.д. В отличие от

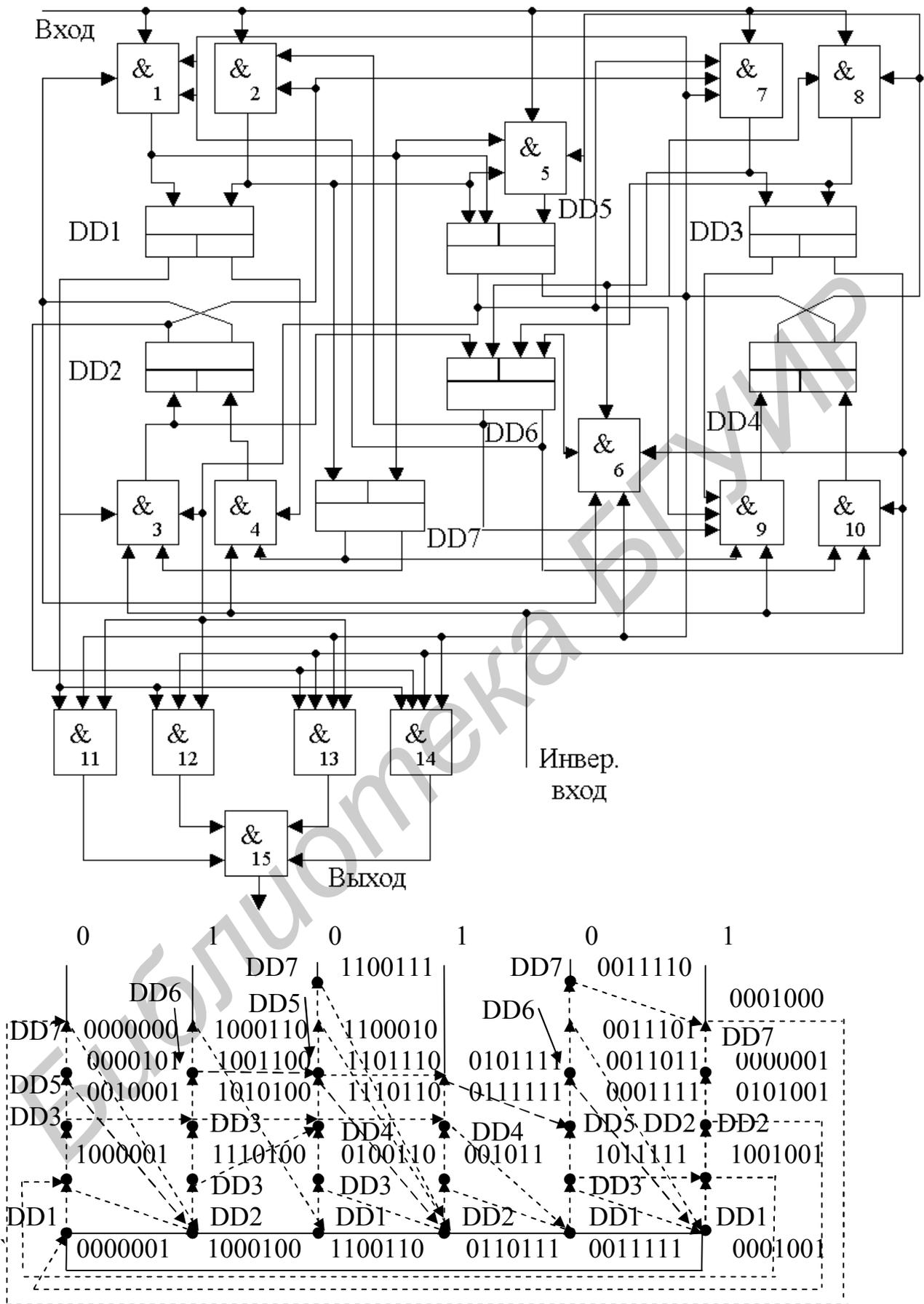


Рис. 6. Самокорректирующийся счётчик по модулю три

предыдущих случаев схема не всегда возвращается в правильное состояние при изменении входного сигнала. Так, например, из начального состояния 0000001 при сбое триггера DD3 схема переходит в состояние 0010001. Затем при изменениях входного сигнала она последовательно проходит состояния 1010100, 1110110 и только на третьем такте приходит в правильное состояние 0110111. Схема требует для своего построения 29 элементов И–НЕ.

При использовании двух триггеров по схеме рис. 4 с учетом отказа от обнаружения ошибки (один элемент) и необходимости инвертирования входного сигнала одного из триггеров (один элемент) потребовалось бы 33 элемента, однако корректирующая способность схемы из двух триггеров выше.

Другой путь сокращения объема оборудования состоит в отказе от декодирования в промежуточных разрядах пересчетной схемы. Действительно, из графов переходов самокорректирующихся триггеров видно, что при смене входного сигнала триггер автоматически возвращается на правильную траекторию. Если исключить возможность распространения ошибки по цепи переноса, т.е. если сделать каждый последующий триггер нечувствительным к ошибочным сигналам предыдущего триггера, то декодирующую схему можно сохранить только в последнем разряде. Распространение ошибок по цепи переноса легко устранить, если входные сигналы каждого разряда будут поступать по двум линиям.

Триггер может сработать в том случае, если сигналы на обеих линиях одинаковы, в противном случае на выходах элементов 1 – 4 будут сигналы лог. 1 и триггеры с отдельными входами сохраняют свое прежнее состояние. Схема исправляет произвольное сочетание ошибок при условии, что искаженные разряды разделены хотя бы одним правильным, а кратность ошибок в каждом разряде не превышает корректирующей способности этого разряда. Избыточность схемы с ростом числа разрядов стремится к 1,5.

3.3. Самокорректирующийся регистр сдвига

Работу ячейки регистра сдвига можно представить следующим образом: в первом такте информация с предыдущего разряда записывается во вспомогательный триггер, а во втором такте переписывается в основной триггер. Через время, необходимое для окончания переходных процессов, записанная информация выдается на выход по сигналу опроса.

В первом такте на обоих входах основного триггера имеются сигналы лог. 1. Это эквивалентно тому, что триггер отключен от схемы, поэтому он может изменить свое состояние под действием помехи и во вспомогательный триггер следующего разряда будет записана неправильная информация. Вспомогательный триггер в это время находится под воздействием сигналов основного триггера предыдущего разряда и не может изменить своего состояния до тех пор, пока тот не изменит своего состояния. Аналогичная ситуация будет для этого триггера и во втором такте.

Для устранения влияния сбоев можно ввести в схему еще два триггера, которые работают так же, как и вспомогательный и основной триггеры соответственно. Как и ранее, в первом такте возможны сбои основных триггеров, а во втором такте – сбои вспомогательных триггеров. Однако при этом сбой любого из триггеров автоматически исправляется.

Подобным образом построенная схема может исправлять любое сочетание ошибок, за исключением ошибок в смежных разрядах, при условии, что в каждом разряде сбивается не более одного триггера.

Для сравнения отметим, что исправление ошибок в регистре сдвига без учета особенностей его работы потребовало бы введения трех элементов памяти (код 5; 2) и довольно сложной схемы коррекции. В силу двойственности функций И–НЕ и ИЛИ–НЕ аналогичные схемы самокорректирующихся триггеров, счетчиков и регистров могут быть построены и на элементах ИЛИ–НЕ.

Контрольные вопросы и задачи

1. Как определяется ошибочный модуль при работе оборудования с “горячим” и “холодным” резервом?
2. Синтезировать кодек кода (7; 4) примера 1 для защиты комбинационного устройства, реализующего следующую систему булевых функций: $y_1 = x_1 \vee x_2 \vee \bar{x}_3$; $y_2 = \bar{x}_1 \bar{x}_2 \vee \bar{x}_1 x_2$; $y_3 = \bar{x}_1 \vee x_2 x_3$; $y_4 = x_1 x_2$.
3. Пояснить сущность и особенности коррекции сбоев цифровых устройств с памятью.
4. В чем отличие введения кодовой избыточности в двухтактных и одноктактных триггерных схемах при коррекции сбоев элементов?
5. Как используется код с повторением при коррекции ошибок в пересчетных схемах?

ЛИТЕРАТУРА

1. Конопелько В.К., Лосев В.В. Надежное хранение информации в полупроводниковых запоминающих устройствах. – М.: Радио и связь, 1986.
2. Пирс У. Построение надежных вычислительных машин. – М.: Мир, 1968.
3. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ. – М.: Мир, 1972.
4. Хетагуров Я.А., Руднев Ю.П. Повышение надежности цифровых устройств методами избыточного кодирования. – М.: Энергия, 1974.
5. Савельев А.Я. Прикладная теория цифровых автоматов. – М.: Высш. шк., 1987.
6. Щербаков Н.С. Достоверность работы цифровых устройств. – М.: Машиностроение, 1989.
7. Соловьев В.В. Проектирование функциональных узлов цифровых систем на программируемых логических устройствах. – Мн.: Бестпринт, 1996.

Библиотека БГУИР

Учебное издание

**Конопелько Валерий Константинович,
Борискевич Анатолий Антонович**

**КОНТРОЛЬ ОШИБОК
В ЦИФРОВЫХ УСТРОЙСТВАХ**

Учебное пособие

по курсам «Теория кодирования»
и «Цифровые и микропроцессорные устройства»
для студентов специальности 45 01 03 «Сети телекоммуникаций»
дневной и заочной форм обучения

Редактор Н.А. Бебель
Корректор Е.Н. Батурчик

Подписано в печать 13.05.2003.
Печать ризографическая.
Уч.-изд. л. 1,0.

Формат 60×84 1/16.
Гарнитура «Таймс».
Тираж 50 экз.

Бумага офсетная.
Усл. печ. л. 1,28.
Заказ 117.

Издатель и полиграфическое исполнение:
Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники».
Лицензия ЛП № 156 от 30.12.2002.
Лицензия ЛВ № 509 от 03.08.2001.
220013, Минск, П. Бровки, 6.