

УДК 621.382

МЕТОДЫ И СРЕДСТВА ВСТРОЕННОГО САМОТЕСТИРОВАНИЯ С ПОНИЖЕННЫМ ЭНЕРГОПОТРЕБЛЕНИЕМ*

В.Н. ЯРМОЛИК, И.А. МУРАШКО

*Белорусский государственный университет информатики и радиоэлектроники
П. Бровки, 6, Минск, 220013, Беларусь*

Поступила в редакцию 20 ноября 2003

В работе рассмотрены основные источники потребления энергии и представлена методика оценки рассеиваемой мощности для схем, выполненных по КМОП технологии. Представлена классификация основных подходов к минимизации потребления энергии при тестировании интегральных схем и эффективность применения данных подходов. Приведены критерии выбора методов и средств минимизации.

Ключевые слова: встроенное самотестирование, минимизация потребления энергии, псевдослучайная последовательность, сканирование.

Введение

Бурный прогресс в микроэлектронике привел к тому, что большинство разрабатываемых цифровых устройств реализуются в виде систем на кристалле (SoC — System on a Chip). Это вызвало значительные изменения как в процессе проектирования цифровых устройств, так и в проектировании тестово-диагностических средств [1]. Важнейшие изменения коснулись в первую очередь основных показателей, которые определяют эффективность этих средств. Если до недавнего времени основными показателями считались аппаратные затраты на реализацию тестирования, процент покрытия неисправностей и временные затраты на проведение тестирования, то в настоящее время важнейшими показателями являются стоимость тестирования, процент обнаружения неисправностей и рассеиваемая мощность. Реализация встроенного самотестирования (ВСТ) значительно снижает стоимость и повышает процент покрытия неисправностей, так как проверка может производиться на рабочих частотах и не требуется внешнего тестового оборудования, стоимость которого, как правило, во много раз выше, чем стоимость SoC. Тем не менее использование классического ВСТ значительно увеличивает рассеиваемую мощность при тестировании по сравнению с нормальным режимом работы. Рассеиваемая мощность может увеличиваться в 2–3 раза [2]. Это вызывает значительное повышение температуры кристалла, что может привести к его повреждению. Кроме того, для мобильных устройств сокращаются сроки непрерывной работы от автономных источников питания.

Как показано в [3], можно выделить следующие основные причины учета потребления энергии при проведении тестирования.

1. Эффективность тестирования прямо пропорциональна переключательной активности тестируемой схемы. Увеличение переключательной активности в тестовом режиме по сравнению с нормальным режимом работы приводит к значительному увеличению потребления энергии.

* Данная работа выполнена при поддержке гранта ВМБФ BLR 02/006.

2. В SoC зачастую используется параллельное тестирование, целью которого является уменьшение времени проведения тестирования. Следствием этого является чрезмерное потребление энергии и значительное увеличение рассеиваемой мощности.

3. Методики тестопригодного проектирования часто требуют использования дополнительных аппаратных средств, которые используются только при тестировании. В нормальном режиме работы они не используются, поэтому практически не потребляют энергии. В тестовом режиме они используются очень интенсивно, что приводит к дополнительным энергозатратам.

Таким образом, значительное увеличение переключательной активности при проведении тестирования отрицательно сказывается на стоимости, надежности, времени автономной работы и прочих технических характеристиках КМОП SoC. Например, для устройств, работающих от автономных источников питания, значительно сокращается время непрерывной работы. (Срок службы батарей, время разряда аккумуляторов и т.п.). Другой пример — повышенное выделение тепла при проведении тестирования приводит к необходимости использования более дорогих корпусов или специального оборудования для отвода тепла, что увеличивает стоимость изделия.

До недавнего времени для учета проблемы рассеиваемой мощности в процессе тестирования схемы использовались более мощные источники питания, увеличивались конструктивные размеры устройств и повышалась эффективность систем охлаждения. Данные подходы значительно увеличивают стоимость изделия или увеличивают время тестирования, а также могут снижать процент обнаружения неисправностей, так как при снижении частоты некоторые динамические неисправности могут быть не выявлены.

В настоящее время основное внимание ученых направлено на следующие проблемы: снижение потребляемой энергии, которая определяет срок автономной работы устройства;

снижение средней мощности, которая определяет рабочую температуру кристалла;

снижение пиковой мощности, которая определяет требования к источнику питания, а также может привести к температурной перегрузке и повреждению кристалла.

В работе представлены основные подходы к минимизации потребления энергии при тестировании интегральных схем, выполненных по КМОП технологии.

Источники потребления энергии

Рассеиваемую мощность для КМОП схем можно разделить на два вида — динамическая и статическая [4]. Динамическая рассеиваемая мощность (которая составляет 95–99 % от общей рассеиваемой мощности) возникает в момент переключения схемы из одного логического состояния в другое и определяется двумя основными источниками — сквозными токами, которые протекают через логический элемент в момент переключения, и токами заряда/разряда паразитных емкостей логических элементов. Следовательно, она зависит от переключательной активности схемы, т.е. чем выше переключательная активность схемы, тем больше рассеиваемая мощность. При отсутствии переключений динамическая мощность равна нулю. Статическая мощность рассеивается тогда, когда логический элемент находится в некотором фиксированном логическом состоянии ("0" или "1"), и определяется токами утечки канала МОП транзистора, обратными токами $p-n$ -переходов и токами внешних выводов ИС.

В идеальном случае в статическом состоянии КМОП элемент не потребляет мощность, т.е. ток через него не протекает. Однако в реальных схемах ток через него течет. Величина этого тока составляет порядок пикоамперов, соответственно и статическая рассеиваемая мощность, определяемая этими токами, на несколько порядков меньше, чем динамическая.

Динамическая рассеиваемая мощность определяется двумя компонентами — токами заряда/разряда конденсаторов и сквозными токами через вентили.

Большинство цифровых КМОП схем не требуют использования конденсаторов для выполнения своих функций (исключение составляют динамическая память, устройства выборки-хранения, устройства задержки сигналов и т.п.). Конденсаторы образуются за счет паразитных емкостей транзисторов и линий связи, поэтому от нее нельзя избавиться. Паразитная емкость

оказывает существенное влияние как на время задержки распространения сигнала, так и на рассеиваемую мощность.

Мощность, рассеиваемая КМОП схемой вследствие протекания сквозного тока, может составлять 10–60% от общей динамической мощности [4]. Ее величина зависит от таких параметров, как вольтамперные характеристики транзисторов (напряжение отпирания и запираения транзисторов), длительности фронтов входного сигнала, емкости нагрузки, напряжения питания и т.п.

Для упрощения расчетов динамической мощности, как правило, используется следующее выражения, в котором сквозной ток учитывается в виде дополнительной емкости нагрузки C_{SC} . Таким образом, динамическую мощность узла логической схемы можно вычислить как

$$P = \frac{1}{2} C_L V_{dd}^2 f, \quad (1)$$

где C_L — переключаемая емкость (которая включает в себя паразитную емкость вентиля и дополнительную емкость C_{SC}); V_{dd} — напряжение питания; f — частота изменения логического уровня.

Рассмотрим методику расчета динамической рассеиваемой мощности. Согласно (1) энергия, потребляемая j -м узлом схемы при переключении, равна $1/2 C_j V_{dd}^2$, где C_j — емкостная нагрузка j -го узла, V_{dd} — напряжение источника питания. Следовательно, выражение $1/2 f_j C_j V_{dd}^2$ позволяет оценить потребляемую j -м узлом схемы энергию за f_j переключений. Для узлов, к которым подключено несколько входов логических элементов, емкостная нагрузка возрастает пропорционально числу входов s_j . Поэтому выражение для энергии, потребляемой j -м узлом схемы, можно записать

$$E_j = 1/2 s_j f_j C_0 V_{dd}^2, \quad (2)$$

где C_0 — номинальная (нормализованная) емкостная нагрузка одного входа, которая является одинаковой для всех логических элементов, выполненных по единой технологии. Обозначим через E_0 энергию одного переключения стандартного входа

$$E_0 = 1/2 C_0 V_{dd}^2. \quad (3)$$

Тогда для оценки, потребляемой узлом j энергии, необходимо знать число переключений f_j и количество входов логических элементов s_j , подключенных к данному узлу. Произведение $s_j f_j$ определим как переключательную активность SA_j (Switching Activity — SA) узла j и будем использовать в качестве оценки для рассеиваемой этим узлом энергии [5]. Соответственно переключательная активность всей схемы за один такт синхронизации запишется

$$SA_{CLK} = \sum_{j=1}^v s_j f_j, \quad (4)$$

где f_j — число переключений j -го узла за один такт синхронизации; s_j — количество входов логических элементов, подключенных к данному узлу; v — количество узлов логической схемы. Тогда переключательная активность всей схемы за n тактов работы может быть найдена как

$$SA = \sum_{i=1}^n \sum_{j=1}^v s_j f_j. \quad (5)$$

Следовательно, энергия, потребляемая схемой, может быть найдена следующим образом:

$$E = SA \cdot E_0. \quad (6)$$

Разделив полученное выражение на время t , в течение которого была потреблена энергия (или, что равнозначно, умножив данное выражение на частоту F), получим рассеиваемую мощность схемы

$$P = E/t = E \cdot F. \quad (7)$$

Таким образом, рассеиваемую мощность можно уменьшить, снижая переключательную активность схемы или увеличивая время тестирования. Однако увеличение времени неблагоприятно сказывается на покрытии динамических неисправностей. Поэтому наиболее эффективным способом является снижение переключательной активности.

Методы минимизации потребления энергии при самотестировании

Распределенное встроенное самотестирование. Основная идея метода заключается в определении числа сессий самотестирования и конкретных модулей, которые могут быть протестированы в конкретной сессии [2]. Рассмотрим простой пример (рис. 1). Пусть тестируемое устройство состоит из 3 тестируемых схем CUT1–CUT3 (CUT — Circuit Under Test). Пусть средства самотестирования состоят из 2 одинаковых m -разрядных LFSR (Linear Feedback Shift Register), которые используются в качестве генераторов тестовых наборов и 2 одинаковых n -разрядных многоканальных сигнатурных анализаторов (MISR — Multi-Input Shift Register), которые используются для сжатия реакций тестируемых схем. Обозначим энергию, потребляемую этими средствами за время работы t , соответственно $E_{LFSR1}=E_{LFSR2}=E_{LFSR}$, $E_{MISR1}=E_{MISR2}=E_{MISR}$. Для простоты будем считать, что тестируемые схемы также потребляют одинаковое количество энергии, т.е. $E_{CUT1}=E_{CUT2}=E_{CUT3}=E_{CUT}$.

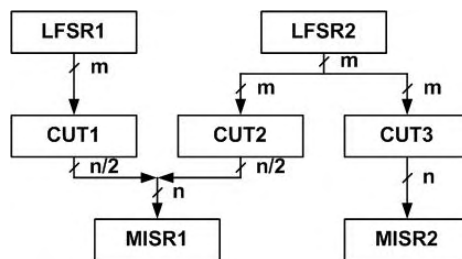


Рис. 1. Пример встроенного самотестирования SoC

В общем случае тестирование может быть выполнено 3 способами.

1. Все схемы тестируются одновременно. В этом случае время тестирования равно t . Энергия, потребляемая при тестировании E_{TEST} , равна

$$E_{TEST}=2E_{LFSR}+3E_{MUT}+2E_{MISR}. \quad (8)$$

Пиковая мощность P_{max} совпадает со средней мощностью P_{av} , т.е.

$$P_{max}=P_{av}=(2E_{LFSR}+3E_{MUT}+2E_{MISR})/t. \quad (9)$$

2. Все схемы тестируются последовательно. В первой сессии тестируется CUT1 (работают LFSR1, CUT1, MISR1, время t), во второй сессии тестируется CUT2 (работают LFSR2, CUT2, MISR1, время t), в третьей сессии тестируется CUT3 (работают LFSR2, CUT3, MISR2, время t). Таким образом, общее время тестирования равно $3t$. Энергия E_t , потребляемая в каждой сессии, одинакова и равна $E_t=E_{LFSR}+E_{MISR}+E_{MUT}$. Общая энергия E_{TEST} , затрачиваемая на тестирование, будет

$$E_{TEST}=3E_{LFSR}+3E_{MUT}+3E_{MISR}. \quad (10)$$

Пиковая мощность определяется максимальной мощностью в каждой сессии. Средняя мощность определяется как среднее арифметическое мощностей. В данном случае они одинаковы:

$$P_{max}=P_{av}=(3E_{LFSR}+3E_{MUT}+3E_{MISR})/(3t)=(E_{LFSR}+E_{MUT}+E_{MISR})/t. \quad (11)$$

3. Тестирование разбивается на две сессии. В первой сессии тестируются 2 схемы, а во второй — одна. Общее время тестирования составляет $2t$. Возможно три различных варианта проведения тестирования. Во-первых, в одной сессии тестируются CUT1 и CUT2, а во второй CUT3. В этом случае суммарная энергия равна $E_{TEST}=3E_{LFSR}+3E_{MUT}+2E_{MISR}$. Во-вторых, в одной сессии тестируются CUT1 и CUT3, а во второй CUT2. В этом случае суммарная энергия равна

$E_{TEST}=3E_{LFSR}+3E_{MUT}+3E_{MISR}$. В-третьих, в одной сессии тестируются CUT2 и CUT3, а во второй CUT1. В этом случае суммарная энергия равна $E_{TEST}=2E_{LFSR}+3E_{MUT}+3E_{MISR}$. Пиковая и средняя мощности также имеют промежуточные значения между (9) и (11).

Таким образом, при использовании одной тестовой сессии, имеем минимальное потребление энергии (8) и минимальное время тестирования t , однако пиковая и средняя мощности являются максимальными (9). При использовании для тестирования каждой схемы отдельной тестовой сессии, наоборот, имеем максимальное время тестирования $3t$ и максимальное потребление энергии (10) и минимальную пиковую и среднюю рассеиваемую мощности (11). Разбиение тестирования на две сессии позволяет получить некоторое квазиоптимальное решение.

Разбиение тестируемой схемы. Оригинальная методика разбиения CUT на подсхемы с учетом потребления энергии при проведении самотестирования представлена в [6]. На рис. 2 показаны дополнительные аппаратные затраты, которые необходимо ввести в схему. Применение подхода позволяет снизить среднюю и пиковую мощности, при этом не ухудшается покрытие неисправностей. Предлагаемое разбиение схемы позволяет проводить ее тестирование за две сессии. В первой сессии тестируется CUT1, на входы которой поступают тестовые воздействия с входов А, В и С (через DMX2 и MX2). Тестовые реакции поступают на выход Е (через MX3) и на выход F (через MX4). Во второй сессии тестируется CUT2, на входы которой поступают тестовые воздействия со входов С, D и В (через DMX1 и MX1). Тестовые реакции поступают на выход Е (через MX3) и на выход F (через MX4).

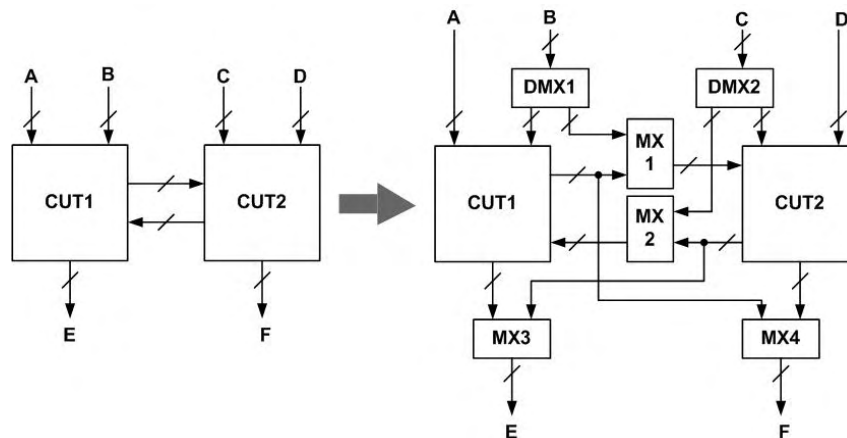


Рис. 2. Разбиение тестируемой схемы на подсхемы

В [6] показано, что общее время тестирования модифицированной схемы не увеличивается, в то время как средняя и пиковая мощности уменьшаются. Дополнительные аппаратные затраты определяются MX1-MX4, DMX1 и DMX2. Разбиение исходной схемы стремятся выполнить таким образом, чтобы получить две примерно одинаковых по аппаратным затратам подсхемы. Кроме того, стремятся уменьшить число линий связи между подсхемами. Основным недостатком подхода заключается в том, что он требует модификации (перепроектирования) тестируемой схемы.

Методы, основанные на использовании различных архитектур самотестирования

На рис. 3 представлена обобщенная структура самотестирования. Средства самотестирования состоят из источника тестовых воздействий (ИТВ), устройства сжатия реакций и некоторого устройства управления. При организации ВСТ наиболее часто используются псевдослучайные тестовые наборы, которые формируются LFSR. Поэтому в качестве ИТВ, как правило, используется LFSR или его модификации и цепь сканирования [1]. В качестве устройства сжатия реакций наибольшее распространение получил многоканальный сигнатурный анализатор - MISR.

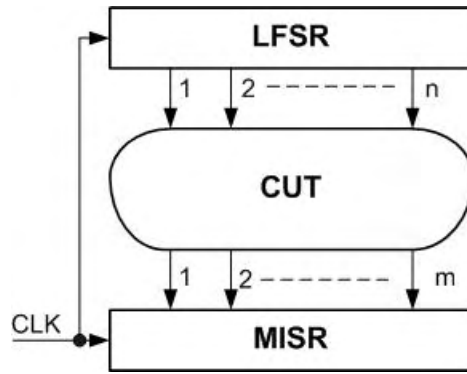


Рис. 3. Обобщенная структура самотестирования

LFSR на рис. 3 формирует $2^n - 1$ псевдослучайных тестовых наборов (ПТН), которые поступают на вход тестируемой схемы. Считаем, что каждый вход CUT представлен одной нагрузкой. Другими словами, каждый выход LFSR подключен только к одному входу CUT. Исходя из свойств псевдослучайной последовательности (ПСП), формируемой LFSR [7], на каждом входе произойдет 2^{n-1} переключений. Таким образом, общее число переключений $N1$ на входах тестируемой схемы будет равно

$$N1 = n2^{n-1}. \quad (12)$$

Для уменьшения числа переключений в [8] предлагается вместо LFSR, работа которого определяется порождающим полиномом n -й степени, использовать два LFSR с порождающими полиномами степени $n/2$ (рис.4, а) либо LFSR с порождающим полиномом степени k , подключенный к $n-k$ -разрядной цепи сканирования (рис.4, б). Для архитектур на рис. 3 число переключений на входах CUT будет равно соответственно

$$N2 = n2^{n/2-1}, \quad (13)$$

$$N3 = n2^{k-1}. \quad (14)$$

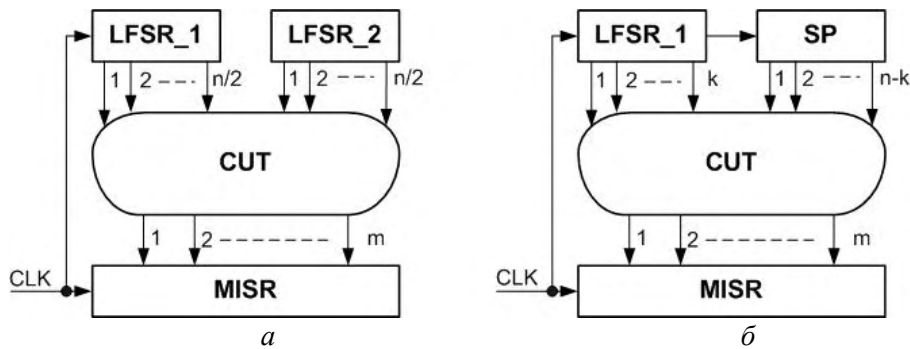


Рис. 4. Преобразование архитектуры самотестирования для снижения энергопотребления:
а — использование 2 LFSR, б — использование LFSR и цепи сканирования

Рассмотрим простой пример. Пусть $n=20$, $k=8$. Тогда $N1=10485760$, $N2=10240$, $N3=2560$. Получили, что данный подход позволяет на несколько порядков сократить число переключений, что приводит к снижению потребляемой энергии. Кроме того, применение рассмотренных архитектур позволяет снизить пиковую мощность, так как позволяет проводить тестирование подсхем в разное время. Для этого тестируемая схема должна быть разбита на подсхемы таким образом, чтобы исключить зависимость состояний одной подсхемы от другой, и может быть использована методика, рассмотренная в предыдущем разделе.

В настоящее время при организации встроенного самотестирования наибольшее распространение получили методики тестопригодного проектирования, основанные на использовании полного или частичного сканирования. Они, как правило, используют алгоритм "test per scan", который предполагает для приложения нового тестового набора загрузку всей цепи ска-

нирования (ЦС). В упрощенной форме процесс тестирования СБИС можно представить следующим образом. По ЦС через вход данных ЦС в тестируемую систему вводится первый тестовый набор. Сдвиг информации осуществляется под управлением синхроимпульсов, число которых равно числу разрядов ЦС. После завершения ввода тестового набора он автоматически будет приложен к тестируемой схеме. Затем подается один такт системной синхронизации, который запишет реакции схемы в соответствующие разряды ЦС. Затем начинают выдвигать содержимое ЦС через выход данных, при этом на вход данных ЦС поступает очередной тестовый набор. Таким образом, если ЦС состоит из s элементов, то на один тестовый набор тратится $s+1$ такт синхронизации.

Классическая реализация сканирования неэффективна с точки зрения потребления энергии. Это объясняется двумя основными причинами. Во-первых, в современных СБИС используется много триггеров (элементов памяти), соответственно цепь сканирования получается достаточно длинной и может содержать тысячи разрядов. Поэтому, чтобы приложить новый тестовый набор, необходимо подать $s+1$ такт синхронизации. При этом потребляется большое количество энергии, хотя непосредственно для тестирования используется только один из $s+1$ тактов синхронизации. Во-вторых, при сдвиге данных по ЦС в тестируемой схеме происходят переключения, которые вызывают потребление энергии.

Для снижения потребления энергии во время тестирования в [9] предлагается новая методика, использующая многочисленные ЦС. Методика основывается на новой архитектуре средств ВСТ и новой стратегии приложения тестов, которые позволяют значительно уменьшить число паразитных переключений в тестируемой схеме при сдвиге информации по ЦС. В работе сканируемые элементы памяти подразделяются на совместимые, несовместимые и независимые. На основе этой классификации сканируемые элементы памяти подразделяются на несколько ЦС, для каждой из которых вычисляется единственный тестовый вектор. Применение методики не вызывает потерю производительности тестируемой схемы и при небольших дополнительных аппаратных затратах позволяет экономить до 60% энергии при проведении тестирования.

Для минимизации паразитных переключений при сдвиге тестовых наборов по ЦС в [10] предлагается модификация разрядов ЦС таким образом, чтобы запретить приложение тестовых наборов во время сдвига. На рис. 5 представлен пример разряда ЦС с блокировкой переключений CUT при сдвиге. Во время сдвига $Test_En=0$ соответственно на входе CUT не происходит переключений. При подаче тестового набора $Test_En=1$, поэтому на вход CUT поступают значения, хранящиеся в ЦС.

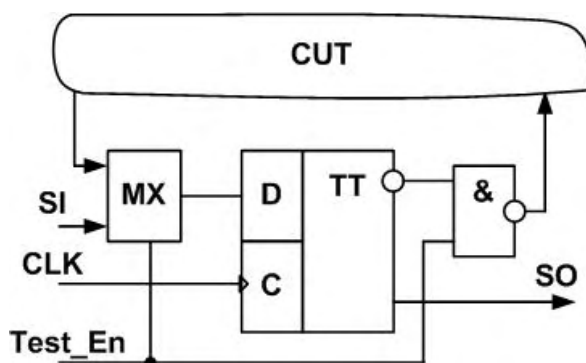


Рис. 5. Разряд цепи сканирования с блокировкой переключений CUT при сдвиге

Методы фильтрации тестовых наборов

При тестировании LFSR формирует 2^n-1 ПТН. Каждый ПТН вызывает переключения в CUT и соответственно потребление энергии. Однако не каждый тестовый набор обнаруживает неисправности. В работе [11] предлагается архитектура ВСТ, которая позволяет отфильтровывать неэффективные векторы, т.е. векторы, которые совсем не обнаруживают неисправности или не обнаруживают непокрытые неисправности. На рис.6 представлена схема фильтрации

неэффективных с точки зрения обнаружения неисправностей ПТН. Данный подход позволяет снизить рассеиваемую мощность без снижения покрытия неисправностей. Для реализации подхода требуются достаточно большие аппаратные затраты, которые состоят из схемы определения начала и конца неэффективной последовательности ПТН и формирования сигнала запрета/разрешения подачи ПТН на CUT.

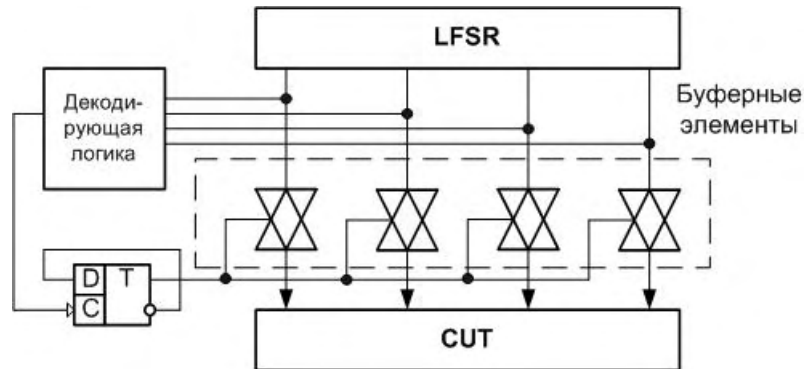


Рис. 6. Схема фильтрации необнаруживающих ПТН

В работе [12] представлены две методики фильтрации. Первая является развитием предыдущей работы с точки зрения модернизации фильтра. Фильтр представляет собой регистр, размещенный между LFSR и CUT, а также комбинационной логикой, которая определяет все необнаруживающие ПТН. Вторая методика также предотвращает подачу на входы CUT неэффективных тестовых наборов, однако используется другая стратегия — а именно инициализация LFSR следующим состоянием, начиная с которого следуют "удачные" ПТН. Второй подход является более эффективным с точки зрения экономии энергии, однако имеет большие дополнительные аппаратные затраты на реализацию, так как требует использования дополнительной памяти для хранения следующих состояний LFSR. Для определения неэффективных с точки зрения потребления энергии ПТН используется схема, которая позволяет измерить потребление энергии, вызываемое подачей каждого тестового набора. Это позволяет исключить из последовательности ПТН те наборы, которые вызывают большое потребление энергии.

Общий недостаток рассмотренных выше подходов заключается в том, что эффективность их использования зависит от конкретной тестируемой схемы, а также достаточно большие дополнительные аппаратные затраты.

Методы, основанные на использовании ГТН с уменьшенной переключательной активностью

В [13] предложен генератор тестовых наборов (ГТН) для встроенного самотестирования, который позволяет уменьшить рассеиваемую мощность при тестировании. Данный генератор называется DS-LFSR (Dual-Speed Linear Feedback Shift Register) и состоит из двух LFSR — "медленного" LFSR_1 и "обычного" LFSR_2 (рис. 7). Частота синхронизации LFSR_2 в d раз ниже, чем у LFSR_1. Поэтому значительно снижается переключательная активность как самого генератора, так и на входах тестируемой схемы, подключенных к "медленному" LFSR, что приводит к снижению рассеиваемой мощности при тестировании. В работе предложена методика синтеза DS-LFSR, которая позволяет достичь высокой степени покрытия неисправностей CUT, при этом генерируемые тестовые наборы не повторяются и имеют равномерное распределение. Для определения входов CUT, которые могут быть подключены к "медленному" LFSR, вводится целевая функция и предлагается метод вычисления ее значения для каждого входа CUT. Кроме того, для дальнейшего снижения рассеиваемой мощности представлена процедура увеличения числа входов CUT, которые могут быть подключены к "медленному" LFSR. Эффективность использования DS-LFSR была проверена на типовых схемах ISCAS85 и ISCAS89. Проверка показала, что суммарное число переключений уменьшается от 13 до 70%, при этом не снижается покрывающая способность. Дополнительные аппаратные затраты на реализацию DS-LFSR являются минимальными.

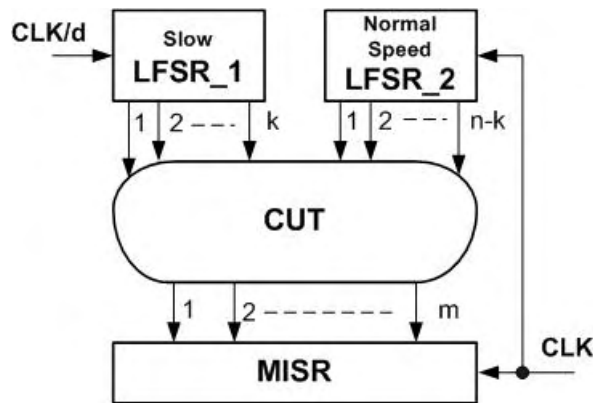


Рис. 7. Использование "медленного" и "обычного" LFSR для тестирования схем

Методы, основанные на использовании средств ВСТ с пониженным потреблением энергии

В работе [14] проведено исследование зависимости потребления энергии LFSR от порождающего полинома. Дается рекомендация выбора порождающего полинома с минимальным числом ненулевых коэффициентов.

В работе [15] предложена методика синтеза генератора ПТН, который позволяет формировать несколько символов ПСП за один такт синхронизации. Как показано в [7], при суммировании по модулю два M -последовательности (ПСП максимальной длины) со своей сдвинутой ровно на половину периода копией, получается та же самая M -последовательность, но формируемая с удвоенной частотой. В общем случае при суммировании d сдвинутых ровно на величину L/d копий M -последовательности (где $L=2^m-1$ — период M -последовательности, m — старшая степень порождающего полинома), получаем M -последовательность того же самого периода, но формируемую в d раз быстрее, т.е. за один такт синхронизации формируется d символов M -последовательности. Примеры генераторов, формирующих 2 символа M -последовательности за один такт синхронизации представлены в [16].

При работе LFSR основной источник потребления энергии — входы синхронизации триггеров. Это объясняется тем фактом, что в формируемой M -последовательности за период $L=2^m-1$ происходит 2^{m-1} переключений, т.е. в среднем 0,5 переключения за один такт синхронизации. По входам синхронизации в каждом такте происходит 2 переключения. Поэтому для снижения потребления энергии предлагается снизить частоту синхронизации без снижения частоты формирования M -последовательности [17]. Структурные схемы генераторов, формирующих с удвоенной частотой M -последовательность, определяемую порождающим полиномом $\varphi(x)=1\oplus x^3\oplus x^4$, представлены на рис. 8.

Генератор (рис. 8,а) работает следующим образом [18]. При помощи сумматора по модулю два SM2 формируется сдвинутая на величину $[L/2]=7$ копия M -последовательности, которая задерживается еще на половину периода тактового импульса при помощи элемента задержки. В результате на входы SM3 поступают копии, сдвинутые ровно на половину периода. На выходе SM3 формируется M -последовательность с удвоенной частотой. Для генератора (рис. 8,б) сдвинутые на $[L/2]=7$ копии M -последовательности формируются на соседних разрядах, что позволяет строить многоканальные генераторы, работающие с удвоением частоты. Методики синтеза генераторов данного типа представлены в [19]. Как показано в [17], генератор (рис. 8,а), работающий с удвоением частоты, в среднем потребляет примерно на 42% меньше энергии, чем LFSR, при формировании одной и той же M -последовательности. При использовании больших значений коэффициента ускорения d получается большая экономия энергии, однако при этом возрастают и дополнительные аппаратные затраты. Оптимальными значениями являются $d=2,3,4$ [20], при использовании которых можно получить до 55% экономии энергии.

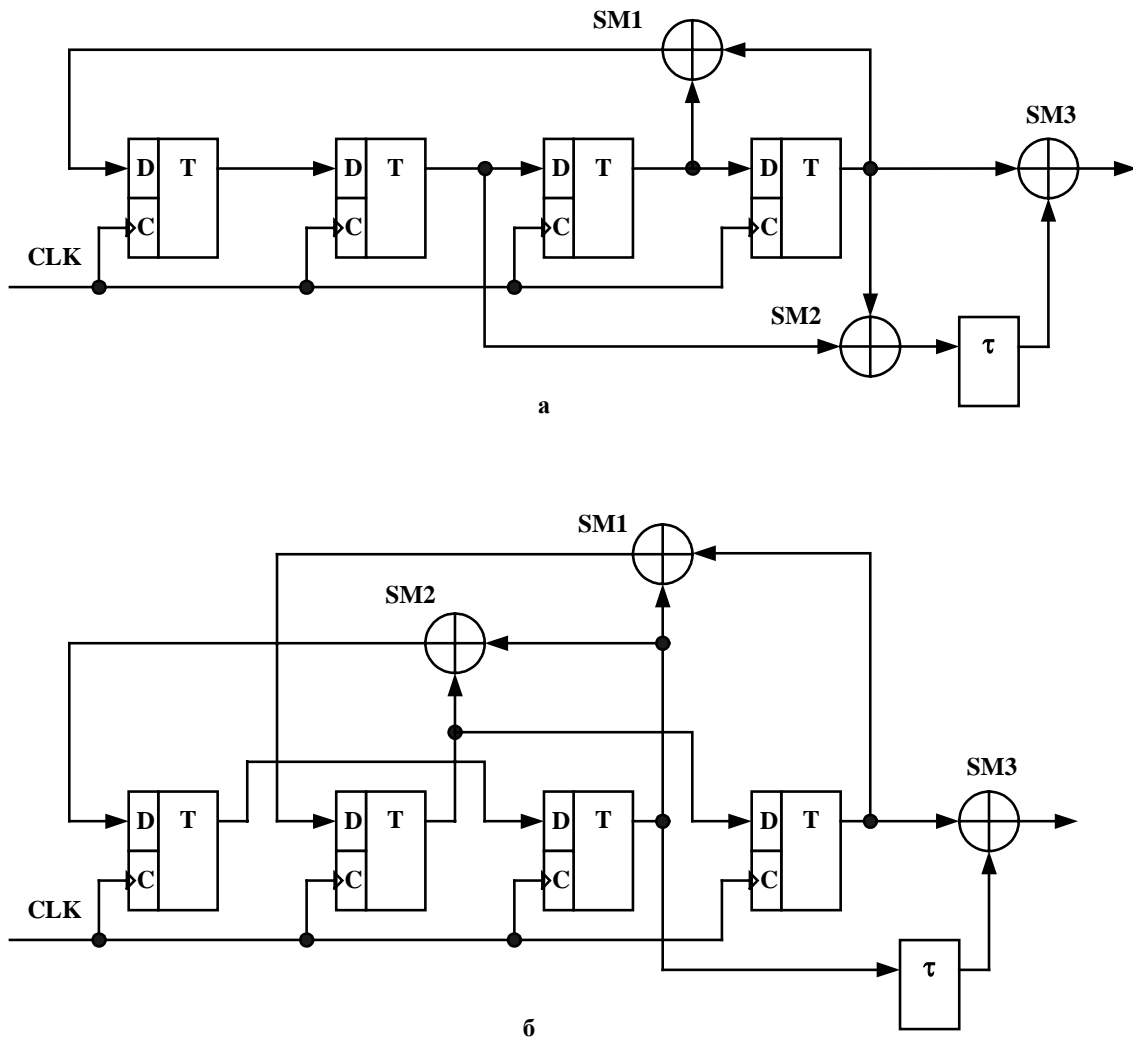


Рис. 8. Структурные схемы генераторов, формирующих 2 символа М-последовательности за один такт синхронизации: *a* — на основе свойства сдвига и сложения, *б* — на основе свойства децимации

В работе [20] предлагается применение рассмотренного подхода для синтеза сигнатурного анализатора, в результате чего может быть получена экономия энергии до 30%.

В работах [21] предложено использование этого подхода для ВСТ, использующего сканирование. При этом в качестве генератора применяется модификация LFSR совместно с цепью сканирования, а в качестве МСА — цепь сканирования и 2-канальный сигнатурный анализатор. На рис. 9 представлены ВСТ, которые позволяют формировать 2 ПТН за один такт синхронизации (рис.9,*a*) и сжимать по 2 символа тестовых реакций за один такт (рис. 9,*б*). Как показано в [22], применение данных структур позволяет экономить до 40% энергии, потребляемой средствами самотестирования.

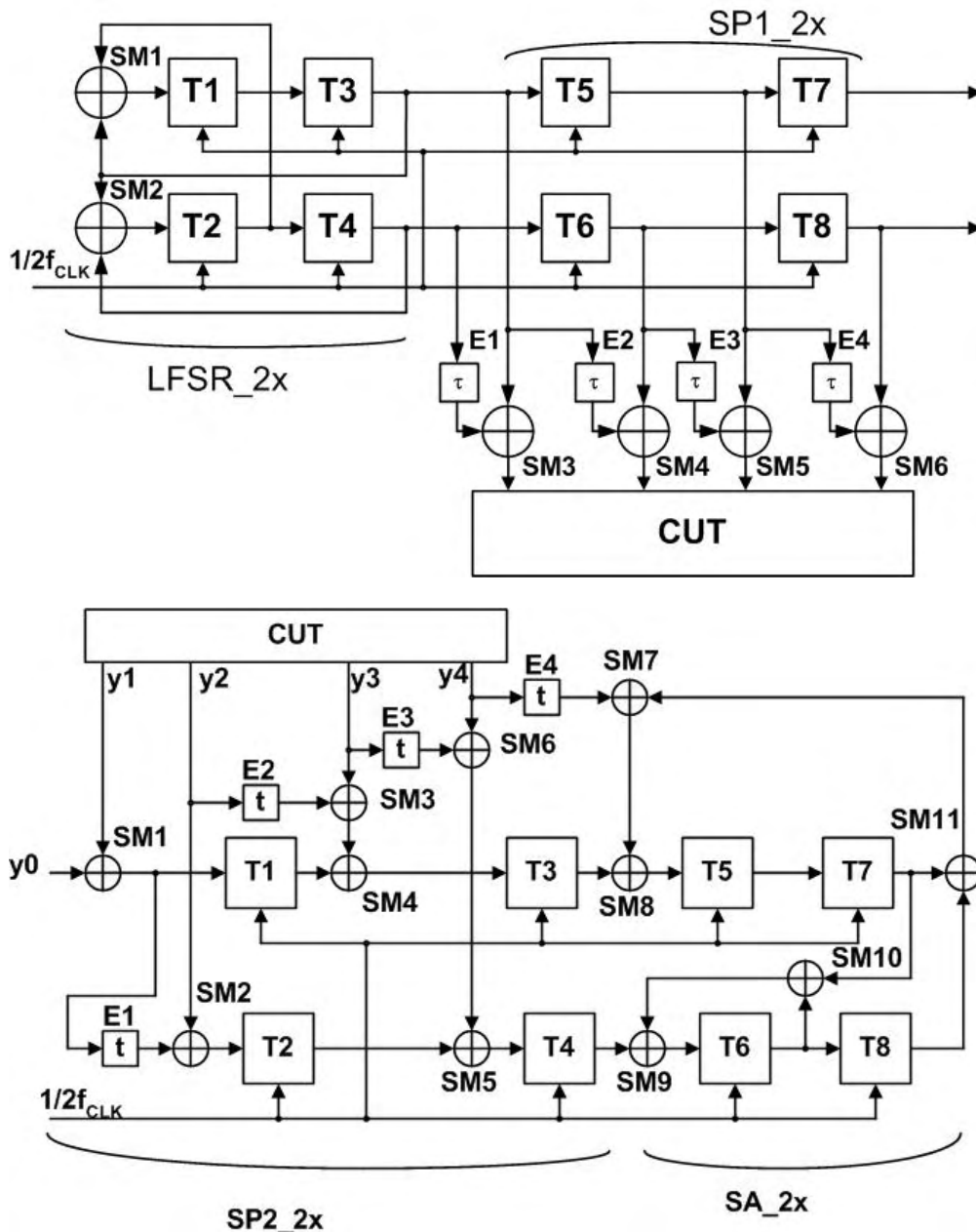


Рис. 9. Средства ВСТ, работающие с удвоенной частотой: *а* — ГПТН, формирующий 2 тестовых набора за один такт; *б* — МСА, сжимающий два символа за один такт

Заключение

В работе представлен обзор методов и средств минимизации потребления энергии при проведении самотестирования. Применение этих методов и средств зависит от конкретной реализации встроенного самотестирования, а именно – используется ли сканирование и если используется, то какое — полное или частичное, "test-per-scan" или "test-per-clock", какие именно используются архитектуры ВСТ и т.д. Например, распределенное встроенное самотестирование может быть использовано практически при любой организации ВСТ. С другой стороны, фильтрация тестовых векторов практически не применима для ВСТ, использующего сканирование "test-per-scan". Преобразование архитектуры для применения LFSR меньшей разрядности позволяет получить большую экономию энергии. Это не всегда возможно выполнить без внесения изменений в тестируемую схему, так как может потребоваться перепроектирование SoC.

Использование средств ВСТ с пониженным потреблением энергии может быть использовано практически в любой архитектуре ВСТ. Однако не всегда можно получить большой выигрыш в экономии энергии, поскольку эти методы не затрагивают саму тестируемую схему, которая, как правило, имеет наибольшее потребление энергии.

Следующий принципиально важный момент — каким способом минимизировать потребляемую энергию при самотестировании — изменяя аппаратные средства или изменяя тестовые наборы. Например, для исчерпывающего тестирования необходимо перебрать все возможные комбинации тестовых наборов на входах тестируемой схемы. При использовании ПСП число переключений на входе n -разрядной схемы будет равно $n2^{n-1}$, а при использовании кода Грея то же число будет равно 2^n , что в $n/2$ раз меньше. С другой стороны, при использовании неполного периода значительно ухудшается обнаруживающая способность этих последовательностей.

Еще один важный момент – время тестирования. Температура кристалла определяется средней рассеиваемой мощностью, которая обратно пропорциональна времени тестирования. Поэтому при выборе методов и средств минимизации энергии необходимо определить, какой из параметров играет большую роль. Если более важно время проведения самотестирования (в это время система не может выполнять свои рабочие функции), то необходимо использовать параллельное тестирование. С другой стороны, если более важным является средняя рассеиваемая мощность, то можно планировать несколько последовательных сессий ВСТ.

Можно отметить также дополнительные аппаратные затраты, которые определяют эффективность ВСТ. Например, при использовании фильтрации тестовых наборов самым эффективным с точки зрения минимизации потребления энергии способом является использование инициализации LFSR следующим начальным состоянием. Однако этот способ имеет максимальные аппаратные затраты, так как требует использования некоторой памяти для хранения начальных состояний.

Таким образом, применение конкретных методов и средств минимизации потребления энергии при самотестировании определяется конкретным ожидаемым эффектом от экономии энергии, а также значимостью данного параметра среди остальных параметров, определяющих эффективность самотестирования, — полнота покрытия неисправностей, дополнительные аппаратные затраты на реализацию, время самотестирования, сложность проектирования средств самотестирования.

LOW POWER BIST TECHNIQUES

I.A MURASHKO, V.N. YARMOLIK

Abstract

Sources of higher power dissipation during test application were discussed. Power estimation techniques for digital CMOS circuits were presented. Main techniques for low power testing were classified. This work proposed criteria for selection low power BIST techniques.

Литература

1. *Crouch A.* Design-for-Test for Digital IC's and Embedded Core Systems. Prentice Hall, 1999.
2. *Zorian Y.* A Distributed BIST Control Scheme for Complex VLSI Devices // Proc. 11-th IEEE VLSI Test Symposium. May1993. P. 4-9.
3. *Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S.* Power Conscious testing // Radioelectronics & Informatics. 2003. №3. P. 29-31.
4. *Pedram M.* Power Minimization in IC Design: Principles and Applications // ACM Transactions on Design Automation of Electronic Systems. 1996. Vol. 1, № 1. P. 3-56.
5. *Yarmolik V., Murashko I.* A peak-power estimation for digital circuits design // Proceedings of the Fifth International Conference NITe'2002. Minsk, BSEU, 2002. P. 34-38

6. Girard P., Guiller L., Landrault C., Pravossoudovitch S. Circuit Partitioning for Low Power BIST Design with Minimized Peak Power Consumption // IEEE Asian Test Symp. 1999. PP 89-94.
7. Ярмолик В.Н., Демиденко С.Н. Генерирование и применение псевдослучайных последовательностей в системах испытаний и контроля. Мн.: Наука и техника, 1986.
8. Ravikumar C.P., Prasad N.S. Evaluating BIST architectures for low power // Proceedings of 7th Asian Test Symposium. 1998. P. 430-434
9. Nicolici N., Al-Hashimi B.M. Multiple Scan Chains for Power Minimization During Test Application in Sequential Circuits // IEEE Trans. On Computers. 2002. Vol. 51, №6. P. 721-734
10. Gerstendorfer S., Wunderlich H.J. Minimized power consumption for scan-based BIST // Proceedings of IEEE International Test Conference. September 1999. P. 77-84.
11. Girard P., Guiller L., Landrault C., Pravossoudovitch S. A Test Vector Inhibiting Technique for Low Energy BIST Design // IEEE VLSI Test Symp. 1999. P. 407-412.
12. Manich S., Gabarro A., Lopez M., et al. Low Power BIST by Filtering Non-Detecting Vectors // Journal of Electronic Testing: Theory and Applications (JETTA). 2000. Vol.16, № 3. P. 193-202
13. Wang S., Gupta S.K. DS-LFSR: A New BIST TPG for Low Heat Dissipation // Proc. IEEE International Test Conference. November 1997. P. 848-857.
14. Brazzarola M., Fummi F. Power Characterization of LFSRs // Proc. International Symposium on Defect and Fault Tolerance in VLSI Systems. 1999. P. 138-146
15. Ярмолик В. Н., Мурашко И.А. Быстродействующий генератор для встроенного самотестирования многокристалльных модулей // Автоматика и вычислительная техника. 1999. №2. С.60-69
16. Мурашко И.А., Ярмолик В.Н. Быстродействующий генератор псевдослучайных тестовых наборов. Микроэлектроника. 2001. Т. 30, №1. С. 68-76.
17. Yarmolik V., Murashko I. Low Power Consumption LFSR-Based Test Pattern Generator for Scan-Type BIST // Proc. International Conf. CAD DD'2001. Minsk. P. 112-117
18. Мурашко И.А. Минимизация энергопотребления встроенных средств самотестирования // Proceedings of the Fifth International Conference NITe'2002. Minsk, BSEU, 2002. С.257-262
19. Мурашко И.А., Ярмолик В.Н. Синтез источника тестов с пониженным энергопотреблением для встроенного самотестирования // Тр. 7-й МНК "Теория и техника передачи, приема и обработки информации". Харьков, ХТУРЕ, 2001. С. 291-292
20. Murashko I., Yarmolik V. A switching activity reducing technique for the signature analyzer // Proc. of the Seventh International Conference PRIP'2003. Minsk, BSU, May 21-23, 2003. Vol. 1. P. 134-138
21. Murashko I., Yarmolik V., Puczko M. The power consumption reducing technique of the pseudo-random test pattern generator and the signature analyzer for the built-in self-test // Тр. 7-й МНК "Опыт проектирования и использования САПР в микроэлектронике" (CADSM'2003). Славск (Львовская область), Украина, 2003. С. 141-144
22. Murashko I., Puczko M. The switching Activity minimization for Low Power BIST // Proc. International Conference on Computer Information Systems and Industrial Management Applications (CISIM'03). Elk, Poland, June 26-28, 2003. P. 218-225