Особенности реализации дискретного косинусного преобразования с лестничной структурной параметризацией на FPGA

Ключеня В.В. кафедра ЭВС, ФКП, БГУИР, Минск, Беларусь e-mail: lucky victor@rambler.ru

Аннотация—В данной работе предлагаются реализации дискретного процессоров косинусного преобразования(ДКП) на FPGA в зависимости от математического различного структурного представления основной операции оборота Гивенса. Алгоритм 8-точечного ДКП представляется в виде произведения матриц и отображается на архитектуру FPGA в виде многоступенчатой конвейерной схемы. различное Используя представление оперании вращения, можно быстро создавать прототипы ДКПпроцессора, сохраняя такую же точность вычисления как при ЈРЕС кодировании, но при этом получить процессор, который занимает меньшую площадь кристалла. В качестве примера приведены результаты синтеза двух ДКП-процессоров.

Ключевые слова: ДКП, оборот Гивенса, лифтинг шаги, лестинчная структура

I. Введение

На сегодняшний день широко распространены мобильные мультимедийные системы, которые используют стандарты H.261/3/4/5, MPEG-1/2/4 и JPEG для кодирования/декодирования видео, аудио и изображений. Ядром этих стандартов является дискретное косинусное преобразование (ДКП) -I, -II, -III – -VIII типа. ДКП_{II} чаще всего используется в данных системах.

Вычислительная сложность ДКП очень важна для мультимедиа встраиваемых систем реального времени. Поэтому актуальной задачей является разработка быстрых алгоритмов ДКП, которые уменьшить число умножений позволяют или избавиться от них. Одним из наиболее эффективных методов реализации ДКП является алгоритм Лофлера [1], который представляет 8-точечное (8-ДКП_{II}) или 16-точечное ДКП в виде схемы с минимальным количеством умножений.



В данной статье рассматривается реализация 8-ДКП_{II} в зависимости от различных представлений оборота Гивенса. Постоянные коэффициенты ДКП могут быть вынесены в блок квантования в кодерах и схема Лофлера может представлена как показано на рис.1. Основная операция, которая вызывает трудности при аппаратной реализации, является операция вращения или оборот Гивенса ("Givens rotation"). Математически эта операция может быть записана как умножение вектора на матрицу.

Одной из распространенных реализаций оборота Гивенса в схеме Лофлера является аппроксимация значений косинусов и синусов к числам, легко получающимися путем небольшого количества операций сдвига и сложения, что позволяет избежать операций умножения и тем самым повысить эффективность вычисления.

II. МАТРИЧНОЕ И АРХИТЕКТУРНОЕ ПРЕДСТАВЛЕНИЕ

Матрицу оборотов Гивенса, используя лестничную структурную параметризацию (или лифтинг шаги), можно разложить следующими образами

$$\begin{bmatrix} \cos\alpha & \sin\alpha \\ -\sin\alpha & \cos\alpha \end{bmatrix} = \begin{bmatrix} 1 & \frac{\cos\alpha - 1}{\sin\alpha} \\ 0 & 1 \\ * \begin{bmatrix} 1 & \frac{\cos\alpha - 1}{\sin\alpha} \\ 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 0 \\ -\sin\alpha & 1 \end{bmatrix} *$$
(1)

$$\begin{bmatrix} \cos\alpha & \sin\alpha \\ -\sin\alpha & \cos\alpha \end{bmatrix} = \begin{bmatrix} 1 & \tan(\alpha/2) \\ 0 & 1 \\ * \begin{bmatrix} 1 & \tan\left(\frac{\alpha}{2}\right) \\ 0 & 1 \end{bmatrix}, \quad (2)$$

$$\begin{array}{c} \cos\alpha & \sin\alpha \\ -\sin\alpha & \cos\alpha \end{array} \right] = \begin{bmatrix} 1 & \tan\alpha \\ 0 & 1 \end{array} \right] * \begin{bmatrix} 1 & 0 \\ -\sin(2\alpha) & 1 \end{bmatrix} * \\ & * \begin{bmatrix} \frac{1}{\cos\alpha} & 0 \\ 0 & \cos\alpha \end{array} \right],$$
(3)

На рис.2 показаны структуры оборота Гивенса, используя данную параметризацию [2], [3], [4], структура а) соответствует формуле (2), б) – (3), с) – (4), д) – (1).



Рис.2 – Реализация оборота Гивенса на лифтинг шагах

В качестве примера реализуем оборот Гивенса согласно формулам (2) и (3). Подставляя структуры оборотов Гивенса в схему ДКП (рис.1), получаем 8-ДКП_{II} с лестничной структурой. Для эффективной реализации на FPGA 8-ДКП_{II} можно разложить на 7 простых матриц согласно формуле (2),пусть это будет вариант №1, или на 6 простых матриц согласно формуле (3), это будет вариант №2. Каждая матрица является отдельным вычислительным шагом и вся схема 8-ДКП_{II} представляется в виде конвейерной архитектуры [4], [5]. Матричная факторизация 8-ДКП_{II} на основе лестничных структур будет иметь вид:

8-ДКП_{II}=G·F·E·D·C·B·A (5)
$$\mu \pi \mu$$

где А, В, С, D, Е, F, G являются разреженными матрицами, матрица G была вынесена в блок квантования.

Для достижения высокой пропускной способности системы, архитектура 8-ДКП_{II} на основе лестничных структур будет организована в виде линейной многоступенчатой конвейерной схемы (рис.3). Каждой матрице A, B, C, D, E, F или G(если она используется) соответствует своя ступень.



Рис.4. Обобщенная схема архитектуры каждой ступени

В целом, архитектура каждой ступени содержит два набора регистров и специальные арифметические модули для вычисления матричных умножений. Каждая ступень (рис.4) имеет 8 входов и 8 выходов, а свои управляющие также имеет сигналы. Коэффициенты всех матриц представляются в двоичном коде, матричные умножения можно представить виде сдвигов и суммирований, операции суммирования И вычитания выполняются в лополнительном коле.

III. Экспериментальные результаты

С использованием VHDL-описаний было проведено моделирование работы разработанных описаний в системе ModelSim, подтвердившее правильность работы, а также проведен синтез структур в среде Xilinx ISE 11.1 под FPGA Virtex4 xc4vlx25-12ff668. Каждая ступень в VHDL-описании представлена в виде конечного автомата, в свою очередь ступень - это отдельный компонент, выходы которого подаются на вход следующего компонента. Результаты синтеза приведены в табл.1 для варианта №1, который для вычисления ДКП использует формулу (5), и варианта №2, который использует А также в MATLAB были формулу (6). промоделированы данные структуры в матричном представлении для монохромных изображений и подсчитано среднеквадратическое отклонение (MSE) и отношение сигнал-шум (PSNR), для сравнения был взят пример JPEG кодирования из help MATLAB (вариант №3).

Табл. 1. 8-ДКП_{II} на FPGA VIRTEX4 XC4VLX25-12FF668

	Slices	PSNR, dB	MSE	Frequency, MHz
Вариант №1	956	33.9985	2.8433*10 ⁻³	467.464
Вариант №2	839	33.9987	2.8445*10 ⁻³	467.464
Вариант №3	-	33,9994	$2.8722*10^{-3}$	-

IV. Заключение

Как видно из таблицы 1, используя разное математическое представление основной вычислительной операции в ДКП оборота Гивенса можно получить процессор на ластичных структурах с такой же точностью (MSE) и таким же отношение сигнал-шум (PSNR) как и в стандарте JPEG, но при этом сам процессор будет занимать меньшую (вариант №2) площадь кристалла на ПЛИС, что не маловажно для миниатюрных систем мультимедиа.

[1] Loeffler C., Ligtenberg A., Moshyz G.S., "Practical fast 1-D DCT algorithms with 11 multiplications" Proc. ICASSP. 1989, pp. 998-991.

[2] T. W. Fox, L. E. Turner, "Rapid Prototyping of Field Programmable Gate Array-Based Discrete Cosine Transform Approximations," EURASIP Journal on Applied Signal Processing, pp. 543–554, 2003:6.

[3] Trac D. Tran ; Pankaj N. Topiwala, "Modern transform design for advanced image/video coding applications", Applications of Digital Image Processing XXXI. Edited by Tescher, Andrew G. Proceedings of the SPIE, Volume 7073, pp. 70730H-70730H-12 (2008).

[4] Philip P. Dang, Paul M. Chau and Truong Q. Nguyen, Trac D. Tran, "BinDCT and Its Efficient VLSI Architectures for Real-Time Embedded Applications" Journal of imaging science and technology, Volume 49. Number 2. March/April 2005.

[5] Ал. А. Петровский, А. В. Станкевич, А. А. Петровский "Быстрое прототипирование систем мультимедиа от прототипа", Глава 6, стр.173-207,Минск "Бестпринт" 2011.