

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

УДК 621.382.3

*На правах рукописи*

**ЗАГОРСКИЙ**  
**Александр Викторович**

**ИССЛЕДОВАНИЕ ДЕГРАДАЦИИ ТОКА-СТОКА  
*n*-МОП-ТРАНЗИСТОРОВ ПОД ВЛИЯНИЕМ «ГОРЯЧИХ»  
НОСИТЕЛЕЙ**

**АВТОРЕФЕРАТ**

диссертации на соискание степени  
магистра техники и технологий

по специальности 1-39 81 01 – Компьютерные технологии  
проектирования электронных систем

Минск 2019

Работа выполнена на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Научный руководитель: **ЧИГИРЬ Григорий Григорьевич**,  
кандидат технических наук, доцент, заместитель  
директора ГЦ «Белмикроанализ» НТЦ «Белмикро-  
системы» ОАО «ИНТЕГРАЛ»

Рецензент: **РУДИКОВА Лада Владимировна**  
кандидат физико-математических наук, доцент,  
заведующая кафедрой технологий программирова-  
ния ГрГУ имени Янки Купалы

Защита диссертации состоится «27» июня 2019 г. года в 13<sup>30</sup> часов на заседании Государственной экзаменационной комиссии по защите магистерских диссертаций в учреждении образования «Белорусский государственный университет информатики и радиоэлектроники» по адресу: 220013, Минск, ул. П.Бровки, 6, копр. 1, ауд. 408, тел. 293-20-80, e-mail: kafpiks@bsuir.by

С диссертацией можно ознакомиться в библиотеке учреждения образования «Белорусский государственный университет информатики и радиоэлектроники».

## ВВЕДЕНИЕ

Уровень микроэлектроники в Республике Беларусь в настоящее время характеризуется серийным производством интегральных микросхем (ИМС) с проектными нормами 0.35 мкм. Дальнейшее развитие микроэлектроники в РБ настоятельно требует перехода к перспективным нормам субмикронного размера 0.18 мкм. Переход к новым субмикронным технологиям требует решения ряда задач. Современные технологии интегральных микросхем предъявляют высокие требования к стабильности параметров транзисторов ИМС и, в том числе, *n*-МОП-транзисторов. Они во многом определяют надёжность микросхем. Ухудшение параметров *n*-МОП-транзисторов, вызванное носителями высокой энергии («горячие» носители) является важной проблемой надёжности в современных схемах. «Горячие» носители в *n*-МОП-транзисторах создаются большими электрическими полями канала в области стока. Эти носители разрушают связи на границе раздела Si/SiO<sub>2</sub>. Носители так же инжектируются в SiO<sub>2</sub> и могут быть там захвачены. Захват или разрушение связей создают дополнительный заряд в окисле и ловушки на границе раздела Si/SiO<sub>2</sub>, что уменьшает подвижность носителей в канале и изменяет работу транзистора. Эффекты воздействия на МОП-транзисторы «горячих» носителей и радиации имеют близкую природу. Они сводятся к зарядке окисла, образованию поверхностных состояний и изменению крутизны вольтамперных характеристик. Эти факторы действуют совместно, как это имеет место в аппаратуре, функционирующей в условиях космического пространства. Свободные носители заряда, проходящие через область сильного электрического поля, могут набрать достаточно высокую энергию и вызвать эффекты горячих носителей. В настоящее время отсутствует экспрессный и эффективный метод, позволяющий выявлять потенциально ненадежные изделия в процессе изготовления микросхем, и работы по созданию такого метода является весьма актуальными.

Анализ деградации параметров элементной базы интегральных микросхем приведен в большом количестве современных работ. Они базируются на использовании длительных испытаний и не пригодны для экспрессного контроля. Наиболее значимые результаты были получены белорусскими учеными, которые проводили работы по оценке надёжности с использованием тестовых структур специальной конструкции, расположенных непосредственно на пластине рядом с кристаллами ИМС (Белоус А.И., Турцевич А.С., Чигирь Г.Г.).

Разработка и использование в производственном процессе экспрессного и эффективного метода оценки надёжности, способствующего повышению качества выпускаемых микросхем, является современной и актуальной.

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

### Актуальность темы исследования

Одним из основных направлений современной микроэлектроники является постоянное повышение надежности интегральных микросхем. Ухудшение параметров *n*-МОП-транзисторов, вызванное носителями высокой энергии («горячие» носители) является важной проблемой надежности в современных схемах. «Горячие» носители создаются большими электрическими полями канала в области стока. Эти носители разрушают связи на границе раздела Si/SiO<sub>2</sub>. Носители так же инжектируются в SiO<sub>2</sub> и могут быть там захвачены. Захват или разрушение связей создают дополнительный заряд в окисле и ловушки на границе раздела Si/SiO<sub>2</sub>, что уменьшает подвижность носителей в канале и изменяет работу транзистора.

На основе вышесказанного, работы по анализу деградации параметров *n*-МОП-транзисторов, обусловленной горячими носителями, являются весьма актуальными.

### Степень разработанности проблемы

Анализ деградации параметров *n*-МОП-транзисторов осуществлялось на основе построения теоретических моделей с использованием работ белорусских ученых А.И.Белоус, А.С.Турцевич, Г.Г.Чигирь, а также зарубежных авторов R.Degraeve, J.L. O.Ogier, R.Bellens, Ph.Roussel, G.Groeseneken, H.E.Maes

Существенным недостатком исследований, представленных в современной технической литературе, является отсутствие публикаций по разработке экспрессных методов и недостаточное количество результатов, полученных при помощи ускоренных испытаний применительно для микросхем с проектными нормами 1.1 – 0.35 мкм.

Предложенное исследование направлено на устранение этого недостатка на основе разработки и успешного использования в производстве экспрессного метода и проведение анализа деградации параметров *n*-МОП-транзисторов в технологическом процессе изготовления серийных субмикронных микросхем.

### Цель и задачи исследования

Целью диссертации является разработка методики проведения ускоренных испытаний на деградацию параметров *n*-МОП транзисторов и анализ деградации на серийно выпускаемых КМОП интегральных микросхемах.

Поставленная цель работы определяет следующие основные задачи:

1. Проанализировать существующие методы проведения ускоренных испытаний на деградацию *n*-МОП-транзисторов.
2. Установить закономерности процесса деградации тока-стока *n*-МОП-транзисторов под влиянием горячих носителей.
3. Разработать методику проведения ускоренных испытаний деградации параметров исходя из требований серийного производства микросхем.
4. Провести анализ деградации параметров *n*-МОП-транзисторов на серийно выпускаемых КМОП интегральных микросхемах.

### **Область исследования.**

Содержание диссертации соответствует образовательному стандарту высшего образования второй ступени (магистратуры) ОСВО 1-39 81 01-2012 специальности 1-39 81 01 «Компьютерные технологии проектирования электронных систем».

### **Теоретическая и методологическая основа исследования**

В основу диссертации легли работы белорусских и зарубежных ученых в области исследования деградации параметров *n*-МОП-транзисторов в технологическом процессе изготовления серийных субмикронных микросхем, а также анализ технических нормативных правовых актов по рассматриваемой тематике.

Информационная база исследования сформирована на основе литературы, открытой информации, технических нормативно-правовых актов, сведений из электронных ресурсов, а также материалов научных конференций и семинаров.

Научная новизна и значимость полученных результатов работы заключается в разработке экспрессной методики эффективной оценки деградации параметров *n*-МОП-транзисторов в технологическом процессе изготовления серийных субмикронных микросхем, основанной на проведении испытаний при максимальной величине тока подложки.

Теоретическая значимость работы заключается в анализе закономерностей процессов деградации параметров *n*-МОП-транзисторов и обоснованном выборе режимов испытаний тока подложки и напряжения на стоке, обеспечивающих возможность проведения эффективного экспрессного контроля.

Практическая значимость диссертации состоит в использовании разработанной методики в технологическом процессе изготовления серийных субмикронных микросхем, проведении анализа микросхем с проектными нормами 1.0 – 0.35 мкм и возможности оптимизации технологических процессов.

### **Основные положения, выносимые на защиту**

1. Закономерности процессов деградации параметров *n*-МОП-транзисторов, заключающиеся в том, что для обеспечения максимальной скорости деградации при ускоренных испытаниях, необходимо соответствие напряжения на затворе транзистора максимальному току подложки, а напряжение на стоке – 90 % от величины напряжения смыкания сток-исток.

2. Экспрессная методика эффективной оценки деградации параметров *n*-МОП-транзисторов для технологического процесса изготовления серийных субмикронных микросхем.

3. Результаты анализа деградации параметров микросхем с проектными нормами 1.0 – 0.35 мкм и возможность оптимизации технологических процессов.

## **Апробация и внедрение результатов исследования**

Результаты работы по теме диссертации были представлены на 55-й научной конференции аспирантов, магистрантов и студентов БГУИР (г. Минск, Республика Беларусь, 2019 г.), публиковались в международном научном журнале «Научные горизонты» (г. Белгород, Российская федерация, 2018 г.), в международном научном журнале «*Danish scientific journal*» (г. Копенгаген, Дания, 2018 г.).

## **Публикации**

Основные положения диссертации и результаты исследования изложены в восьми опубликованных работах. В их числе шесть статей в научных журналах, рекомендованных ВАК Республики Беларусь для опубликования результатов исследований и 2 тезиса докладов на научных конференциях.

## **Структура и объем работы**

Диссертация состоит из введения, общей характеристики работы, трех глав с краткими выводами по каждой главе, заключения, библиографического списка и приложения.

**В первой главе** приведен обзор современных моделей и методов исследований процессов деградации параметров  $n$ -МОП-транзисторов субмикронных микросхем под влиянием «горячих» носителей, которые используются в научно-исследовательских лабораториях и научно-практических институтах, описаны закономерности процессов деградации параметров  $n$ -МОП-транзисторов.

**Во второй главе** приведены результаты разработки методики эффективной оценки деградации параметров на основе установленных закономерностей.

**В третьей главе** представлены экспериментальные результаты анализа микросхем с проектными нормами 1.0 – 0.35 мкм в условиях серийного производства и показана возможность оптимизации технологических процессов.

**В приложении** представлены публикации автора, акт внедрения, Методика проведения ускоренных испытаний для эффективной оценки деградации параметров  $n$ -МОП транзисторов. Объем основного текста диссертации – 78 страниц. Работа содержит 12 таблиц, 21 рисунок. Библиографический список включает 7 наименований.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во **введении** рассмотрено современное состояние проблемы исследования деградации тока-стока  $n$ -МОП-транзисторов под влиянием «горячих» носителей, указаны основные направления исследований

В **общей характеристике работы** показана актуальность проводимых исследований, степень разработанности проблемы, сформулированы цель и задачи диссертации, обозначена область исследований, научная (теоретическая и практическая) значимость исследований, а также апробация работы.

В **первой главе** приведен обзор современных моделей и методов исследований процессов деградации параметров  $n$ -МОП-транзисторов субмикронных микросхем под влиянием «горячих» носителей, которые используются в научно-исследовательских лабораториях и научно-практических институтах. Эксперименты по стрессовому воздействию проводятся на выборке транзисторов, каждый из которых испытывается при определенных условиях стрессового воздействия. Требуется минимальное количество из трех стрессовых состояний с пятью транзисторами на каждое стрессовое состояние.

Наиболее широко используются три метода ускоренных испытаний  $n$ -МОП-транзисторов:

- метод отношения тока подложки/стока;
- метод ускоренных испытаний напряжением сток-исток;
- метод тока подложки.

Каждый метод имеет свои определенные достоинства и недостатки. В основе всех методов лежит принцип ускорения процессов деградации, основанный на увеличении количества «горячих» носителей в области канала.

Анализ закономерностей процессов деградации показал, что для условий серийного производства микросхем метод ускоренных испытаний на основе увеличения тока в подложку является удобным и наиболее эффективным в использовании. Чем больше величина тока в подложку, тем больше количество горячих носителей в канале и ускоренные испытания будут более эффективны. Экспериментально можно подобрать режимы испытаний, обеспечивающие максимальную величину тока в подложку. Проведение испытаний в этих режимах обеспечит наиболее эффективные ускоренные испытания. По этой причине этот метод испытаний и положен в основу разработки методики проведения ускоренных испытаний.

Во **второй главе** описаны результаты разработки методики эффективной оценки деградации параметров.

Ускоренный тест на деградацию параметров МОП-транзисторов в результате воздействия «горячих» носителей основан на применении в процессе тестирования такого режима работы транзистора, при котором происходит генерация максимального количества «горячих» носителей (максимальный ток затвора, режим смыкания канала) без ущерба к целостности тестовой структуры.

Для обеспечения наибольшей эффективности предложено перед началом испытаний снимать экспериментальные зависимости:

– выходные характеристики транзисторов на которых определяется напряжение смыкания сток-исток и далее при испытаниях используется максимальное напряжение на стоке, составляющее 85–90 % фактического напряжения пробоя, а в каждой последующей из трех - пяти серий измерений – снижается значение  $V_{DS}$  на 0.3–0.5 В;

– тока подложки от напряжения на затворе при выбранном напряжении на стоке и определяется напряжение на затворе, соответствующее максимальному току подложки.

Таким образом, предварительное снятие экспериментальных зависимостей позволяет определить наиболее эффективные режимы испытаний.

Целью ускоренного теста на деградацию параметров МОП-транзисторов является определение величины  $t_{TAR}$ , с, (время до цели) – времени стрессового воздействия, при котором конкретный параметр изменился на заданное значение  $\delta A$ , %, от своей исходной величины. Допустимые значения процентного изменения тока стока  $I_D$  и абсолютного изменения порогового напряжения  $V_{th}$ , В, должны быть определены для каждого изделия соответствующей технологической службой и внесены в ТД на изделие. Обычно применяют следующие значения отклонений:  $\delta I_{D\ TAR} = 10\ %$  и  $\Delta V_{th\ TAR} = 50\ мВ$ ; время до цели  $t_{TAR\ MIN} \approx 3.2E+8\ с$  (10 лет). Диапазон контроля  $t_{TAR}$  составляет от  $1E+2$  до  $1E+15$  секунд.

Для проведения теста на деградацию параметров  $n$ -МОП-транзисторов в результате воздействия «горячих» носителей могут использоваться  $n$ -МОП-транзисторы, удовлетворяющие следующим требованиям:

– каждая область транзистора (затвор, исток, сток, карман/подложка) подключена к отдельному выводу;

– длина канала  $L$ , мкм, как правило, минимальная для данной ИМС;

– ширина канала  $W$ , мкм, не меньше величины  $10L$  для исключения эффектов узкого канала;

– транзистор не подвергался ранее ускоренным испытаниям или контролю пробивных напряжений.

Для выполнения процедуры испытаний разработана программа *HotCarrier\_NMOS.mdl*.

Разработанная методика базируется на использовании:

– прецизионного анализатора параметров полупроводниковых приборов типа В1500А;

– микроскопического манипулятора модели 7000, либо другой, обеспечивающий подключение ко всем выводам тестового транзистора;

– управляющей рабочей станции с установленным пакетом *IC-CAP* и программой *HotCarrier\_NMOS.mdl*;

– персональный компьютер с установленным пакетом программ "*STATISTICA*";

Разработанная методика контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей позволяет:



- определить время наработки на отказ  $n$ -МОП-транзисторов в условиях ускоренных испытаний;
- провести моделирование величины времени наработки на отказ в условиях эксплуатации по результатам ускоренных испытаний;
- устанавливать факт ухудшения показателей надежности микросхем и своевременно выяснить предполагаемую причину, оценить готовность существующего технологического процесса для производства микросхемы требуемой сложности.

**В третьей главе** представлены экспериментальные результаты проверки методики контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей субмикронных микросхем с проектными нормами 1.0 – 0.35 мкм в условиях серийного производства и показана возможность оптимизации технологических процессов. Проводилась серия испытаний с целью определения времени работы транзистора при номинальных условиях нагрузки  $t_{TARuse}$  год, в течение которого под воздействием «горячих» носителей произойдет деградация какого-либо параметра транзистора на допустимую величину.

Испытания проводились на измерительном комплексе прецизионного анализа характеристик элементной базы микросхем (тестовых структур) модели В1500 ф. *Agilent* (США) с зондовой станцией *Summit 11000 AP* ф. *Cascade* (США).

Для микросхемы памяти ИМС1 с проектными нормами 1.0 мкм контроль деградации параметров  $n$ -МОП-транзисторов проводился по разработанной методике на  $n$ -МОП транзисторе с размером канала  $1.0 \times 20$  мкм и напряжением питания 5 вольт.

Для выбранной величины напряжения на стоке по результатам измерения максимального тока подложки  $n$ -канального МОП-транзистора от напряжения на затворе выбраны режимы стрессового воздействия, приведенные в таблице 1.

Таблица 1 – Режимы стрессового воздействия для  $n$ -МОП транзистора с размером канала  $1.0 \times 20$  мкм микросхемы памяти ИМС1 с проектными нормами 1.0 мкм

	Транзистор 1.0 ×20 мкм	$V_{DSstress}$ , В		
		6.1	6.6	7.1
$V_{GSstress}$ , В	1	3.80	4.00	4.20
	2	3.62	3.92	4.45
	3	3.60	3.92	4.10
	4	40.52	76.65	129.8
	5	43.84	76.33	140.0
	6	42.85	78.87	107.6

Результаты испытаний на деградацию параметров  $n$ -МОП транзистора с режимами стрессового воздействия, указанными в таблице 1, приведены в таблицах 2-4.

В таблице 2 приведены результаты контроля изменения тока стока в линейной области  $I_{D LIN}$ , А, при  $V_{DSstress} = 6.1$  В для трех транзисторов.

Таблица 2 – Изменение тока стока в линейной области при  $V_{DSstress} = 6.1$  В

$t, c$	$I_{D LIN}$ (при $V_{DS} = 0.1$ В, $V_{GS} = 5$ В), А			$\Delta t, c$
0	0.0003143	0.0003468	0.0003366	
1	0.0003150	0.0003469	0.0003362	1.0
2	0.0003154	0.0003470	0.0003365	1.0
5	0.0003156	0.0003466	0.0003365	3.0
10	0.0003130	0.0003466	0.0003365	5.0
20	0.0003135	0.0003467	0.0003365	10
50	0.0003187	0.0003468	0.0003362	30
100	0.0003438	0.0003464	0.0003366	50
200	0.0003286	0.0003465	0.0003362	100
500	0.0003062	0.0003462	0.0003359	300
1000	0.0002815	0.0003457	0.0003351	500

В таблице 3 приведены результаты контроля изменения тока стока в линейной области  $I_{D LIN}$ , А, при  $V_{DSstress} = 6.6$  В для трех транзисторов.

Таблица 3 – Изменение тока стока в линейной области при  $V_{DSstress} = 6.6$  В

$t, c$	$I_{D LIN}$ (при $V_{DS} = 0.1$ В, $V_{GS} = 5$ В), А			$\Delta t, c$
0	0.0003527	0.0003487	0.0003515	
1	0.0003525	0.0003485	0.0003517	1.0
2	0.0003525	0.0003489	0.0003511	1.0
5	0.0003527	0.0003487	0.0003514	3.0
10	0.0003527	0.0003486	0.0003515	5.0
20	0.0003523	0.0003486	0.0003518	10.0
50	0.0003526	0.0003488	0.0003514	30
100	0.0003518	0.0003481	0.0003511	50
200	0.0003518	0.0003479	0.0003508	100
500	0.0003507	0.0003471	0.0003497	300
1000	0.0003495	0.0003458	0.0003483	500

В таблице 4 приведены результаты контроля изменения тока стока в линейной области  $I_{D LIN}$ , А, при  $V_{DSstress} = 7.1$  В для трех транзисторов.

Таблица 4 – Изменение тока стока в линейной области при  $V_{DSstress} = 7.1$  В

$t, c$	$I_{D LIN}$ (при $V_{DS} = 0.1$ В, $V_{GS} = 5$ В), А			$\Delta t, c$
0	0.0003495	0.0003280	0.0002997	
1	0.0003493	0.0003272	0.0002997	1.0
2	0.0003493	0.0003273	0.0002996	1.0
5	0.0003491	0.0003270	0.0002996	3.0
10	0.0003493	0.0003270	0.0002993	5.0
20	0.000349	0.0003268	0.0002993	10
50	0.0003483	0.0003255	0.0002992	30

Обработка измеренных параметров проведена с помощью программного пакета "STATISTICA". При проведении линейной интерполяции данных для

определения величины  $T_{tar}$  использовалось максимально допустимое изменение тока стока  $|\delta I_{D LIN}| = 10\%$ .

Проведено опробование методики контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей на 6-ти типоминалах субмикронных микросхем с проектными нормами 1 – 0.35 мкм для аттестации серийно выпускаемых изделий. Установлено изменение величины параметров  $n$ -МОП-транзисторов при ускоренных испытаниях микросхем с проектными нормами 1 – 0.35 мкм: величина порогового напряжения увеличивается на максимальную величину 9.4 мВ, а ток стока уменьшается на максимальную величину 7.7 %, что допустимо по требованиям технической документации на микросхемы.

Установлено изменение величины параметров  $n$ -МОП-транзисторов при ускоренных испытаниях для субмикронных микросхем на основе кремний на изоляторе (КНИ):

- для микросхем с проектными нормами 0.6 мкм величина порогового напряжения увеличивается на максимальную величину 0.4 мВ, а ток стока уменьшается на максимальную величину 0.5 %;

- для микросхем с проектными нормами 0.35 мкм величина порогового напряжения увеличивается на максимальную величину 2.1 мВ, а ток стока уменьшается на максимальную величину 2.0 %, что допустимо по требованиям технической документации на микросхемы.

Полученные данные показывают, что методика контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей является эффективной для оценки показателей надежности микросхем.

## ЗАКЛЮЧЕНИЕ

### Основные научные результаты диссертации

1. Проанализированы существующие методы проведения ускоренных испытаний на деградацию  $n$ -МОП-транзисторов. Выбран метод на основе тока подложки, потенциально подходящий для условий серийного производства микросхем.

2. Установлены закономерности процессов деградации параметров  $n$ -МОП-транзисторов и обоснован выбор режимов испытаний тока подложки и напряжения на стоке, обеспечивающих возможность проведения эффективного экспрессного контроля.

3. Теоретически обоснована и разработана методика контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей в технологическом процессе изготовления серийных субмикронных микросхем с проектными нормами до 0.18 мкм.

4. Проведено опробование методики контроля деградации параметров  $n$ -МОП-транзисторов микросхем с проектными нормами 1 - 0.35 мкм для аттестации серийно выпускаемых изделий.

5. Установлено изменение величины параметров  $n$ -МОП-транзисторов при ускоренных испытаниях микросхем с проектными нормами 1 – 0.35 мкм: величина порогового напряжения увеличивается на максимальную величину 9.4 мВ, а ток стока уменьшается на максимальную величину 7.7 %, что допустимо по требованиям технической документации на микросхемы.

6. Установлено изменение величины параметров  $n$ -МОП-транзисторов при ускоренных испытаниях для субмикронных микросхем на основе кремний на изоляторе (КНИ):

- для микросхем с проектными нормами 0.6 мкм величина порогового напряжения увеличивается на максимальную величину 0.4 мВ, а ток стока уменьшается на максимальную величину 0.5 %;

- для микросхем с проектными нормами 0.35 мкм величина порогового напряжения увеличивается на максимальную величину 2.1 мВ, а ток стока уменьшается на максимальную величину 2.0 %, что допустимо по требованиям технической документации на микросхемы;

7. Проведено моделирование времени наработки на отказ в условиях эксплуатации  $t_{TAR use}$ , год. Показано, что для микросхем с проектными нормами 1.0 мкм время наработки на отказ составляет не менее 20 лет, что является подтверждение высокого качества технологического процесса изготовления микросхем.

8. Методика контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей позволяет:

- определить время наработки на отказ  $n$ -МОП-транзисторов в условиях ускоренных испытаний;

- провести моделирование величины времени наработки на отказ в условиях эксплуатации по результатам ускоренных испытаний;

- устанавливать факт ухудшения показателей надежности микросхем и своевременно выяснить предполагаемую причину, оценить готовность существующего технологического процесса для производства микросхемы требуемой сложности.

### **Рекомендации по практическому использованию результатов**

Полученные результаты внедрены в учебный процесс на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» в учебный курс «Проектирование интегральных микросхем».

Целесообразно использовать методику контроля деградации параметров  $n$ -МОП-транзисторов под влиянием «горячих» носителей в серийном производстве субмикронных микросхем с проектными нормами до 0.18 мкм для оптимизации технологических процессов и повышения качества выпускаемых микросхем.

## СПИСОК ПУБЛИКАЦИЙ СОИСКАТЕЛЯ

1. Загорский, А.В. Современные модели и методы анализа деградации параметров n-МОП-транзисторов субмикронных микросхем под воздействием «горячих» носителей / Загорский А.В., Бондарев А.А.//Danish scientific journal. - 2018.-Vol.1, №19,-Р.8-13.

2. Бондарев, А.А. Оценка метода тока затвора и анализ закономерностей процессов деградации параметров р-МОП-транзисторов / Бондарев А.А., Загорский А.В. // материалы 55-ой науч. конф. аспирантов, магистрантов и студентов по секции «Проектирование информационно – компьютерных систем».

3. Загорский, А.В. Применение ускоренных испытаний для анализа деградации параметров n-МОП-транзисторов под воздействием «горячих» носителей / Загорский А.В. // материалы 55-ой науч. конф. аспирантов, магистрантов и студентов по секции «Проектирование информационно – компьютерных систем». – 2019. – в печати.

4. Бондарев, А.А. Разработка методики эффективной оценки деградации параметров р-МОП-транзисторов под влиянием «горячих» носителей / Бондарев А.А., Загорский А.В., Шешко П.П.// Международный научный журнал «Научные вести». – 2019. –№2(7). – С.128-135.

5. Бондарев, А.А. Контроль деградации параметров р-МОП-транзисторов на субмикронной ИМС с проектными нормами 0.35 мкм/ Бондарев А.А., Загорский А.В.// Danish scientific journal. -2018.-Vol.1, №19,-Р.41-45.

6. Загорский, А.В. Оценка метода ускоренных испытаний с напряжением сток-исток и анализ закономерностей процессов деградации параметров n-МОП-транзисторов / Загорский А.В. // Международный научный журнал «Вестник Науки и Творчества». – 2019. – в печати.

7. Загорский, А.В. Методика определения времени наработки на отказ подзатворного диэлектрика исходя из требований серийного производства микросхем / Загорский А.В. // Международный научный журнал «Science Time». – 2019. – в печати.

8. Загорский, А.В. Современные методы ускоренных испытаний с напряжением сток-исток и анализ закономерностей процессов деградации параметров n-МОП-транзисторов / Загорский А.В. // Международный научный журнал «Научное знание современности». – 2019. – в печати.

## РЭЗІЮМЭ

Загорскі Аляксандр Віктаравіч

### Даследаванне дэградацыі току-сцёку $n$ -МОП-транзістараў пад уплывам "гарачых" носьбітаў

**Ключавыя словы:** МОП-транзістар, дэградацыя, гарачых, уплыў, характарыстыка, зарад, ток, сцёк.

**Мэта работы:** распрацоўка метадыкі правядзення паскораных выпрабаванняў на дэградацыю параметраў  $n$ -МАП транзістараў і аналіз дэградацыі на серыйна выпускаюцца КМОП інтэгральных мікрасхемах.

**Атрыманыя вынікі і іх навізна:** прадстаўлена тэарэтычнае абгрунтаванне і распрацавана метадыка кантролю дэградацыі параметраў  $n$ -МОП-транзістараў пад уплывам "гарачых" носьбітаў. Устаноўлены заканамернасці працэсаў дэградацыі параметраў  $n$ -МАП-транзістараў і абгрунтаваны выбар рэжымаў выпрабаванняў току падкладкі і напружання на сцёку, якія забяспечваюць магчымасць правядзення эфектыўнага экспрэснага кантролю. Праведзена апрабаванне метадыкі кантролю дэградацыі параметраў  $n$ -МАП-транзістараў мікрасхем з праектнымі нормамаі 1–0.35 мкм для атэстацыі серыйна выпускаюцца вырабаў. Устаноўлена змяненне велічыні параметраў  $n$ -МОП-транзістараў пры паскораных выпрабаваннях мікрасхем: велічыня парогавага напружання павялічваецца на максімальную велічыню 9.4 мВ, а ток сцёку памяншаецца на максімальную велічыню 7.7%, што дапушчальна па патрабаванням тэхнічнай дакументацыі.

**Ступень выкарыстання:** атрыманыя вынікі ўкаранёны ў навучальны працэс на кафедры праектавання інфармацыйна-кампутарных сістэм установы адукацыі «Беларускі дзяржаўны ўніверсітэт інфарматыкі і радыёэлектронікі» у навучальны курс «Праектаванне інтэгральных мікрасхем».

**Вобласць ўжывання:** серыйную вытворчасць субмікронных мікрасхем з праектнымі нормамаі да 0.18 мкм.

## РЕЗЮМЕ

### Загорский Александр Викторович Исследование деградации тока-стока *n*-МОП-транзисторов под влиянием «горячих» носителей

**Ключевые слова:** МОП-транзистор, деградация, горячих, влияние, характеристика, заряд, ток, сток.

**Цель работы:** разработка методики проведения ускоренных испытаний на деградацию параметров *n*-МОП транзисторов и анализ деградации на серийно выпускаемых КМОП интегральных микросхемах.

**Полученные результаты и их новизна:** представлено теоретическое обоснование и разработана методика контроля деградации параметров *n*-МОП-транзисторов под влиянием «горячих» носителей. Установлены закономерности процессов деградации параметров *n*-МОП-транзисторов и обоснован выбор режимов испытаний тока подложки и напряжения на стоке, обеспечивающих возможность проведения эффективного экспрессного контроля. Проведено опробование методики контроля деградации параметров *n*-МОП-транзисторов микросхем с проектными нормами 1 – 0.35 мкм для аттестации серийно выпускаемых изделий. Установлено изменение величины параметров *n*-МОП- транзисторов при ускоренных испытаниях микросхем: величина порогового напряжения увеличивается на максимальную величину 9.4 мВ, а ток стока уменьшается на максимальную величину 7.7 %, что допустимо по требованиям технической документации.

**Степень использования:** полученные результаты внедрены в учебный процесс на кафедре проектирования информационно-компьютерных систем учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» в учебный курс «Проектирование интегральных микросхем».

**Область применения:** серийное производство субмикронных микросхем с проектными нормами до 0.18 мкм.

## SUMMARY

Zagorsky Alexander Viktorovich

### Study of current-flow degradation of *n*-MOSFETs under the influence of "hot" carriers

**Keywords:** MOSFET, degradation, hot, influence, characteristic, charge, current, drain.

**The object of study:** development of methods for accelerated degradation tests of *n*-MOSFET parameters and analysis of degradation on commercially available CMOS integrated circuits.

**The results and novelty:** the theoretical substantiation is presented and the technique of control of degradation of parameters of *n*-MOSFETs under the influence of "hot" carriers is developed. Regularities of degradation processes of *n*-MOSFET parameters are established and the choice of test modes of substrate current and drain voltage providing the possibility of effective Express control is justified. Tested methods for the control of degradation parameters *n*-MOS-transistors circuits with design rules of 1 - 0.35  $\mu\text{m}$  for certification of serially manufactured products. The change in the parameters of *n*-MOSFETs during accelerated tests of chips is established: the threshold voltage is increased by a maximum value of 9.4 mV, and the drain current is reduced by a maximum value of 7.7 %, which is permissible according to the requirements of technical documentation.

**Degree of use:** the results are introduced into the educational process at the Department of information and computer systems design of the educational institution "Belarusian state University of Informatics and Radioelectronics" in the course "Design of integrated circuits".

**Sphere of application:** mass production of submicron integrated circuits with design rules to 0.18 microns.