

ИЗВЛЕЧЕНИЕ ЛОГИЧЕСКИХ УРАВНЕНИЙ ИЗ ОПИСАНИЯ КМОП СХЕМЫ НА SPICE

Черемисинов Д. И., Черемисинова Л. Д.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: cher@newman.bas-net.by

Рассматривается проблема извлечения логических уравнений из описания на SPICE КМОП схемы транзисторного уровня. Задача может служить одним из этапов задачи преобразования плоской КМОП схемы из транзисторов в формате SPICE в иерархическую схему. Последняя задача возникает при верификации лейаута СБИС путем сравнения исходного описания для синтеза транзисторной схемы со схемой, восстановленной из топологии, а также при перепроектировании (reengineering) схем. Описывается метод, реализованный в виде программы на языке C++, распознавания подсхем, являющихся сетями логических КМОП-вентилей, и формирования логических уравнений, задающих функции выходов сети.

ВВЕДЕНИЕ

SPICE (Simulation Program with Integrated Circuit Emphasis – программа моделирования, ориентированная на интегральные микросхемы) – известный симулятор для аналоговых и смешанных (аналого-цифровых) схем. Язык SPICE предоставляет средства для моделирования всех видов электронных устройств. В этом симуляторе можно моделировать все типы независимых и зависимых источников сигналов (прямоугольные, синусоидальные, кусочно-линейные и т. д.). Это позволяет описать любую схему с использованием надлежащих компонентных моделей, и симуляция описания дает очень реалистичное поведение схемы. Однако, моделирование КМОП схем на уровне транзисторов, которое обеспечивает SPICE, позволяет анализировать схемы с относительно небольшим числом транзисторов (порядка нескольких десятков тысяч), что лимитирует использование этого метода для анализа современных СБИС.

Автоматическое распознавание структуры более высокого уровня абстракции в описании схемы транзисторного уровня может быть использовано для многих задачах проектирования интегральных микросхем. Современные интегральные схемы могут содержать более сотни млн. транзисторов, и примерно такое же количество соединений между ними. Для выполнения процедуры анализа за приемлемое время можно построить по электрической схеме иерархическое структурное описание, в котором некоторые блоки заданы на логическом уровне. Блоки, являющиеся сетями логических вентилях, могут быть описаны на языке более высокого уровня, что позволит увеличить скорость моделирования. Это в свою очередь позволит анализировать схемы большей размерности. Например, Electronic Workbench MultiSim [1] позволяет выполнять совместное моделирование VHDL и Verilog с симуляцией SPICE блоков в смешанном режиме. Это позволяет имитировать логические блоки вместе с другими компонентами схемы.

I. РАСПОЗНАВАНИЕ ЛОГИЧЕСКИХ ВЕНТИЛЕЙ В СХЕМЕ ИЗ КМОП-ТРАНЗИСТОРОВ

В статье [2] описывается метод декомпиляции КМОП схемы из транзисторов – замены представления схемы на низком (транзисторном) уровне более высокоуровневым ее представлением (на уровне логических элементов). Исходными данными для программы служит плоский нет-лист КМОП схемы в формате SPICE, имя головной схемы и имена цепей питания. Результатом является иерархическое SPICE-описание, в которое включены модели всех идентифицированных КМОП-вентилей. Для построения иерархического структурного описания в схеме выделяются наборы взаимосвязанных транзисторов в качестве отдельных компонентов. После замены подсхем из транзисторов элементами описания схемы становится двухуровневым. Все шаги алгоритма декомпиляции КМОП схемы из транзисторов выполняются за линейное время от размерности исходных данных, поэтому программа имеет достаточное быстродействие, чтобы обрабатывать схемы из 100 тыс. транзисторов за несколько минут на персональной ЭВМ.

Технология КМОП позволяет реализовать функциональные элементы схемы различными способами. Существует множество «стилей» для реализации логических элементов: static, dynamic, Domino, CVSL, pass transistor logic [3]. Простейшая цифровая схема – это передаточный элемент из одного МОП-транзистора, который обеспечивает управляемую передачу двоичного сигнала. Это пассивный элемент, поскольку он не обеспечивает усиление входного (коммутируемого) сигнала. Усиления двоичных сигналов обеспечивает схема (КМОП-вентиль), в которой потенциал выхода вентиля «подтягивается» к потенциалу шины «земли» или к потенциалу шины питания. Блок, «подтягивающий» потенциал выхода вентиля к цепи нулевого потенциала называется pull-down network, соответственно, блок, «подтягивающий» потенциал выхода вентиля к цепи питания – это pull-up network.

Стили логических элементов различаются архитектурой этих блоков. В любом случае логический вентиль – это группа транзисторов, соединённых по постоянному току (channel-connected component – CCC) [4]. В программе [2] распознаются только логические вентиля статического стиля, как самого распространённого.

II. ФОРМИРОВАНИЕ СЕТЕЙ ЛОГИЧЕСКИХ ВЕНТИЛЕЙ

В формате SPICE электрические схемы состоят из элементов, которые соединены друг с другом цепями, и естественной формальной моделью описания схемы является помеченный неориентированный двудольный граф. Одну долю составляют выводы элементов и порты схемы, а другую – соединения между выводами, т.е. цепи. Метод декомпиляции КМОП схемы из транзисторов [2] строит схему, в которой для каждого логического вентиля известна логическая функция, реализуемая на его выходе.

Сетью логических вентиляей называют такую модель дискретного устройства, которая отражает его внутреннее строение с точностью до функций, выполняемых его элементами. Сеть образуется путем соединения вентиляей: указываются линии связи, по которым выходные сигналы одних вентиляей поступают на входные полюсы других элементов. Задать логическую сеть – значит указать ее входные и выходные полюсы, структуру связей между вентилями и булевы функции, реализуемые этими элементами. Моделью сети логических вентиляей является ориентированный ациклический граф. Каждой вершине графа соответствует некоторая переменная. Переменные, соответствующие входам сети, называются входными, а соответствующие выходам сети – выходными. Переменные, соответствующие остальным вершинам сети (выходам вентиляей), называются промежуточными.

Графы сетей логических вентиляей в двухуровневом SPICE описании формируются в процессе нахождения компонент связности в двудольном графе SPICE описания. Каждая компонента связности в двудольном неориентированном графе трансформируется в ориентированный граф логической сети. Трансформация осуществляется в процессе обхода графа двухуровневого SPICE описания по цепям входов и выходов логических вентиляей.

Этот обход осуществляется методом поиска в ширину (breadth-first search, BFS). Поиск в ширину позволяет построить сеть, ранжированную лексикографически. К нулевому рангу относятся входы сети, к первому рангу относятся промежуточные вершины, у которых входами вентиляей являются вершины нулевого ранга. Входами элементов i -го ранга являются выходы элементов $i-1$ ранга и возможно входные полюсы и выходы элементов ранга меньше $i-1$.

III. ПОСТРОЕНИЕ УРАВНЕНИЙ

От лексикографически упорядоченной сети логических вентиляей легко перейти к формулам логических уравнений, задающих функцию выхода выходных полюсов сети. Аналитическая запись системы передаточных функций сети логических вентиляей строится путем последовательной подстановки выходных функций вентиляей (начиная с элементов первого ранга). При этом в формулу функции, реализуемой рассматриваемым вентиляем, вместо входных переменных вентиля подставляются переменные входных полюсов сети или формулы выходных функций вентиляей, выходы которых соединены с входами рассматриваемого вентиля.

Описанный метод формирования сетей логических элементов использован в программе, преобразующей двухуровневое SPICE описание в трехуровневое, в котором элементами служат найденные сети логических вентиляей. В целом разработанная компьютерная программа для автоматического извлечения иерархии из списка соединений цифровой КМОП схемы транзисторного уровня выполняет следующую последовательность шагов: 1) анализ исходного описания SPICE и построение хеш-таблицы для хранения двудольного цветного графа схемы; 2) факторизация двудольного цветного графа на сети связанных по постоянному току транзисторов (CCC); 3) распознавание правильных CCC, нахождение для них соответствующих логических функций в форме алгебраической формулы и построение хеш-таблицы для хранения экземпляров КМОП вентиляей; 4) генерирование двухуровневого описания SPICE; 5) построения сетей из вентиляей двухуровневого описания; 6) генерирование трехуровневого описания SPICE, в котором элементами служат найденные сети логических вентиляей и построение формул логических уравнений, задающих функцию выхода выходных полюсов сети.

СПИСОК ЛИТЕРАТУРЫ

1. Moon Gi Seok, Daejin Park, Geun Rae Cho, Tag Gon Kim Framework for simulation of the Verilog/SPICE mixed model: Interoperation of Verilog and SPICE simulators using HLA/RTI for model reusability // 22nd International Conference on Very Large Scale Integration, VLSI-SoC, Playa del Carmen, Mexico, October 6-8, 2014. pages 1-6, 2014.
2. Черемисинов Д.И., Черемисинова Л.Д. Декомпиляция КМОП схемы из транзисторов в формате SPICE // Проблемы разработки перспективных микро- и нанoeлектронных систем. – 2018. Сб.трудов / под общ. ред. акад. РАН А.Л. Стемковского. – М.: ИП-ПМ РАН, 2018. Часть 1. – С. 2–8.
3. Rabaey, J. M., Chandrakasan A., Nikolic B. Digital Integrated Circuits – Prentice Hall Press, 2008. – P. 702.
4. Bushnell M., Agrawal Vishwani. Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI – Springer Science Business Media, 2006. – 690 p.