

УДК 681.32

ГЛУБОКИЙ АНАЛИЗ И ДЕКОМПИЛЯЦИЯ КМОП-СХЕМЫ НА ТРАНЗИСТОРНОМ УРОВНЕ В ИЕРАРХИЧЕСКУЮ СХЕМУ ИЗ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ



Д.И. Черемисинов

*Ведущий научный сотрудник ОИПИ НАНБ
кандидат технических наук, доцент
cher@newman.bas-net.by*



Л.Д. Черемисинова

*Главный научный сотрудник ОИПИ НАНБ
доктор технических наук, профессор
cld@newman.bas-net.by*

Д.И. Черемисинов

Окончил Томский государственный университет, кандидат технических наук, доцент. Круг научных интересов: программирование, логическое проектирование и тестирование дискретных систем управления, реализация параллельных алгоритмов управления.

Л.Д. Черемисинова

Окончила Томский государственный университет, доктор технических наук, профессор. Круг научных интересов: дискретная математика, логическое проектирование и тестирование дискретных систем управления, реализация параллельных алгоритмов управления.

Аннотация. Рассматривается проблема декомпиляции плоской КМОП схемы из транзисторов, заданной в формате SPICE, в иерархическую схему из логических элементов. Задача возникает при верификации лейаута СБИС, а также при перепроектировании схем. Рассматривается наиболее общий и сложный в теоретическом плане случай, когда библиотека исходных логических элементов не известна. Такая ситуация имеет место при перепроектировании схем транзисторного уровня, восстановленных из топологии, на новую технологическую библиотеку. Результатом работы процедуры декомпиляции является иерархическое SPICE-описание, состоящее из описаний идентифицированных логических элементов, соответствующих подсхемам взаимосвязанных транзисторов. Предлагается метод и программа распознавания подсхем, являющихся КМОП-вентильями.

Ключевые слова: КМОП схемы, верификация, перепроектирование СБИС, формат SPICE, распознавание подсхем, канонизация графов.

Введение. Для представления цифровых интегральных схем существует несколько уровней абстракций. Описание верхнего функционального уровня состоит из функциональных блоков, таких как защелки, триггеры, сумматоры, счетчики, каждый из них может состоять из более простых логических элементов. Логический уровень использует в качестве строительных блоков для описания схем логические элементы. Транзисторный уровень описывает схему на физическом уровне с точки зрения транзисторов и их взаимосвязей. Следующий уровень, на котором изготавливается набор фотошаблонов и собственно интегральная схема, является практически необратимым, так как процесс производства современной СБИС стоит очень дорого: только изготовление набора фотошаблонов требует затрат в несколько миллионов долларов. Поэтому прежде чем отдать проект на производственную линию для изготовления интегральной схемы разработчик должен спроектировать надежную электрическую схему и убедиться в этом, детально проверив ее в разных режимах работы и при воздействии всех возможных дестабилизирующих факторов. Перед изготовлением фотошаблонов обязательно выполняется

верификация топологии СБИС (LVS – layout versus schematic verification) проектируемой схемы.

Этап тестирования результатов проектирования становится все более ответственным этапом проектирования, на котором выявляются ошибки проектирования или устанавливается, что описание проекта на уровне транзисторов, которое будет реализовано «в кремнии», полностью соответствует спецификации проектируемого устройства. Известно, что в большая часть (до 70%) времени проектирования сложной системы используется именно на проведение верификации проектов. Недостатки верификации могут перечеркнуть все усилия разработчиков, нарушить сроки проектирования и, что наиболее важно, иметь результатом ненадежное устройство. При этом наибольшей трудоемкостью характеризуются задачи верификации схем транзисторного уровня в силу громадной сложности этих схем (сотни миллионов транзисторов) и низкого быстродействия средств их анализа. Проведение исследований в этом направлении остается актуальным в связи с отсутствием практически эффективных методов решения таких задач. Традиционный метод проверки, такой как моделирование схем переключательного уровня, является очень дорогим с точки зрения необходимых вычислительных ресурсов, так как симуляторы схем на уровне транзисторов, такие как SPICE (Simulation Program with Integrated Circuit Emphasis), работают крайне медленно для переключательных схем даже относительно небольших схем. А современные интегральные схемы могут содержать более сотни миллионов транзисторов, и примерно такое же количество соединений между ними.

Дополнить традиционные методы моделирования могут методы верификации, позволяющие установить функциональную эквивалентность двух описаний проекта на языках более высокого уровня. Схема уровня логических элементов является функциональным представлением и может использоваться для доказательства функциональной эквивалентности двух описаний схемы. Однако схема переключательного уровня является чисто структурным представлением. В связи с этим для того чтобы сделать возможной проверку функциональной эквивалентности, необходимо сначала получить функциональность, реализуемую транзисторной схемой. Задача решается путем восстановления (экстракции) из плоского структурного описания схемы транзисторного уровня иерархического структурного описания, блоки которого представляют логические элементы.

Верификация топологии интегральных схем выполняется в два этапа. На первом этапе восстанавливается описание электрической схемы СБИС из описания топологии. Электрическая схема цифровой СБИС, изготавливаемой по КМОП технологии, содержит только униполярные транзисторы, т.е. является плоским структурным описанием. Затем, во время второго этапа, электрическая схема проверяется с помощью статической верификации или с помощью моделирования [1]. Замена хотя бы части транзисторной схемы схемой более высокого уровня (уровня логических элементов значительно меньшей сложности) приводит к значительному увеличению скорости моделирования, а значит, позволяет анализировать транзисторные схемы большой размерности. К настоящему времени разработаны средства совместного моделирования схем разного уровня представления. Например, Electronic Workbench MultiSim [2] допускает совместное моделирование блоков описаний на языках VHDL, Verilog и SPICE, имитируя логическое и транзисторное описания частей одной и той же схемы.

Результаты моделирования и верификации используются проектировщиком, чтобы изменить описание топологии для устранения найденных ошибок. Для выполнения процедуры анализа за приемлемое время требуется построить по электрической схеме иерархическое структурное описание.

Средства распознавания высокоуровневых структур [3] в сетях транзисторов представляют собой ценный инструмент автоматизированного проектирования СБИС.

Проблема извлечения подсхем из сети транзисторов изучается уже в течение долгого времени. Первоначально автоматические экстракторы подсхем главным образом использовались для функциональной проверки результата физического проектирования относительно результата логического проектирования. Позже, экстракторы, извлекая структуры более высокого уровня, позволили ускорить моделирование транзисторной схемы. Извлечение иерархии также является основой логического перепроектирования на новый технологический базис [4].

Структурный анализ цифровых схем в прошлом широко исследовался [5]. Для распознавания подсхем в литературе описаны два класса подходов: библиотечные подходы и алгоритмические подходы. Подходы, основанные на библиотеке, используют схемы из библиотеки как шаблоны для распознавания подсхем, и их способность распознавания ограничена теми подсхемами, которые содержатся в библиотеке [6]. В алгоритмических подходах фрагмент схемы распознается как подсхема, если имеется возможность вычислить его логическую функцию [5]. В дальнейшем задача декомпиляции рассматривается для случая, когда библиотека подсхем не известна.

В настоящей работе разработаны и комплексированы в единый алгоритм извлечения логических подсхем из сети транзисторов методы и программные средства решения следующих задач: 1) поиск подсхем транзисторов, связанных по постоянному току; 2) распознавание подсхем, реализующих элементы, на основе набора правил, когда библиотека логических элементов не известна; 3) поиск часто встречающихся транзисторных подсхем и выделение их в качестве элементов. Предлагаемые методы для решения задачи декомпиляции сводятся к решению задач на помеченных графах большой размерности: нахождению компонент связности графов, проверки изоморфизма графов и изоморфных вложений.

Предлагаемый метод декомпиляции КМОП схемы из транзисторов реализован в виде программы на языке C++. Разработанный декомпилятор прошел апробацию на практических примерах [7].

Постановка задачи. Исходными данными для программы декомпиляции служит плоский нетлист КМОП схемы в формате SPICE, имя головной схемы и имена цепей питания. Результатом является иерархическое SPICE-описание, в которое включены модели всех идентифицированных КМОП-вентилей. Все шаги предлагаемого алгоритма декомпиляции КМОП схемы из транзисторов выполняются за линейное время от размерности исходных данных, поэтому программа имеет достаточное быстродействие, чтобы обрабатывать схемы из 100 тыс. транзисторов за несколько минут на персональной ЭВМ.

Предложенный метод распознавания подсхем извлекает структуру функционального уровня из схемы транзисторного уровня, собирая транзисторы в подсхемы (рисунок 1), когда библиотека логических элементов не известна. Метод реализует трехэтапный процесс. Сначала, используется структурный подход, при котором распознаются группы транзисторов, связанных по постоянному току. Затем из этих групп выделяются правильные, которые представляют собой некоторые КМОП-вентили. И, наконец, на множестве оставшихся транзисторов ищутся и выделяются в качестве псевдо элементов часто встречающиеся транзисторные подсхемы, разбивая схему на минимальное количество классов идентичных функциональных псевдо элементов.

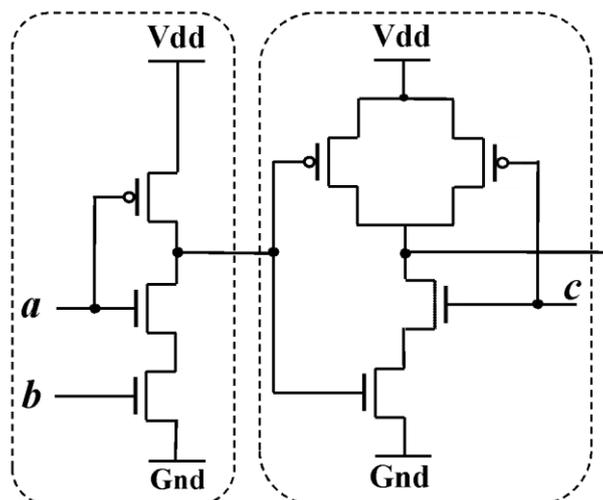


Рисунок 1. – Выделение в МОП схеме двух подсхем из транзисторов, связанных по постоянному току

Декомпиляция выполняется следующей последовательностью шагов.

1. Анализ исходного SPICE-описания плоской транзисторной схемы и построение графовой модели SPICE-описания – двудольного помеченного графа и иерархических хеш-таблиц для хранения синтаксических элементов анализируемой схемы.

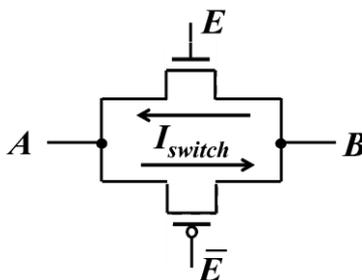


Рисунок 2. – Передаточный элемент

2. Поиск одиночных МОП-транзисторов, групп последовательно соединенных идентичных МОП-транзисторов (одного типа и с одним и тем же сигналом на затворе) и передаточных элементов (рисунок 2), представляющих собой пары связанных n-МОП и p-МОП [8].

3. Факторизация двудольного помеченного графа на группы связанных по постоянному току транзисторов (рисунок 1) .

4. Распознавание правильных групп транзисторов, которые являются КМОП-вентилем, и нахождение реализующей их булевой функции в виде алгебраической формулы (рисунок 3), а также классификация экземпляров вентиля, описываемых неизоморфными графами вследствие взаимозаменяемости стока и истока и несимметричности входов.

5. Выделение изоморфных транзисторных подсхем на множестве нераспознанных групп транзисторов.

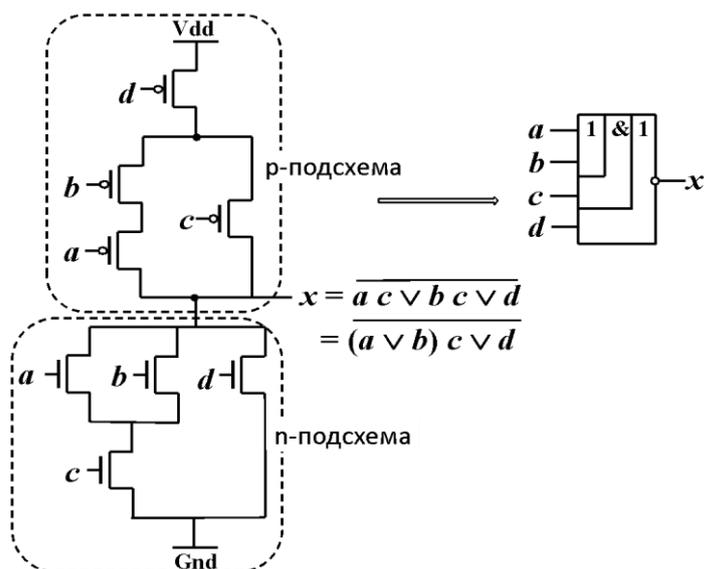


Рисунок 3. – Транзисторная схема, реализуемая им функция в виде факторизованной ДНФ и КМОП элемент

Модель схемы на транзисторном уровне. Одним из основных форматов для обмена электрическими схемами является SPICE (Simulation Program with Integrated Circuit Emphasis – программа моделирования радиоэлектронных компонентов). Этот формат используется в разработанном декомпиляторе для представления исходных транзисторных схем и полученных иерархических схемах из логических элементов.

Главной частью описания схемы в формате SPICE является список транзисторов, в котором для каждого вывода транзистора указано имя цепи, соединяющей его с остальными частями схемы [9]. Каждый транзистор имеет четыре вывода: сток, исток, затвор и подложка.

Общая форма описания униполярного транзистора в формате SPICE (рис. 4) имеет следующий вид:

M<name> <nd> <ng> <ns> <nb> <model-name> [L=value] [W=value],

где сток, затвор, исток и подложка соединены с цепями nd, ng, ns, и nb соответственно, model-name – тип транзистора, а L длина и W ширина. nd, ng, ns и nb – метки сети, связанные с выводами стока, затвора, истока и подложки соответствующего транзистора.

Например, список соединений (без каких-либо технических подробностей) КМОП инвертора, показанного графически на рисунок 4, выглядит следующим образом:

```
* subcircuit example
.subckt inverter in out 1
mp out in 1 1 mupmos
mn out in 0 0 mynmos
.model mupmos pmos( ... )
.model mynmos nmos( ... )
.ends
```

Список транзисторов в этом описании интерпретируется как задание бинарного отношения в виде списка пар. Например, «mp out in 1 1» является сокращенной записью пар

связей (mp.nd, out), (mp.ng, in), (mp.ns, 1), (mp.nb, 1), в которых имя «mp» транзистора вынесено.

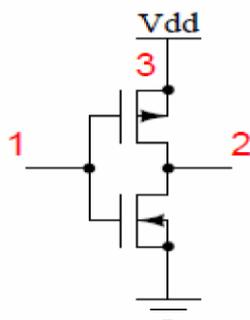


Рисунок 4. – Описание инвертора в формате SPICE и его электрическая схема

Электронные схемы на транзисторном уровне могут быть представлены в виде помеченных графов. Простой моделью для электрических схем является гиперграф, в котором вершины соответствуют транзисторам, а ребра – соединениям между ними. Однако для целей декомпиляции описания схемы на транзисторном уровне более удобной моделью является двудольный граф. Вершины двудольного графа разделены на два множества. Одно множество вершин составляют выходы транзисторов и выходы всей электрической схемы (входные и выходные порты схемы), а другое множество – соединения между выводами, т.е. цепи. Цепь является оптимальным способом представления связи между произвольным количеством транзисторов. Примером являются цепи питания и земли. К этим цепям подключено большинство элементов схемы.

Использование представления схемы в виде гиперграфа потребует значительно большего объема памяти при программной реализации, чем представление в виде двудольного графа. Можно сказать, что по требованию к объему памяти сложность первой структуры оценивается как $O(n^2)$, в то время как сложность второй – как $O(n)$, где n – число элементов схемы. Кроме того, двудольный граф является естественной формальной моделью описания схемы, заданной в формате SPICE, в котором электрические схемы состоят из элементов, которые соединены друг с другом соединениями – цепями (рисунок 1).

Разбиение множества транзисторов на группы связанных по постоянному току. КМОП технология позволяет реализовать функциональные элементы разными способами (стилями). Простейшим элементом является передаточный вентиль, состоящий из одного МОП-транзистора, он, однако, не обеспечивает усиление входного сигнала. Усиление сигналов обеспечивается схемой, в которой потенциал выхода элемента «подтягивается» к потенциалу шины «земли» или к потенциалу шины «питания». Элемент таким образом представляет собой группу транзисторов, связанных по току [10].

Группой транзисторов, соединённых по постоянному току, является произвольная схема из МОП-транзисторов с тремя типами внешних соединений:

- 1) Входы группы подаются только на затворы транзисторов группы;
- 2) Выходы группы подаются только на затворы транзисторов других групп;
- 3) Имеются соединения с цепями шины «питания» VDD и шины «земли» GND.

В МОП схеме группа транзисторов, соединённых по постоянному току, соответствует компоненте связности двудольного графа исходной транзисторной схемы, в которой предварительно удаляются выводы затворов (и соответствующие цепи), а также цепей питания VDD и GND, а выводы стока и истока каждого транзистора соединяются ребром. Алгоритм поиска компонент связности в таком графе построен на основе алгоритма «поиск сначала в глубину» (DFS). На рисунке 1 приведены две группы транзисторов, связанных по постоянному току.

Распознавание подсхем, реализующих КМОП-вентили. КМОП-вентиль состоит из n - и p -подсхем, состоящих соответственно из n -МОП и p -МОП транзисторов, включенных последовательно между цепями питания и разделенных выходной цепью (рисунок 3).

Логическая функция КМОП-вентили определяется отрицанием функции проводимости транзисторов n -МОП блока (или функции проводимости p -МОП блока при инвертировании входных переменных). Функция проводимости представляется в виде дизъюнктивной нормальной формы (ДНФ), которая задает список путей от цепи выхода до цепи питания (рисунок 3). Каждый путь представляется конъюнкцией входных переменных, управляющих проводимостью транзисторов (цепь, соединённая с затвором), входящих в этот путь.

Группа транзисторов, соединённых по току, представляет собой схему КМОП-вентиль, если

- 1) Выход является единственной цепью, соединяющей p - и n - подсхемы;
- 2) Группа содержит обе цепи питания VDD и GND;
- 3) Все пути из цепи выхода доходят до цепей питания (и наоборот);
- 4) Внутренние цепи группы не содержат выводов транзисторов, ей не принадлежащих;
- 5) Одинаковое число транзисторов в n - и p -подсхемах и одни и те же входы;
- 6) Функции проводимости n - и p -подсхем, представляемые в виде ДНФ взаимно инверсны (рисунок 3).

Для классификации схемы строится скобочная форма ДНФ функции проводимости в каноническом виде путем ее алгебраической факторизации [11]. В результате получается алгебраическое представление функции КМОП-вентили элемента в скобочной форме (рисунок 3).

При классификации КМОП-вентилей не требуется решать задачу изоморфизма соответствующих графов, но приходится учитывать не только реализуемые ими функции, но и некоторые особенности топологической реализации вентилей, которые требуют различать некоторые группы КМОП-вентилей как топологически не изоморфные на уровне транзисторов или одинаковые [7]. Это обеспечивает изоморфность исходной и декомпилированной схем. Например, разница между КМОП-вентилем, хотя и описываемыми одинаковыми логическими функциями, вызывается, например, отсутствием симметрии входов (рисунок 5) у реализующих их транзисторных подсхем (хотя сами КМОП-вентили и реализуют симметрические функции); взаимозаменяемостью стока и истока МОП-транзисторов и др. И наоборот, транзисторные подсхемы, реализующие КМОП-вентили и имеющие закороченные входы (рисунок 6), являются изоморфными аналогичным подсхемам с незакороченными входами.

Выделение изоморфных транзисторных подсхем сводится к задаче установления изоморфизма графов, соответствующих сравниваемым подсхемам. Как уже говорилось выше, подсхемы в формате SPICE эквивалентны помеченным двудольным графам. Причем МОП схемы имеют два типа транзисторов (n -МОП и p -МОП), каждый из них имеет по четыре вывода, соответствующие стоку, затвору, истоку и подложке. Выводы транзисторов и порты схемы (входы, выходы всей схемы) соответствуют вершинам первой доли двудольного графа. Соответственно каждая из вершин первой доли может иметь одну из восьми возможных пометок, если она соответствует выводу транзистора или пометку, большую 8, если соответствует портам схемы.

На этапе поиска изоморфных транзисторных подсхем имеется множество помеченных графов, причем они являются разреженными [12]. Для упрощения задачи канонизации [13] графы, представляющие подсхемы, дополнены ребрами, связывающими все выходы для каждого транзистора.

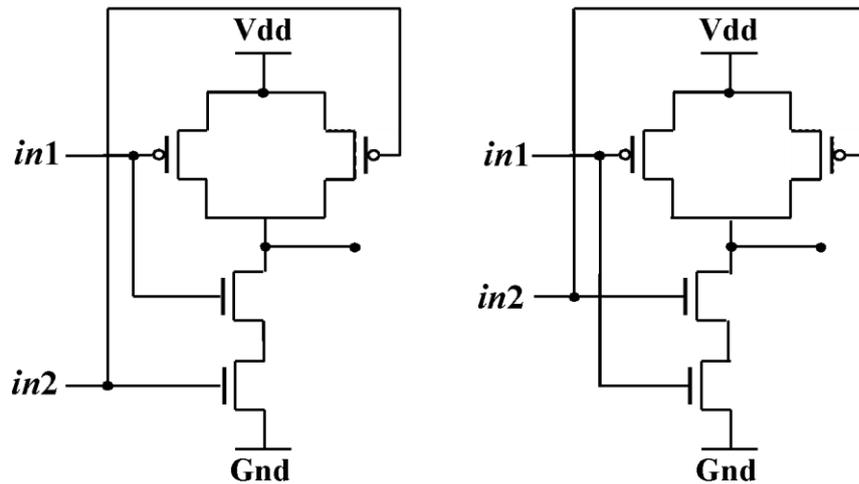


Рисунок 5. – Неизоморфные КМОП реализации элемента И-НЕ

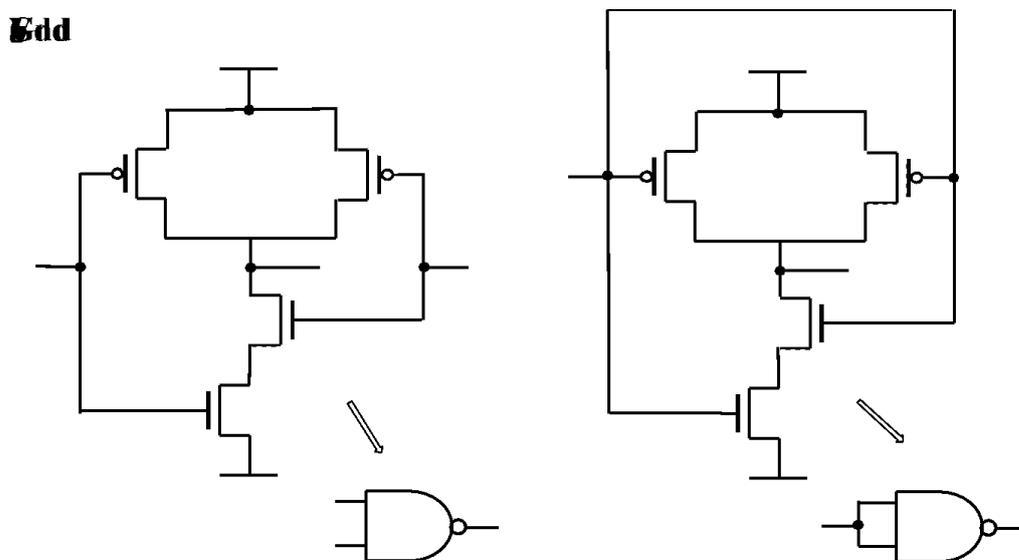


Рисунок 6. – Изоморфные КМОП реализации элемента И-НЕ: нормального вида и с закороченными входами

Помеченные графы $G = (V, E, f)$ и $H = (W, F, g)$, заданные множествами V и U вершин, E и F ребер и пометками вершин $f: V \rightarrow P$ и $g: W \rightarrow P$, являются изоморфными, если такая биекция $\Pi: V \rightarrow W$, что для любых вершин $v_i, v_j \in V$ их образы $\Pi(v_i)$ и $\Pi(v_j)$ смежны в H , если и только если они смежны в G , и если $w = \Pi(v)$, то $f(v) = g(w)$. Необходимым (но не достаточным) условием изоморфизма двух графов является равенство числовых характеристик графов, называемых инвариантами. В качестве таких инвариантов вершин принимаются их степени (полустепени) и число вершин, отстоящих от данной на определенном расстоянии.

В каждом классе попарно изоморфных графов выбирается один граф, называемый каноническим видом любого графа из этого класса. Проверка изоморфизма пары графов сводится к построению и сличению их канонических видов, получаемых путем канонизации графов. Канонизация графа производится путем упорядочения вершин графа в соответствии с

инвариантами его вершин, не зависящими от исходной нумерации вершин. Канонизация графа подсхемы и построение по нему представления в формате SPICE, позволили свести проверку изоморфизма двух подсхем к проверке совпадения их текстовых описаний.

На этапе распознавания изоморфных графов благодаря отмеченным выше особенностям графов, представляющих транзисторные схемы, удалось предложить метод, позволяющий канонизировать их до конца. Вместо задания канонизированного графа в формате SPICE для него вычислялся хеш, представляющий каноническую маркировку вектора степеней вершин графа как последовательности чисел в битовую строку, имеющую длину слова. Графы изоморфны, если хэши их канонизированных форм совпадают.

Испытания программы. Выполнено две группы экспериментов. Для первого эксперимента использовались схемы, полученные автоматическим синтезом в САПР. В этом случае известна технологическая библиотека. В эксперименте использовалось около десятка комбинационных и последовательностных схем сложностью от сотни до 10 тыс. транзисторов. Наблюдалось стопроцентное покрытие схемы транзисторного уровня логическими вентилями.

Во втором эксперименте использовалось около десятка схем из практики проектирования, извлеченных из топологии. Устройства содержали от 5 до 50 тыс. транзисторов. В некоторых схемах кроме МОП-транзисторов имелись и другие примитивные элементы (биполярные транзисторы и RC элементы). Здесь наблюдалось покрытие схемы транзисторного уровня логическими вентилями на уровне 60–70 процентов.

Верификация правильности декомпиляции осуществлялась программой netgen [14]. Часть декомпилированных схем была верифицирована Mentor Graphics Calibre nmLVS. Во всех случаях декомпилированная схема успешно проходила проверку LVS.

На компьютере с четырёхядерным процессором Intel i5-4460 3.20GHz с оперативной памятью 16,0 ГБ декомпиляция схемы с 50 тыс. транзисторов выполнялась за время меньше минуты.

Заключение. В работе решены сложные в комбинаторном плане задачи, позволившие создать программные средства для решения задачи декомпиляции КМОП-схемы на уровне транзисторов в иерархическую схему из логических элементов. Практическая значимость работы состоит в том, что разработанные алгоритмы и программные средства могут быть использованы для решения важных практических задач из области проектирования СБИС: 1) функциональной верификации результатов физического проектирования; 2) ускорения процесса моделирования схем на транзисторном уровне; 3) перепроектирования (reengineering) СБИС на новый технологический базис.

Список литературы

- [1]. Logic Gate Recognition in Guardian LVS – Silvaco. In http://www.silvaco.com/content/appNotes/iccad/2-003_LogicGates.pdf (access date: 4.11.2019).
- [2]. Seok, Moon Gi. Framework for simulation of the Verilog/SPICE mixed model: Interoperation of Verilog and SPICE simulators using HLA/RTI for model reusability / Moon Gi Seok, Daejin Park, Geun Rae Cho, Tag Gon Kim // 22nd International Conference of Very Large Scale Integration (VLSI-SoC), Mexico, Oct. 6–8, 2014, DOI:10.1109/VLSI-SoC.2014.7004185
- [3]. Nian, Zhang. The subcircuit extraction problem / Zhang Nian, D.C. Wunsch, F. Harary // IEEE Potentials. – 2003. – Vol. 22. – № 3. – P. 22. – 25.
- [4]. Hunt, V.D. Reengineering: Leveraging the Power of Integrated Product Development / V.D. Hunt. – Wiley. – 1993. – 283 p.
- [5]. Yang, L. FROSTY: A program for fast extraction of high-level structural representation from circuit description for industrial CMOS circuits / L. Yang, C-J.R. Shi // Integration, the VLSI Journal. – 2006. – V. 39. – № 4. – P. 311–339.
- [6]. Krasilnikova, L.V. Partition of a transistor circuit into library modules from a given library / L.V. Krasilnikova, Yu.V. Pottosin // Proceedings of the Second Intern. Conf. on Computer-Aided Design of Discrete Devices (CAD DD'97), Minsk, Republic of Belarus, November 12–14, 1997. – 1997. – Vol. 1. – P.94-97.

- [7]. Черемисинов, Д.И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – 2019. – Том 48. – № 3. – С. 224–234. DOI: 10.1134/S0544126919030037.
- [8]. Рабаи, Ж.М. Цифровые интегральные схемы. Методология проектирования, 2-е издание: Пер с англ. / Ж.М. Рабаи, А. Чандраксан, Н. Борижович. – М.: ООО «И.Д. Вильямс». – 2007. – 912 с.
- [9]. Baker, R. J. CMOS Circuit Design, Layout, and Simulation / R. J. Baker. –Wiley-IEEE Press, Third Edition. – 2010. – 1214 p.
- [10]. Bushnell, M. Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI / M. Bushnell, V. Agrawal. – Springer Science & Business Media. – 2006. – 690 p.
- [11]. Черемисинова, Л.Д. Синтез и оптимизация комбинационных структур СБИС / Л.Д. Черемисинова. – Минск: ОИПИ НАН Беларуси. – 2005. – 235 с.
- [12]. Junttila, T. Engineering an Efficient Canonical Labeling Tool for Large and Sparse Graphs / T. Junttila T., P. Kaski. – Proceedings of the Meeting on Algorithm Engineering & Experiments, New Orleans, Louisiana, January 6, 2007. – P. 135–149.
- [13]. Закревский, А.Д. Логические основы проектирования дискретных устройств / Закревский А.Д., Поттосин Ю.В., Черемисинова Л.Д. – М.: Физматлит. – 2007. – 589 с.
- [14]. Netgen version 1.5 Tutorial. In URL: <http://opencircuitdesign.com/netgen/tutorial/tutorial.html> (access date: 16.02.2018).

DECOMPILATION OF CMOS CIRCUIT AT THE TRANSISTOR LEVEL INTO A HIERARCHICAL CIRCUIT OF LOGIC ELEMENTS

D.I. Cheremisinov

Leading researcher of uiip of nas of belarus, candidate of technical sciences, associate professor

L.D. Cheremisinova

Principal researcher of UIIP of NAS of Belarus, doctor of technical sciences, professor

United Institute of Informatics Problems of National Academy of Sciences of Belarus, Republic of Belarus {cher, cld}@newman.bas-net.by

Abstract. The problem of decompilation of a flat CMOS transistor circuit in SPICE format into a hierarchical network of logic elements is considered. The problem arises in VLSI layout verification as well as in the circuit reengineering. The most general and theoretically complex case is considered when the library of logic elements is not known. This situation occurs when the transistor-level circuits are redesigned to a new technology basis. The result of the decompilation procedure is a hierarchical SPICE description consisting of logic element descriptions corresponding to recognized transistor subcircuits. The method and its program implementation for recognizing subcircuits that are CMOS gates are proposed.

Keywords: CMOS circuits, verification, circuit reengineering, SPICE format, subcircuit recognition, graph canonization.