

## ФИЗИЧЕСКОЕ ПРОТОТИПИРОВАНИЕ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ

Францкевич К. Э.

Белорусский государственный университет информатики и радиоэлектроники  
г. Минск, Республика Беларусь

Стемпицкий В. Р. – кандидат технических наук, доцент

Аннотация. Микропроцессоры и микроконтроллеры являются одной из наиболее динамично развивающихся областей современной электронной техники. Развитие вычислительной техники привело к разработке языков описания цифровой аппаратуры. Языки описания аппаратуры являются неотъемлемой частью САПР, особенно для таких сложных схем, как специализированные интегральные схемы, микропроцессоры и программируемые логические устройства. Моделирование при помощи HDL (Hardware Description Languages) позволило инженерам работать на более высоком уровне абстракции, чем моделирование на уровне схемы, и, следовательно, упростить моделирование проектов, состоящих из тысяч транзисторов и более.

Быстрый рост степени интеграции и функциональной сложности современных электронных устройств привел к необходимости совершенствования и развития методов проектирования больших и сверхбольших интегральных схем (БИС и СБИС).

Поскольку современные СБИС содержат миллионы полупроводниковых структур на кристалле, широко использовавшийся ранее метод поэлементного проектирования архитектуры вычислительных схем по восходящей методологии не в состоянии обеспечить бездефектное проектирование сложных систем в строго установленные, приемлемые сроки. Кроме того, данная методология не обеспечивает возможность описания программных средств и учет этого описания при проектировании. Ошибки, выявленные на верхних уровнях представления, приводят к необходимости повторного выполнения этапов маршрута проектирования, начиная с уровня, на котором были допущены просчеты.

Для решения этих проблем в последние десятилетия появился новый подход для проектирования интегральных схем – подход с использованием методологии нисходящего проектирования, свободный от перечисленных недостатков. Проектирование сверху вниз описывается на многоуровневом иерархическом представлении устройств, и разработка ведется в соответствии с системной иерархией от общего описания системы к детальному описанию ее компонент.

Под проектированием аппаратуры понимается процесс разработки технической документации, на основании которой может быть изготовлено устройство (микросхема, печатная плата), удовлетворяющее заданным требованиям (техническому заданию). Требования задают функциональность устройства, размеры, потребляемую мощность, диапазон рабочих температур и другие характеристики. Основным типом требований, которые придают устройству осмысленность, являются функциональные требования. Они определяют, что устройство должно делать, не вдаваясь в детали, как оно будет это делать, и как, по какой технологии, оно будет изготовлено. В общих словах, проектирование можно рассматривать как синтез системы с заданной функциональностью на определенной элементной базе при выполнении заданных ограничений.

Различают следующие основные этапы процесса проектирования аппаратуры:

1. Поведенческое проектирование (уровень архитектуры).
2. Детальное проектирование (уровень регистровых передач).
3. Логический синтез (уровень логических вентилей).
4. Физический синтез (уровень транзисторов).

Основным средством поведенческого проектирования (первый этап) являются языки программирования высокого уровня (C/C++) и языки системного проектирования (SystemC, SystemVerilog). Результатом этого этапа, помимо уточнения требований и создания соответствующей документации, является программный эмулятор разрабатываемой аппаратуры. Важно отметить, что такие эмуляторы используются для верификации в качестве эталонных моделей.

На втором этапе с использованием языка описания аппаратуры (Verilog, VHDL) предельно точно описывается логическая структура и функционирование устройства. Языки описания аппаратуры являются формальной записью, которая может быть использована на всех этапах разработки цифровых электронных систем. Это обусловлено тем, что язык легко воспринимается и машиной, и человеком. Он может использоваться на этапах описания, верификации, синтеза и тестирования аппаратуры, а также передачи данных о проекте, его модификации и сопровождения. Широко распространенным подходом, применяемым при построении аппаратуры, является синхронизация подсистем с помощью так называемого синхроимпульса (тактового сигнала), который передается во все модули устройства и управляет пересылками сигналов внутри модулей и между ними. Такое описание называется моделью уровня регистровых передач (RTL, register transfer level). Уровень RTL – это уровень графического изображения схемы, достаточно удаленный от низового уровня транзисторов, когда схема изображается, в основном, с помощью регистров, триггеров, мультиплексоров, дешифраторов, цифровых компараторов, сумматоров и буферных элементов с минимальным привлечением простейших схем И, ИЛИ, ИсключИЛИ к рисованию RTL-схем.

Программное обеспечение современных САПР для больших структурируемых (иерархических) проектов пополняет свои RTL-схемы дополнительными блоками, скрывающими RTL-схему младшего по проектной иерархии модуля и изображаемыми в виде прямоугольников. В таком ключе изображаются цифровые автоматы (или в англоязычной традиции state-machines - машины состояний) без доступа к их внутренней RTL-схеме.

В рамках третьего этапа получается схема из логических вентилях в заданном базисе, функционально эквивалентная разработанной ранее RTL-модели. В настоящее время данный этап автоматизирован, хотя не исключена ручная доработка схемы в целях оптимизации. Процесс получения логической схемы из RTL-модели называется логическим синтезом. Если проводить аналогию с разработкой ПО, логический синтез соответствует трансляции программы с языка высокого уровня в машинный код.

На четвертом этапе осуществляется размещение и трассировка топологии схемы на кристалле для заданного набора технологических ограничений (взаимное расположение элементов схемы, площадь кристалла, минимальное расстояние между проводниками, размер проводника и т.п.). Этап физического проектирования, также как и предшествующий ему этап логического проектирования, автоматизирован средствами современных САПР. Процесс, в результате которого решаются указанные выше задачи называется физическим синтезом.

Язык описания аппаратуры Verilog был разработан фирмой Gateway Design Automation в 1984 г. После поглощения последней фирмой Cadence язык получил широкое распространение среди разработчиков и стал не менее популярен, чем VHDL.

В отличие от VHDL, структура и синтаксис которого напоминают такие "сложные" языки, как АДА или АЛГОЛ, Verilog обеспечивает более лаконичный и удобочитаемый синтаксис, характерный для очень популярного в среде программистов и разработчиков встроенных систем языка Си. Verilog позволяет достаточно эффективно выполнить описание и провести моделирование и синтез цифровых схем благодаря наличию развитых средств описания устройств, применению встроенных примитивов и примитивов пользователя, средств временного контроля, моделированию задержки распространения от входа до выхода, возможности задания внешних тестовых сигналов,

HDL Verilog изначально предназначался для моделирования цифровых систем и как средство описания синтезируемых проектов стал использоваться с 1987 г. Впоследствии этот язык начал применяться и для проектирования аналоговых схем. В настоящее время ведущие пакеты синтеза систем на программируемых логических интегральных схемах (ПЛИС) от таких фирм, как Synopsys, Cadence, Mentor Graphics, поддерживают синтез с описаниями на языке Verilog.

Таким образом, использование HDL может обеспечить несколько преимуществ. Описание на HDL можно использовать как техническое задание на проект. Преимущество использования формального языка, такого как Verilog, для описания заключается в том, что такое описание является полным и недвусмысленным. Описание на формальном языке является «мягким» по сравнению с "жестким" описанием схемы. Представление на HDL позволяет легко обрабатывать текст на любом текстовом процессоре, а базы данных схем обычно требуют графического редактора.

Второй целью использования HDL является моделирование. Моделирование разработки может обнаружить ошибки, которые иначе обнаружались бы только после изготовления аппаратуры. Моделирование может производиться на нескольких уровнях. На функциональном уровне система описывается с использованием конструкций высокого уровня. На логическом уровне система описывается иерархически, когда внизу иерархии находятся основные блоки. Этот уровень может включать информацию о временных задержках, давая возможность временного анализа.

Третьей целью использования HDL является логический синтез. Существуют средства синтеза, которые могут по описанию разработки на HDL сгенерировать реализацию на вентилях уровне из библиотечных элементов. Эти средства оптимизируют проект по задержке, объему схемы или по другой целевой функции. Существующие средства синтеза имеют некоторые ограничения, например, они используют только некоторое подмножество этого языка и синтезированные схемы не могут быть такими же эффективными, как созданные опытным разработчиком. Тем не менее, синтез даже части схемы может сэкономить время и средства, предоставляя возможность разработки упрощенной версии и предварительной оценки быстродействия/площади кристалла.

Наконец, язык описания аппаратуры – это лучший способ документирования проекта. Хорошо прокомментированное описание на HDL может быть лучше и короче, чем схема на вентилях уровне.

**Список использованных источников:**

1. Стешенко В. Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры. – М.: ДМК ПРЕСС, 2015. – 573 с.
2. Поляков А. К. Языки VHDL и Verilog в проектировании цифровой аппаратуры на ПЛИС: уч. пос. / А. К. Поляков, - М.: Издательский дом МЭИ, 2012. – 220 с.
3. Соловьев В. В. Основы языка проектирования цифровой аппаратуры Verilog /. – М.: Горячая линия – Телеком, 2014. – 206 с.
4. Стешенко В. Б., Попова Т. В., Малашевич Д. Б. Основы HDL Verilog как средства проектирования цифровых устройств: уч. пос. / Под ред. А. И. Сухопарова. - М.: МИЭТ, 2006. – 136 с.
5. Акчуринов А. Д., Юсупов К. М. Программирование на языке Verilog. уч. Пос / А. Д. Акчуринов, К. М. Юсупов. – Казань, 2016. – 90 с.