

МОДЕЛИРОВАНИЕ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ СОРТИРОВОК МАССИВОВ-ВЫБОРОК ПОТОКА ДАННЫХ

Колосович У.А.

Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь

Научный руководитель: Ролич О.Ч. – канд. техн. наук

Аннотация. Основная задача данной работы состоит в сортировке массива и визуализации на дисплее зависимости элементов массива от количества элементов, используя микропроцессорное ядро ARM Cortex-M3 и дисплей LM3267. Актуальность темы очевидна, именно поэтому я заинтересовалась тем, что представляет собой микроконтроллерное ядро LPC1343FHN33 на основе Cortex-M3 и проанализировав уже известные данные, провела опыт сортировки элементов и вывода графика отсортированного массива на дисплей.

Ключевые слова: микроконтроллер, микропроцессор, ядро, массив, сортировка, Cortex-M3

Введение. Стремительное развитие мобильных устройств и “умных” бытовых приборов заставляет нас по-новому взглянуть на перспективы экономичных RISC процессоров. Стоимость, энергоэффективность, а также функциональные возможности новых устройств часто не допускают использования «универсальных» процессоров компании Intel, поэтому стоит обратить внимание на процессоры на основе ядер семейства Cortex.

Основная часть. Подсемейство ARM Cortex-M – совместимые снизу вверх энергоэффективные процессорные ядра, которые призваны помочь разработчикам выполнять требования будущих встраиваемых приложений. Каждое процессорное ядро серии Cortex-M имеет свои специфические достоинства, но все выполнены на основе фундаментальной технологии. Процессорные ядра подсемейства Cortex-M применяются в устройствах смешанной обработки сигнала и микроконтроллерах, которые применяются в интеллектуальных измерительных приборах, автомобильных и промышленных системах управления, пользовательских интерфейсах, бытовой технике, предметах домашнего обихода, медицинском оборудовании, к характеристикам которых предъявляются специфические требования.

Cortex-M3 – это первое процессорное ядро, которое и дало имя семейству Cortex, было представлено в 2004 году. Основой 32-бит Cortex-M3 процессора является ядро с Гарвардской архитектурой и трехступенчатый конвейер, что обеспечивает предсказание переходов, аппаратно реализуемое деление и однотактное умножение. Неотъемлемые элементы архитектуры Cortex-M3 – отладочная система, блок вложенных прерываний и предопределенная организация памяти [1]. Архитектура ядра представлена на рисунке 1. При создании ядра Cortex-M3 в базовую ARM-архитектуру было внесено множество изменений. У Cortex-M3 предусмотрена поддержка набора ARM Thumb-2 инструкций.

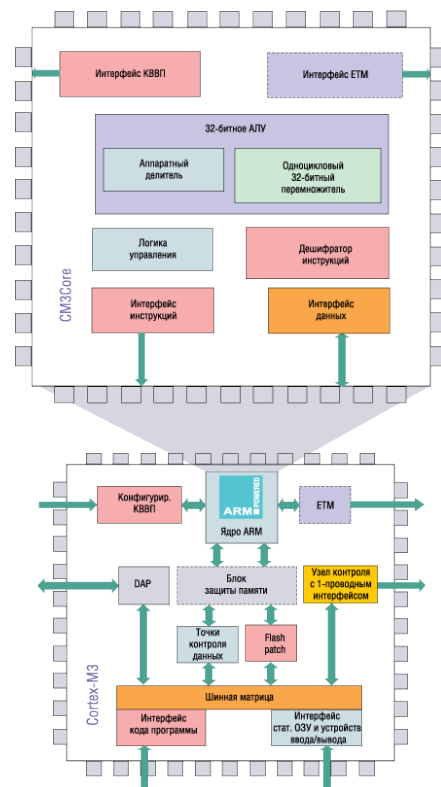


Рис. 1 – Архитектура ядра Cortex-M3

В набор Thumb-2 было внесено 130 дополнительных команд. Thumb-2 позволяет добиться плотности кода. Необходимость переключения между режимами Thumb и ARM исключается, что позволяет обойтись без блока переключения. Процессоры с набором инструкций Thumb-2 способны создавать код намного быстрее, эффективнее и проще, чем при работе с набором инструкций ARM. Важным нововведением в Cortex-M3 является возможность аппаратного выполнения операции деления. Еще одним ключевым компонентом ядра Cortex-M3 является контроллер векторизованных вложенных прерываний (КВВП), который предоставляет для всех Cortex микроконтроллеров стандартную структуру прерываний и способы их обработки.

Микропроцессорное ядро Cortex-M3 содержит регистровый файл, который состоит из шестнадцати 32-битных регистров (от R0 до R15). Регистры R13–R15 имеют особые функции. R13 – указатель стека (SP). Данный регистр является банковым, что делает возможной работу Cortex в 2 режимах работы, в каждом из которых используется свое собственное пространство стека. R14 – это регистр связи (LR). Он используется для хранения адреса возврата из подпрограммы. Благодаря R14 Cortex быстро переходит к подпрограмме и выходит из нее. В случае использования нескольких уровней вложений подпрограмм компилятор автоматически сохраняет R14 в стек. R15 (счетчик программы (PC)) – часть центрального регистрового файла.

Процессор Cortex-M3 имеет фиксированную карту памяти размером 4 Гб, в которой выделены конкретные области для хранения кода программы, устройств ввода-вывода, статического ОЗУ, системных регистров, а также внешней памяти и устройств (рисунок 2) [2].

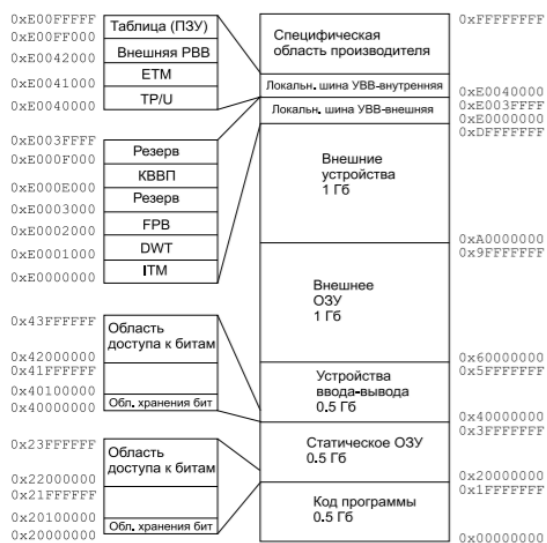


Рисунок 2 – Организация памяти микропроцессорного ядра Cortex-M3

Компания NXP выпустила на рынок ряд продуктов на базе ядра Cortex-M0 и Cortex-M3 [3]. Микроконтроллеры NXP оптимальны для применения в различных бытовых и промышленных устройствах. Ряд линеек микроконтроллеров NXP на базе ядра Cortex-M3 призваны обеспечить разработчиков электроники высокопроизводительным продуктом [4].

LPC1343FHN33 – это микроконтроллер на базе Arm Cortex-M3 для встраиваемых приложений, которые отличаются низким энергопотреблением и высоким уровнем интеграции [5]. В реализации сортировки массива-выборки используется дисплей LM3267.

Сортировка массива – это процесс распределения всех элементов массива в определенном порядке. График отсортированного массива приведен на рисунке 3. Стационарный поток – поток, где вероятность попадания того или иного числа событий на участок времени длиной τ зависит от длины участка и не зависит от расположения этого участка на оси t .

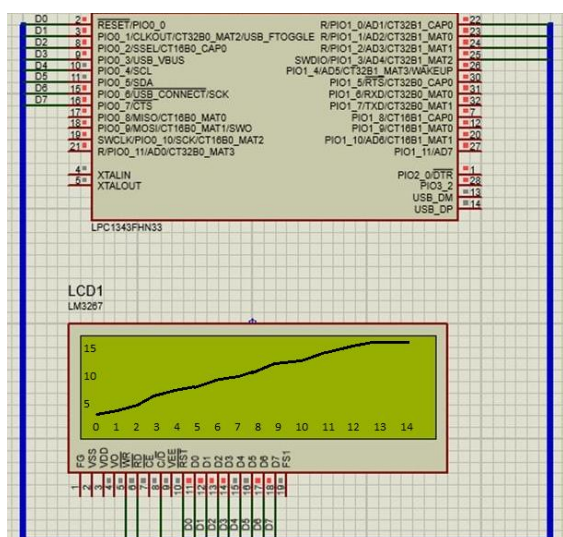


Рисунок 3 – График отсортированного массива

Заключение. Выполнена сортировка массива и вывод графика отсортированного массива на дисплей LM3267, анализ системной характеристики и работы микроконтроллерного ядра LPC1343FHN33 на основе Cortex-M3. Определено, что график отсортированного массива выглядит неубывающей кривой, а постоянство её формы во времени является индикатором стационарности обрабатываемого потока данных.

Список литературы

1. Процессорные ядра семейства CORTEX [Электронный ресурс]. – 2010. – Режим доступа: https://www.electronics.ru/files/article_pdf/0/article_135_39.pdf.
2. Микропроцессорная техника: введение в CORTEX-M3 [Электронный ресурс]. – 2010. – Режим доступа: <https://elar.urfu.ru/bitstream/10995/34811/1/978-5-7996-1499-7.pdf>.
3. Микроконтроллеры NXP SEMICONDUCTORS на базе архитектуры CORTEX [Электронный ресурс]. – 2010. – Режим доступа: http://www.gaw.ru/html.cgi/txt/publ/micros/cortex_m_nxp.htm.
4. Микроконтроллеры NXP Semiconductors на базе архитектуры Cortex [Электронный ресурс]. – 2010. – Режим доступа: http://www.ecworld.ru/media/bip/pdfs/egorov_ct510.pdf.
5. Overview LPC 1343FHN33 [Электронный ресурс]. – 2010. – Режим доступа: <https://www.nxp.com/products/processors-and-microcontrollers/arm-microcontrollers/general-purpose-mcus/lpc1300-cortex-m3/32kb-flash-8kb-sram-usb-device:LPC1343FHN33>.

UDC 004.67

SIMULATION OF A MICROPROCESSOR SYSTEM OF SORTING ARRAYS-SAMPLES OF THE DATA STREAM

Kolosovich U.A.

Belarusian State University of Informatics and Radioelectronics, Minsk, Republic of Belarus (style T-institution)

Rolich O.Ch. – PhD, candidate of technical sciences

Annotation. The LPC1343FHN33 is an Arm Cortex-M3 based microcontroller for embedded applications featuring low power consumption and high integration. The main task of the work consists of sorting and visualizing various elements on the display using the ARM Cortex-M3 microprocessor core and the LM3267 display. In the implementation of sort-selections, the LM3267 display was used. Sorting an array is the process of arranging all the elements in a specific order. Sorting of work and output of sorted on the display LM3267, analysis of system characteristics and microcontroller core LPC1343FHN33 based on Cortex-M3. It is determined that the graph of a sorted non-decreasing straight line, where the constancy of the shape of the curve over time is an indicator of the stationarity of the data flow.

Keywords. microcontroller, microprocessor, core, array, sort, Cortex-M3