

# СХЕМНАЯ РЕАЛИЗАЦИЯ МОДУЛЯРНЫХ СУММАТОРОВ В ЗАКАЗНЫХ КМОП СБИС

Бибило П. Н., Кириенко Н. А.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {bibilo, kir}@newman.bas-net.by

Приведены результаты экспериментов по схемной реализации модулярных сумматоров в библиотеке проектирования отечественных заказных КМОП СБИС. Исходные описания проектов модулярных сумматоров описывались системами не полностью определенными (частичными) булевыми функциями. Логическая оптимизация проводилась в классе дизъюнктивных нормальных форм (ДНФ), полиномиальных представлений Рунда-Маллера и BDD представлений булевых функций. Синтезированные схемы оценивались по площади, задержке и энергопотреблению. Установлено, что использование моделей частичных функций и предварительной логической BDD оптимизации позволяет значительно улучшать параметры синтезируемых логических схем.

## ВВЕДЕНИЕ

Создание эффективных параллельных вычислительных систем часто опирается на модулярные вычисления [1] и соответствующие им аппаратные реализации. Схемные реализации модулярных сумматоров для заказных СБИС рассматривались в [2], где были исследованы некоторые способы технологически независимой оптимизации реализуемых сумматорами систем булевых функций. Синтез функциональных комбинационных блоков заказных СБИС в заданном базисе (библиотеке) логических элементов традиционно разбивается на два больших этапа: технологически независимую оптимизацию реализуемых систем булевых функций и технологическое отображение элементов. Решающее влияние на основные параметры (сложность, быстродействие, энергопотребление) логических схем оказывает первый этап. В данной работе предлагается описывать модулярные сумматоры системами частичных булевых функций и осуществлять логическую оптимизацию, выполняя совместную минимизацию функций в классе ДНФ [3, 4], полиномиальных представлений Рунда-Маллера [5] и BDD представлений (Binary Decision Diagrams) [6]. В результате проведенных экспериментов установлено, что использование моделей частичных функций и предварительной логической оптимизации позволяет значительно улучшать параметры синтезируемых логических схем.

## I. ПРИМЕР МОДУЛЯРНОГО СУММАТОРА

Суммирование по модулю  $p_i$  (основание модулярной вычислительной системы) для двух операндов  $a, b$ , находящихся в диапазоне  $\{0, 1, \dots, p_i\}$  выполняется согласно формулам

$$|a + b|_{p_i} = (a + b - p_i), \text{ если } (a + b) \geq p_i,$$

$$|a + b|_{p_i} = (a + b), \text{ если } (a + b) < p_i.$$

В таблице 1 задана система частичных булевых функций  $y_2(a_2, a_1, b_2, b_1)$ ,  $y_1(a_2, a_1, b_2, b_1)$ , задающая сумматор по модулю 3 ( $p_i=3$ ), неопре-

деленные значения булевых функций  $y_2, y_1$  обозначены символом «—».

Таблица 1 – Сумматор по модулю 3

$a$	$b$	$ a + b _3$
$a_2a_1$	$b_2b_1$	$y_2y_1$
0 0	0 0	0 0
0 0	0 1	0 1
0 0	1 0	1 0
0 0	1 1	— —
0 1	0 0	0 1
0 1	0 1	1 0
0 1	1 0	0 0
0 1	1 1	— —
1 0	0 0	1 0
1 0	0 1	0 0
1 0	1 0	0 1
1 0	1 1	— —
1 1	0 0	— —
1 1	0 1	— —
1 1	1 0	— —
1 1	1 1	— —

## II. ОПИСАНИЕ ЭКСПЕРИМЕНТОВ

Исходными описаниями логики являлись таблицы истинности систем булевых функций на языке SF в формате SDF (матричных описаний) [6]. В системе FLC-2 [7] выполнялась логическая оптимизация и осуществлялся перевод оптимизированных SF описаний в описания на языке VHDL, в системе CMOSLD [8] выполнялась схемная реализация полученных VHDL описаний в библиотеке проектирования отечественных КМОП СБИС с помощью синтезатора LeonardoSpectrum. Для каждой полученной схемы подсчитывалась площадь схемы (суммарное число транзисторов во всех элементах схемы) и энергопотребление (среднее значение потребляемого тока). Для оценки энергопотребления генерировались псевдослучайные тесты и проводилось схемотехническое моделирование SPICE описаний схем. В каждом из шести эксперимен-

тов синтезировались схемы 14 модулярных сумматоров.

Эксперимент 1. Схемная реализация исходных (неоптимизированных) VHDL описаний систем совершенных ДНФ (СДНФ) полностью определенных функций.

Эксперимент 2. Предварительная логическая оптимизация СДНФ полностью определенных функций в базисе полиномов Рида-Маллера и последующий синтез схемы.

Эксперимент 3. Предварительная логическая оптимизация на основе совместной минимизации в классе ДНФ систем частичных функций [4].

Эксперимент 4. Предварительная логическая оптимизация на основе совместной минимизации систем частичных функций программой Espresso ИС [3].

Эксперимент 5. Предварительная логическая оптимизация в классе BDD представлений частичных функций [8].

Эксперимент 6. Предварительная логическая оптимизация систем СДНФ полностью определенных функций в классе BDDI представлений (с нахождением пар взаимно инверсных подфункций).

### III. РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТОВ

Результаты эксперимента приведены в таблице 2. Имя схемы  $Modp_i$  соответствует сумматору по модулю  $p_i$ . В таблице 2 используются следующие обозначения:  $k$  – число общих элементарных конъюнкций, входящих в СДНФ всех  $m$  функций системы. Для сумматора по модулю 3 (таблица 1)  $k=9$ .

Площади заказных СБИС  $S_1 - S_6$  (для соответствующих экспериментов) подсчитывались в числе транзисторов, средние потребляемые токи  $I_1 - I_6$  в микроамперах (мкА). Символом \* отмечены лучшие решения.

### ЗАКЛЮЧЕНИЕ

Использование моделей частичных функций и предварительной логической оптимизации на основе BDD представлений (эксперимент 5) позволяет получать модулярные сумматоры, характеризующиеся меньшими значениями площади и потребляемого тока.

1. Модулярные параллельные вычислительные структуры нейропроцессорных систем / Н. И. Червяков [и др.]. – М.: Физматлит, 2003. – 288 с.
2. Сравнительное исследование и анализ методов аппаратной реализации сумматоров по модулю [Электронный ресурс] / Е. С. Балака [и др.] // Universum: Технические науки: электрон. научн. журн. 2016. № 1 (23). – Режим доступа: <http://7universum.com/ru/tech/archive/item/2887> – Дата доступа: 25.09.2021.
3. Brayton, K. R. Logic minimization algorithm for VLSI synthesis / K. R. Brayton, G. D. Hachtel, C. T. McMullen, A. L. Sangiovanni-Vincentelli // Boston, e.a.: Kluwer Academic Publishers. – 1984. – 193 p.
4. Торопов, Н. Р. Минимизация систем булевых функций в классе ДНФ / Н. Р. Торопов // Логическое проектирование. – Мн.: Ин-т техн. кибернетики НАН Беларуси. – 1999. – Вып. 4. – С. 4 – 19.
5. Закревский, А. Д. Полиномиальная реализация частичных булевых функций и систем / А. Д. Закревский, Н. Р. Торопов // Минск: Ин-т технической кибернетики НАН Беларуси. – 2001. – 200 с.
6. Бибило, П. Н. Применение диаграмм двоичного выбора при синтезе логических схем / П. Н. Бибило // Минск: Белорусская наука. – 2014. – 231 с.
7. Бибило, П. Н. Система логической оптимизации функционально-структурных описаний цифровых устройств на основе продукционно-фреймовой модели представления знаний / П. Н. Бибило, В. И. Романов // Проблемы разработки перспективных микро- и нанoeлектронных систем. – 2020. – Сб. трудов / под общ. ред. акад. РАН А. Л. Стемковского. – М.: ИППМ РАН. – 2020. – N 4. – С. 9.
8. Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением / П. Н. Бибило, В. И. Романов // Микроэлектроника. – 2017. – Т. 46. – № 1. – С.72–88.

Таблица 2 – Результаты экспериментального исследования

		Эксперимент											
		1	2	3	4	5	6	1	2	3	4	5	6
Схема	$k$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$
mod5	25	200	362	164	202	*128	218	14	24	17	14	*12	19
mod7	49	352	482	3064	*228	246	260	27	43	31	*23	24	27
mod9	81	554	1084	598	598	*390	524	*28	55	51	39	34	33
mod15	225	1154	1392	1136	872	*310	7128	66	96	94	68	*37	71
mod17	289	1502	2660	1642	1802	*768	938	*51	111	125	92	74	65
mod19	361	1714	3742	1800	2106	*458	830	59	141	137	103	*42	58
mod23	529	3530	5624	2354	2368	*480	980	117	295	167	138	*51	79
mod25	625	4478	7640	3376	3430	*722	1134	134	345	222	196	*71	105
mod27	729	6082	6352	3578	3656	*642	1342	167	359	233	217	*67	113
mod29	841	6190	6282	3826	3448	*702	1328	168	332	252	205	*74	126
mod31	961	8634	3582	3460	2820	*500	1234	225	171	215	189	*56	118
mod37	1369	13356	12354	6444	6456	*882	1948	369	547	418	321	*79	138
mod59	3481	36608	16012	13672	12040	*892	2652	817	512	733	700	*100	221
mod61	3721	38560	15144	13060	11654	*996	2246	813	541	705	683	*107	218