

РЕАЛИЗАЦИЯ D-ТРИГГЕРА В БАЗИСЕ ПЛИС CYCLONE IV E

Игошина М.С.

*Рязанский государственный радиотехнический университет имени В.Ф. Уткина,
г. Рязань, Российская Федерация*

Научный руководитель: Сапрыкин А.Н. – канд.техн.наук, доцент, доцент кафедры САПР ВС, РГРТУ

Аннотация. В статье рассматривается возможность реализации D-триггера в среде моделирования Intel Quartus Prime. Предлагается описание работы и VHDL- модель проектируемого устройства.

Ключевые слова: триггеры, ПЛИС, VHDL, Cyclone IV E.

Введение. ПЛИС — высокоинтегрированные, гибкие и универсальные устройства с мощной логикой, памятью и внутрисистемным программированием. Расширение сферы применения ПЛИС определяется растущим спросом на устройства с быстрой перестройкой выполняемых функций, сокращением проектно-технологического цикла новых или модифицируемых изделий, наличием режимов изменения внутренней структуры в реальном масштабе времени, повышением быстродействия, снижением потребляемой мощности, разработкой оптимизированных сочетаний с микропроцессорами и сигнальными процессорами (DSP), а также снижением цен на эти устройства.

В настоящее время широкое распространение ПЛИС получили, как инструменты для моделирования сложных структур, благодаря различным вариациями своих функциональных возможностей и значительного ценового диапазона.

В данной статье проводится исследование и сравнительный анализ востребованных ПЛИС, удовлетворяющих ограничению «цена-качество», целью которых является выявление оптимальной базы для проектирования такой системы, как триггер.

Основная часть. Intel Quartus Prime – программное обеспечение для разработки программируемых логических устройств позволяет анализировать и синтезировать проекты HDL, что дает разработчику возможность скомпилировать свои проекты, выполнить анализ времени, изучить диаграммы RTL, смоделировать реакцию дизайнера на различные стимулы и настроить целевое устройство с программистом. Quartus Prime включает в себя реализацию VHDL и Verilog для описания оборудования, визуального редактирования логических схем и векторного моделирования формы волны.

Логическая схема, разработанная в программном обеспечении Quartus, называется проектом [1]. Проект может иметь иерархическую структуру или состоять из множества файлов-модулей, когда главный модуль содержит несколько дополнительных модулей, а каждый дополнительный модуль включает еще несколько файлов. В этом случае главный модуль называется объектом верхнего уровня иерархии. САПР Quartus, помимо иерархической структуры, сохраняет в одном каталоге всю техническую информацию, касающейся выбранной микросхемы (например, назначение выводов, предыдущие варианты трассировки логической схемы, конфигурация проекта и т.д.). Эти файлы создаются в единой папке проекта, что удобно при копировании и переносе проектов в другие каталоги или на другие компьютеры. САПР ПЛИС Quartus фирмы Intel относится к 4-му поколению, позволяет вести разработку систем на кристалле и демонстрирует высокие характеристики и производительность.

Рассмотрим семейство Cyclone компании Altera, которое будет являться наилучшим решением для создания массовых разработок, имеющих жесткие ограничения в плане себестоимости. Данная линейка ПЛИС – это сравнительно недорогие FPGA, направленные на решение менее ресурсоемких задач, основное требование которых – низкое энергопотребление.

Семейство Cyclone IV расширяет линейку недорогих и маломощных ПЛИС на рынке с добавлением приемопередатчика. Такие микросхемы предназначены для высокопроизводительных, чувствительных к затратам приложений, что позволяет разработчикам систем удовлетворять растущим требованиям к пропускной способности при одновременном снижении затрат.

Семейство построено на основе оптимизированного процесса с низким энергопотреблением включает в себя 2 подвида: Cyclone IV E — низкая мощность, высокая функциональность при низких затратах; Cyclone IV GX — низкие мощность и себестоимость ПЛИС со скоростью 3,125 Гбит/с приемопередатчиков [2].

Основные особенности Cyclone IV:

- Недорогая, маломощная структура FPGA,
- От 6 до 150 тыс. логических элементов
- До 6,3 Мб встроенной памяти
- Приложения для соединения протоколов общей мощностью менее 1,5 Вт.

В качестве элементной базы выберем ПЛИС серии Cyclone EP4CE6E2208N, так как она обладает всеми необходимыми для реализации триггера возможностями и соответствует главному критерию – ограничению по затратам. Ключевыми характеристиками ПЛИС являются:

- 6000 логических элементов;
- 270 Кб встраиваемой памяти;
- Поддержка внешней памяти – DDR, DDR2, SDR;
- Поддержка стандартов ввода-вывода: LVTTTL, PCI, PCI-X, SSTL, HSTL, LVDS, RSDS, LVPECL, BLVDS, PPDS и др.

Триггер представляет собой электронное устройство, способное находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера легко распознаётся по значению выходного напряжения. Отличительной особенностью триггера является свойство запоминания двоичной информации. Под памятью подразумевают способность оставаться в одном из двух состояний и после прекращения действия переключающего сигнала. Приняв одно из состояний за «1», а другое за «0», можно считать, что триггер хранит (помнит) один разряд числа, записанного в двоичном коде.

Выделяют следующую классификацию триггеров:

- RS-триггеры;
- D-триггеры;
- T-триггеры;
- JK-триггеры;
- Синхронные, асинхронные триггеры и т.д.

Подробнее остановимся на D-триггере. **D-триггером** называют элемент памяти с одним информационным входом *d*, функционирующий так, что выходной сигнал *q* после переключения равен информационному сигналу *d* на входе до переключения. Структура такого триггера показана на рисунке 1.

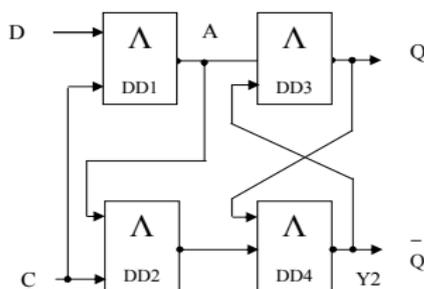


Рисунок 1 – Структура D-триггера, основанного на элементах И-НЕ (NAND2).

D-триггер кроме информационного входа *d* (входа данных) имеет еще вход синхронизации *clk*.

Принцип работы D-триггера следующий. При низком уровне сигнала clk ($clk = 0$) хранящееся значение q не меняется, если же вход clk переключается из высокого в низкий уровень, текущее значение q “защелкивается” и хранится. Поэтому D-триггер часто называют “защелкой” [3].

Когда же на входе clk высокий уровень ($clk = 1$), то выходной сигнал q повторяет входной сигнал d. Функциональное описание D-триггера на языке VHDL использует проверку того факта, изменилось ли значение сигнала clk из нуля в единицу, только при этом условии значение сигнала d будет передано сигналу q. Проверка условия осуществляется с помощью оператора ожидания истинности выражения $clk'event \text{ and } clk='1'$.

Реализуем D-триггер, изображенный на рисунке 2, в базе ПЛИС Cyclone EP4CE6E2208N.

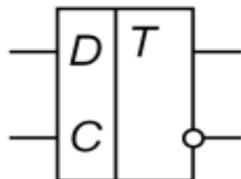


Рисунок 2 – Структура D-триггера, реализуемого на ПЛИС.

Таблица 1 – Таблица истинности D-триггера.

Входы		Выход
D	C	Q
-	1	(D)
-	0	N

Обозначения в таблице функционирования D-триггера:

- через « - » обозначено любое из (0,1) значение сигнала;
- символ N обозначает неизменяемое (предыдущее) значение сигнала.

Принцип работы D-триггера следующий. Логическое устройство будет находиться в устойчивом положении в том случае, если на $C=0$. В этом случае импульсы, подающиеся на информационный D-вход, никак не влияют на прибор, и выходной импульс определяется записанным ранее значением.

Если $C=1$, то выходной сигнал будет зависеть от того, какой тип подан на информационный D-вход. Если $D=1$, то на выходе будет 1, если $D=0$, то на выходе будет 0.

Данный тип логического устройства срабатывает при переходе с одного уровня на другой. Срабатывание может выполняться в двух случаях: по переднему и заднему фронту. По переднему, если переход выполняется от 0 к 1, и по заднему, если от 1 к 0.

Принцип работы устройства представлен на рисунке 3, таблица соответствия портов на рисунке 4.

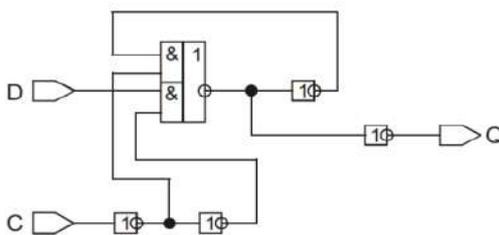


Рисунок 3 – Принцип работы D-триггера.

tab1	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1		CLK	Location	PIN_24	Yes			
2		KEY_2	Location	PIN_91	Yes			
3		LED_3	Location	PIN_2	Yes			
4		KEY_4	Location	PIN_89	Yes			
5		KEY_3	Location	PIN_90	Yes			
6	<<new>>	<<new>>	<<new>>					

Рисунок 4 – Таблица соответствия портов D-триггера.

VHDL-модель структурной схемы D-триггера:

```

library ieee;
use ieee.std_logic_1164.all;
entity trigger is
port (KEY_2, KEY_4, CLK : in std_logic; LED_3 :
out      std_logic);
end trigger;
architecture arch of trigger is
component D_trigger
port (d, c, h : in std_logic; q : out std_logic);
end component;
begin
met1 : D_trigger
port map (d => KEY_2, c => KEY_4, h => CLK, q => LED_3);
end arch;
library ieee;
use ieee.std_logic_1164.all;
entity D_trigger is
port (d, r, c, h : in std_logic; q : out std_logic);
end D_trigger;
architecture meh of D_trigger is
begin
process (h)
begin
if rising_edge(h) then
if (c = '0') then q <= '0';
elsif (c = '1') then q <= d;
end if;
end if;
end process;
end meh;

```

Заключение. Проведено описание востребованной ПЛИС Cyclone IV от одной из лидирующих фирм-производителей интегральных схем – Altera. Доказано, что на основе подобной схемы возможна реализация D-триггера, так как данная ПЛИС удовлетворяет техническим и экономическим ограничениям разработки.

Список литературы

1. Наваби, З. Проектирование встраиваемых систем на ПЛИС / З. Наваби ; перевод с английского В. В. Соловьева. — Москва: ДМК Пресс, 2016. — 464 с.
2. Сальников, И. И. Проектирование цифровых устройств на плис: учебное пособие / И. И. Сальников. — Пенза: ПензГТУ, 2012. — 109 с.
3. Ушенина, И. В. Проектирование цифровых устройств на ПЛИС: учебное пособие / И. В. Ушенина. — Санкт-Петербург: Лань, 2022. — 408 с.

UDC 004.3.

IMPLEMENTATION OF THE D-TRIGGER IN THE BASIS OF THE CYCLONE IV E FPGA

Igoshina M.S.

Ryazan State Radio Engineering University named after V.F. Utkin, Ryazan, Russian Federation

Saprykin A.N. – PhD, assistant professor, associate professor of the department of CAD, RSREU

Annotation. The article discusses the possibility of implementing a D-trigger in the Intel Quartus Prime simulation environment. A description of the operation and a VHDL model of the designed device are proposed

Keywords. triggers, FPGA, VHDL, Cyclone IV E.