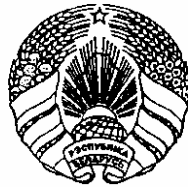


**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **7066**
(13) **С1**
(46) **2005.06.30**
(51)⁷ **G 06F 7/49, 7/50**

(54)

СУММАТОР-НАКОПИТЕЛЬ

(21) Номер заявки: а 19990650
(22) 1999.06.30
(43) 2000.12.30

(71) Заявитель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

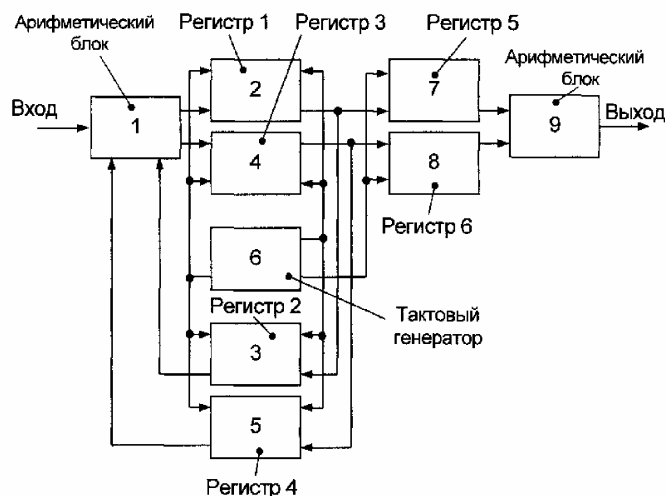
(72) Авторы: Осипов Анатолий Николаевич; Достанко Анатолий Павлович; Бондарик Василий Михайлович; Герасименя Николай Иванович (ВУ)

(73) Патентообладатель: Учреждение образования "Белорусский государственный университет информатики и радиоэлектроники" (ВУ)

(56) Каппелини В. и др. Цифровые фильтры и их применение. - М.: Энергоатомиздат, 1989. - С. 230.
ВУ а19981000, 2000.
RU 2043650 С1, 1995.
SU 577728, 1977.
SU 1319023 А1, 1987.
EP 0416869 А3, 1991.
WO 92/00560 А1.
EP 0476558 А3, 1991.

(57)

Сумматор-накопитель, содержащий первый и второй регистры, тактовый генератор и первый арифметический блок, первый вход которого соединен со входом устройства, а первый выход - с первым входом первого регистра, выход которого соединен с первым входом второго регистра, выход которого соединен со вторым входом первого арифметического блока, вторые входы первого и второго регистров соединены с первым выходом тактового генератора, второй выход которого соединен с третьими входами первого и второго регистров, отличающийся тем, что дополнительно содержит третий, четвертый, пятый,



Фиг. 1

ВУ 7066 С1 2005.06.30

ВУ 7066 С1 2005.06.30

шестой регистры и второй арифметический блок, выход которого соединен с выходом устройства, а первый вход - с выходом пятого регистра, первый вход которого соединен с выходом первого регистра, второй вход второго арифметического блока соединен с выходом шестого регистра, первый вход которого соединен с выходом третьего регистра и первым входом четвертого регистра, первый выход тактового генератора соединен со вторыми входами третьего и четвертого регистров, второй выход - с третьими входами третьего и четвертого регистров, а третий выход - со вторыми входами пятого и шестого регистров, выход четвертого регистра соединен с третьим входом первого арифметического блока, второй выход которого соединен с первым входом третьего регистра.

Изобретение относится к области вычислительной техники и может быть использовано в системах передачи дискретных сообщений для цифровой фильтрации, в системах поиска, синхронизации и т.д.

Известны накапливающие сумматоры, предназначенные для суммирования-накопления входных чисел. Эти устройство содержат триггер со счетным входом, элементы "И" и "ИЛИ", сумматор по модулю два и элементы задержки [2-8]. Недостатком таких устройств является их сложность.

Наиболее близким техническим решением к предлагаемому является устройство [1], включающее арифметический блок, тактовый генератор, первый и второй регистры. С частотой тактовых импульсов компоненты сигнального вектора $s(i)$ поступают на вход арифметического блока. Частота поступления компонентов определяется временем обработки данных в арифметическом блоке. Перед началом суммирования-накопления сигнал с тактового генератора обнуляет содержимое регистров. Арифметический блок производит поочередно суммирование значений сигнала с входа и предыдущих значений суммирования, накопленных в регистре:

$$Y_i = X_i + Y_{i-1}, \quad (1)$$

где X_i - значение сигнала на входе устройства, Y_i - значение сигнала на выходе арифметического блока, Y_{i-1} - значение суммирования, полученное в предыдущем такте. Результаты суммирования поступают на выход устройства через N тактов. В следующие N тактов происходит суммирование второй последовательности отсчетов сигнального вектора. Недостатком такого устройства является низкое быстродействие, определяемое быстродействием операции сложения на арифметическом блоке.

Задачей настоящего изобретения является увеличение быстродействия устройства.

Задача достигается тем, что в сумматор-накопитель, содержащий первый и второй регистры, тактовый генератор и первый арифметический блок, первый вход которого соединен со входом устройства, а первый выход - с первым входом первого регистра, выход которого соединен с первым входом второго регистра, выход которого соединен со вторым входом первого арифметического блока, вторые входы первого и второго регистра соединены с первым выходом тактового генератора, второй выход которого соединен с третьими входами первого и второго регистров, дополнительно включены третий, четвертый, пятый, шестой регистры и второй арифметический блок, выход которого соединен с выходом устройства, а первый вход - с выходом пятого регистра, первый вход которого соединен с выходом первого регистра, второй вход второго арифметического блока соединен с выходом шестого регистра, первый вход которого соединен с выходом третьего регистра и первым входом четвертого регистра, первый выход тактового генератора соединен со вторыми входами третьего и четвертого регистров, второй выход - с третьими входами третьего и четвертого регистров, а третий выход - со вторыми входами пятого и шестого регистров, выход четвертого регистра соединен с третьим входом первого арифметического блока, второй выход которого соединен с первым входом третьего регистра.

ВУ 7066 С1 2005.06.30

Сущность изобретения заключается в том, что для накопления результатов используется арифметический блок, выполняющий преобразование операции сложения трех чисел в двоичной позиционной системе счисления в операцию сложения двух чисел. При этом время преобразования не зависит от длины обрабатываемых чисел, что позволяет увеличить частоту поступления отсчетов сигнального вектора в устройство.

На фиг. 1 приведена структурная схема сумматора-накопителя, на фиг. 2 - временные диаграммы работы сумматора-накопителя.

Сумматор-накопитель содержит (фиг. 1) первый арифметический блок 1, первый вход которого соединен со входом устройства, а первый выход - с первым входом первого регистра 2, выход которого соединен с первым входом второго регистра 3, выход второго регистра соединен со вторым входом первого арифметического блока 1, вторые входы первого 2, второго 3, третьего 4 и четвертого 5 регистров соединены с первым выходом тактового генератора 6, второй выход которого соединен с третьими входами первого 2, второго 3, третьего 4 и четвертого 5 регистров, пятый 7, шестой 8 регистры и второй арифметический блок 9, выход которого соединен с выходом устройства, а первый вход - с выходом пятого регистра 7, первый вход которого соединен с выходом первого регистра 2, второй вход второго арифметического блока 9 соединен с выходом шестого регистра 8, первый вход которого соединен с выходом третьего регистра 4 и первым входом четвертого регистра 5, третий выход тактового генератора 6 соединен со вторыми входами пятого 7 и шестого 8 регистров, выход четвертого регистра 5 соединен с третьим входом первого арифметического блока 1, второй выход которого соединен с первым входом третьего регистра 4.

Рассмотрим работу устройства. Арифметический блок 1 реализует преобразование операции сложения трех чисел, представленных в двоичной позиционной системе счисления, в операцию сложения двух чисел. Данное преобразование описывается следующими уравнениями:

$$X_1 + X_2 + X_3 = X'_1 + X'_2,$$

где $X'_{1,i} = X_{1,i} \oplus X_{2,i} \oplus X_{3,i}$.

$$X'_{2,i} = X_{1,i-1} \cdot X_{2,i-1} \vee X_{2,i-1} \cdot X_{3,i-1} \vee X_{1,i-1} \cdot X_{3,i-1}, \quad (2)$$

где X_i - значение i -го разряда числа.

Как следует из (2), значения i -го разряда числа X'_1 зависят и определяются только из значений i -х разрядов чисел X_1, X_2, X_3 , а значения i -го разряда числа X'_2 определяются и зависят только от значений $(i-1)$ -х разрядов чисел X_1, X_2, X_3 и не зависят от значений предыдущих разрядов. Следовательно, время преобразования не зависит от длины обрабатываемых чисел. Реализация арифметического блока 1 известна. На фиг. 2 приведен один из возможных вариантов реализации арифметического блока 1. В этом случае операнды $X_{1,i}, X_{2,i}, X_{3,i}$ поступают на соответствующие входы арифметического блока. На элементах "ИСКЛЮЧАЮЩЕЕ ИЛИ" 14 и 15 осуществляется вычисление числа X'_1 в соответствии с (2), а на элементах "И" 10, 11, 12 и "ИЛИ" 13 блоков А1 - число X'_2 . Таким образом арифметический блок 1 выполняет преобразование операции сложения трех чисел в операцию сложения двух чисел. Время преобразования t_0 операции сложения трех чисел в два числа равно времени вычисления одного разряда результата в сумматоре с последовательным переносом [3].

На вход устройства (фиг. 1) последовательно поступают отсчеты $X_1, X_2 \dots X_N$, которые необходимо просуммировать. В начале работы сигнал с третьего выхода тактового генератора 6 обнуляет содержимое регистров 2, 3, 4, 5. Одновременно первый операнд X_1 поступает на вход устройства. Данный отсчет и нулевое содержимое регистров 3 и 5 преобразуются в арифметическом блоке 1 в два числа в соответствии с (2). По переднему фронту сигнала с первого выхода тактового генератора 6 вычисленные числа заносятся

ВУ 7066 С1 2005.06.30

соответственно в регистры 2 и 4, а по заднему фронту данные числа из регистров 2 и 4 переписываются в регистры 3 и 5. Регистры 3 и 5 предназначены для хранения результатов сложения, полученных в предыдущих тактах. В следующем такте работы аналогичным образом поступившее на вход устройства число X_2 складывается в блоке 1 с содержимым регистров 3 и 5. Результат сложения представляется двумя числами, сумма которых есть искомый результат. Таким образом на выходе блока 1 в i -м такте работы устройства появляется два числа X'_m и X''_{m+1} :

$$X'_m + X''_{m+1} = \sum_{i=1}^i X_i. \quad (3)$$

Окончательное сложение результатов, полученных на выходе блока 1 после обработки N чисел, выполняется в арифметическом блоке 9. Для этого на вторые входы регистров 7 и 8 поступает сигнал с тактового генератора 6, который разрешает перезапись данных из регистров 2 и 4 соответственно в регистры 7 и 8. Блок 9 может быть реализован по известной схеме как сумматор с последовательным переносом. Результат накопления чисел X_1, X_2, \dots, X_N поступает на выход устройства. Следует отметить, что во время обработки данных в блоке 9 арифметический блок 1 готов накапливать очередные входные данные.

Оценим быстродействие устройства.

Для известного устройства [2] частота поступления отсчетов определяется выражением:

$$f_T = \frac{1}{k \cdot t_0}, \quad (4)$$

где k - количество разрядов одного отсчета, t_0 - время вычисления одного разряда при суммировании входных данных.

Если время суммирования (t_{II}) в арифметическом блоке 9 меньше времени накопления (t_I) N чисел в блоке 1 (фиг. 2, а), то накопление следующих N чисел в блоке 1 можно начинать сразу после начала суммирования в арифметическом блоке 9 до окончания цикла работы сумматора-накопителя. В этом случае частота поступления данных в устройство равна:

$$f_T = \frac{1}{t_0}. \quad (5)$$

При $t_I < t_{II}$ ($k > N$) обработку новых отсчетов в арифметическом блоке 1 нельзя начинать одновременно с началом суммирования в блоке 9 (фиг. 2, б). При синхронном поступлении отсчетов сигнального вектора (без пауз) необходимо, чтобы $t_I = t_{II}$. Тогда:

$$f_T = \frac{1}{\left(\frac{k}{N}\right) \cdot t_0}. \quad (6)$$

Увеличение частоты поступления данных для первого (5) и второго (6) случаев в сравнении с известным устройством составляет соответственно:

$$B_1 = k, \quad (7)$$

$$B_2 = N. \quad (8)$$

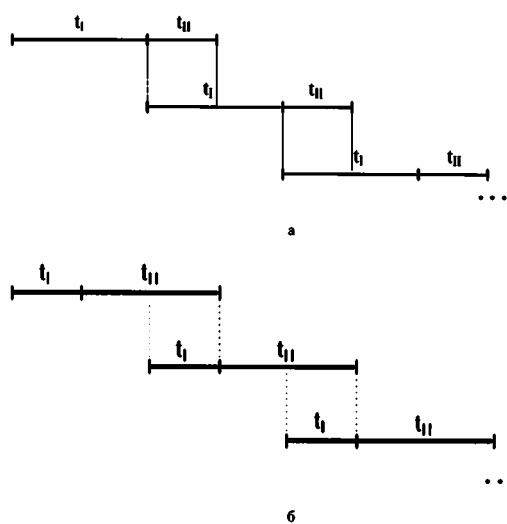
Источники информации:

1. Каппелини В. и др. Цифровые фильтры и их применение. - М.: Энергоатомиздат, 1989. - С. 230.

2. ВУ а 19981000, 2000.

BY 7066 C1 2005.06.30

3. RU 2043650 C1, 1995.
4. SU 577728, 1977.
5. SU 1319023 A1, 1987.
6. EP 0416869 A3, 1991.
7. WO 92/00560 A1.
8. EP 0476558 A3, 1991.



Фиг. 2