



Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 552719

(61) Дополнительное к авт. свид-ву 511715

(22) Заявлено 12.08.75 (21) 2162982/09

с присоединением заявки № —

(23) Приоритет —

Опубликовано 30.03.77. Бюллетень № 12

Дата опубликования описания 18.04.77

(51) М. Кл.<sup>2</sup> Н 04L 7/02  
Н 04J 3/06

(53) УДК 621.394.662  
(088.8)

(72) Авторы  
изобретения

Н. П. Жаровин, Б. П. Новиков, С. А. Ганкевич и А. Н. Баранов

(71) Заявитель

Минский радиотехнический институт

## (54) УСТРОЙСТВО СИНХРОНИЗАЦИИ СИГНАЛОВ

1

Изобретение относится к телеграфной связи, а именно к устройствам синхронизации.

По основному авт. св. № 511715 известно устройство для синхронизации сигналов в многоадресных связных системах с временным разделением каналов, содержащее последовательно соединенные блок выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, управитель с генератором и управляемый делитель, выходы которого подключены к второму входу фазового дискриминатора, выходы и установочные входы каждого разряда управляемого делителя через блок для перезаписи кодов соединены с установочными входами и выходами соответствующих разрядов кольцевого регистра, а управляющие входы блока для перезаписи кодов и шина продвигающих импульсов кольцевого регистра соединены с соответствующими выходами формирователя импульсов перезаписи и продвижения, подключенного к выходу генератора через делитель.

Однако в известном устройстве при большой длительности цикла (большом числе временных каналов) из-за отличия частоты эталонного сигнала и тактовой частоты принимаемого сигнала в соответствующем временном канале запоминаемое значение фазы опорного сигнала отличается от фазы входного сигнала

2

через цикл работы на величину, определяемую длительностью цикла и нестабильностью частоты генератора.

5 Цель изобретения — повышение точности фазирования.

10 Для этого в устройство для синхронизации сигналов в многоадресных связных системах с временным разделением каналов, содержащее последовательно соединенные блок выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, управитель с генератором и управляемый делитель, выходы которого подключены к второму входу фазового дискриминатора, выходы и установочные входы каждого разряда управляемого делителя  
15 через блок для перезаписи кодов соединены с установочными входами и выходами соответствующих разрядов кольцевого регистра, а управляющие входы блока для перезаписи кодов и шина продвигающих импульсов кольцевого регистра соединены с соответствующими  
20 выходами формирователя импульсов перезаписи и продвижения, подключенного к выходу генератора через делитель, введены интегратор и сумматор, при этом выходы реверсивного счетчика подключены к дополнительным  
25 входам управителя через интегратор, соединенный с блоком перезаписи кодов, к входу которого подключены выходы соответствующих разрядов кольцевого регистра через сум-

матор, а выход управляемого делителя подключен к другому входу интегратора.

На чертеже приведена структурная электрическая схема устройства синхронизации сигналов.

Предложенное устройство содержит последовательно соединенные блок 1 выделения сигналов синхронизации, фазовый дискриминатор 2, реверсивный счетчик 3, управитель 4 с генератором 5 и управляемый делитель 6, выходы которого подключены к второму входу фазового дискриминатора 2. Выходы и установочные входы каждого разряда управляемого делителя 6 через блок 7 перезаписи кодов соединены с установочными входами и выходами соответствующих разрядов кольцевого регистра 8, а управляющие входы блока 7 перезаписи кодов и шина продвигающих импульсов кольцевого регистра 8 соединены с соответствующими выходами формирователя 9 импульсов перезаписи и продвижения, подключенного к выходу генератора 5 через делитель 10. Выходы реверсивного счетчика 3 подключены к дополнительным входам управителя 4 через интегратор 11, соединенный с блоком 7 перезаписи кодов, к входу которого подключены выходы соответствующих разрядов кольцевого регистра 8 через сумматор 12, а выход управляемого делителя 6 подключен к другому входу интегратора 11.

Предложенное устройство работает следующим образом.

Сигналы синхронизации с выхода блока 1 поступают на фазовый дискриминатор 2, где сравниваются с опорным сигналом с выхода управляемого делителя 6. Реверсивный счетчик 3 осуществляет усреднение сигнала рассогласования. Импульсы с выхода реверсивного счетчика 3 поступают на входы управителя 4, где осуществляется добавление или исключение импульсов в импульсной последовательности высокой частоты, поступающей на вход управителя 4 от генератора 5. Управляемый делитель 6 понижает частоту высокочастотной последовательности импульсов до тактовой частоты сигнала.

Интегратор 11 осуществляет интегрирование величины фазового рассогласования на входе устройства и формирует импульсы управления, компенсирующие частотную расстройку в процессе приема сигнала в каждом временном канале.

Пусть за время приема информации от одного из абонентов в соответствующем временном канале устранилось рассогласование между опорным и входным сигналами. При этом между эталонным сигналом на выходе делителя 10 и опорным сигналом на выходе управ-

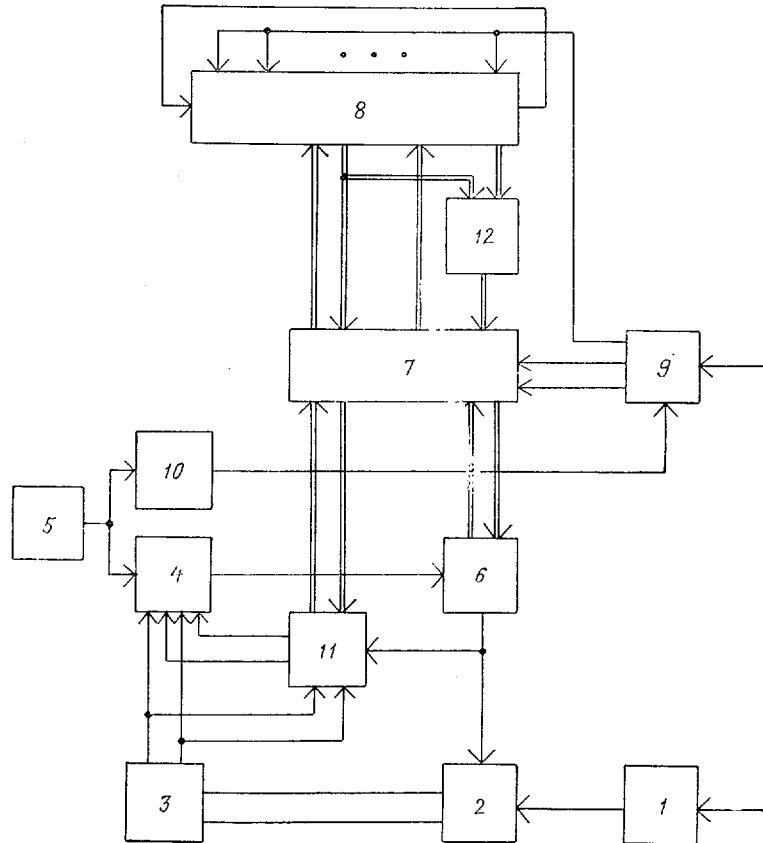
ляемого делителя 6 устанавливается определенный фазовый сдвиг. Этому фазовому сдвигу соответствует определенный код управляемого делителя 6 и интегратора 11 в моменты появления импульсов на выходе делителя 10. Эти коды в конце канального интервала заносятся в кольцевой регистр 8 импульсом записи кода с формирователя 9 импульсов перезаписи и продвижения, причем код управляемого делителя 6 записывается в фазовые, а интегратора 11 — в частотные ячейки кольцевого регистра 8.

В начале этого же временного канала следующего цикла производится обратная перезапись кодов, записанных в кольцевом регистре 8 в интегратор 11 и управляемый делитель 6, причем код, записанный в частотных ячейках кольцевого регистра 8, переписывается в интегратор 11, а в управляемый делитель 6 записывается код сумматора 12, на входы которого подаются сигналы с выходов частотных и фазовых ячеек памяти кольцевого регистра 8. В сумматоре 12 производится сложение кодов, в результате чего код, записываемый в управляемый делитель 6, приобретает приращение, компенсирующее уход фазы опорного сигнала за время  $T_{ц} - t_{к}$ , где  $T_{ц}$  — длительность цикла, а  $t_{к}$  — длительность временного канала. Перезапись кода в управляемый делитель 6 и интегратор 11 осуществляется импульсом установки кода. Этот импульс также совпадает с эталонным сигналом. Продвижение кода в кольцевом регистре 8 производится импульсами продвижения, следующими между импульсами записи кода и установки кода с формирователя 9.

Введение в устройство новых элементов: интегратора 11 и сумматора 12 и соответствующих связей выгодно отличает предлагаемое устройство от основного изобретения, так как позволяет повысить точность фазирования устройства при большом количестве временных каналов.

#### Формула изобретения

Устройство синхронизации сигналов по авт. св. № 511715, отличающееся тем, что, с целью повышения точности фазирования введены интегратор и сумматор, при этом выходы реверсивного счетчика подключены к дополнительным входам управителя через интегратор, соединенный с блоком перезаписи кодов, к входу которого подключены выходы соответствующих разрядов кольцевого регистра через сумматор, а выход управляемого делителя подключен к другому входу интегратора.



Составитель **И. Черняк**

Редактор **Е. Дайч**

Техред **И. Карандашова**

Корректор **А. Николаева**

Заказ 751/10

Изд. № 339

Тираж 869

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР

по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2