

Союз Советских  
Социалистических  
Республик



Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 553614

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 27.08.74 (21) 2054988/24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 05.04.77. Бюллетень № 13

Дата опубликования описания 25.05.77

(51) М. Кл.<sup>2</sup> G 06F 7/39

(53) УДК 687.325(088.8)

(72) Авторы  
изобретения

Б. В. Немытов и А. М. Оранский

(71) Заявитель

Минский радиотехнический институт

### (54) МНОЖИТЕЛЬНО-ДЕЛИТЕЛЬНОЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и предназначено для одновременного выполнения двух операций умножения и деления.

Известны устройства для умножения и деления, работающие на основе преобразования с интегрированием [1]. Недостатком этих устройств является низкое быстродействие и большая избыточность аппаратуры.

Наиболее близким техническим решением к предложенному является устройство, содержащее два регистра, сумматор, первый вход которого подключен к выходу первого регистра, первый вход которого подключен к второму входу сумматора и к первому входу устройства, и блок управления.

Недостатком этого устройства является значительное время выполнения операций умножения и деления.

Целью изобретения является повышение быстродействия и расширение функциональных возможностей устройства.

Эта цель достигается тем, что в устройство введены дополнительно сумматор и регистр, выход которого подключен к первому входу блока управления, второй вход которого подключен к первому выходу дополнительного сумматора, первый вход которого подключен к выходу второго регистра, первый вход ко-

2

торого подключен к выходу блока управления, ко второму входу первого регистра, третьему входу первого сумматора, второму входу дополнительного сумматора и к первому входу дополнительного регистра, второй вход которого подключен к второму входу устройства, третий вход которого подключен к третьему входу дополнительного сумматора и к второму входу второго регистра, выход дополнительного сумматора является выходом устройства.

На чертеже изображена схема устройства, где регистры — 1÷3, сумматоры—4, 5, блок управления—6, входы устройства—7, 8.

Устройство работает следующим образом. Первый этап. В исходном состоянии все ячейки сумматоров 4, 5 и регистров 1, 2, 3 устанавливаются в нулевое положение. В регистр 1 заносится значение  $a$ , в регистр 2 и сумматор 4 заносится значение  $b$ , в регистр 3 и сумматор 5 заносится значение  $c$ . В регистр 1 и сумматорах 4 и 5 отведено по одному разряду для фиксации знака соответствующего операнда  $a$ ,  $b$  и  $c$ .

Устройство может реализовать множительно-делительную операцию для чисел, представленных двоичным или двоично-десятичным кодом. Для этого соответствующим образом должна быть построена схемная реализация регистров и сумматоров устройства.

30

Устройство может работать с числами с фиксированной запятой или с числом, представленным в нормальной форме. Во втором случае в разрядной сетке устройства отводится часть разрядов для фиксации порядков чисел. В данном описании рассмотрен конкретный пример работы реализации для двоичных чисел с фиксированной запятой.

Блок управления 6 анализирует состояние знаковых разрядов сумматоров 4, 5 и регистра 1 и в соответствии с ними вырабатывает и заносит в знаковый разряд сумматора 5 знак результата множително-делительной операции.

При равенстве знаков операндов  $a$  и  $b$  знак результата соответствует знаку операнда  $c$ , в противном случае обратному знаку этого операнда. В последующих вычислениях знаковые разряды не участвуют.

Далее, производится нормализация числа  $a$  в регистре 1 и  $b$  в регистре 2 и сумматоре 4. Направление и величина необходимого сдвига числа  $c$  определяется направлением и величиной сдвигов при нормализации чисел  $a$  и  $b$ . Если левому направлению сдвига (в сторону старших разрядов) приписать знак «плюс», а правому — «минус», то направление и величина сдвига числа  $c$  будет определяться знаком и величиной простой зависимости

$$g = p - l$$

где  $p$  и  $l$  — величина сдвига числа  $b$  и  $a$  соответственно.

Устройство реализует эту зависимость следующим образом.

Если первым нормализовалось число  $a$ , для случая  $a \geq 1$  и  $b \geq 1$ , то блок управления 6 подсчитывает последующие такты сдвига числа  $b$  до его нормализации и затем производит сдвиг числа  $c$  в регистре 3 и сумматоре 5 на подсчитанное количество сдвигов вправо — в сторону младших разрядов. Если же первым нормализовалось число  $b$ , то блок управления 6 подсчитывает последующие такты сдвига числа  $a$  в регистре 1 до его нормализации и затем производит сдвиг числа  $c$  в регистре 3 и сумматоре 5 на подсчитанное количество тактов сдвига влево — в сторону старших разрядов. Если для нормализации числа  $a$  требуются сдвиги влево, т. е.  $a < 0,5$ , а для числа  $b$  вправо, т. е.  $b \geq 1$ , то подсчитывается суммарное количество сдвигов для чисел  $a$  и  $b$ , после чего на это количество сдвигается число  $c$  вправо. Если же направление сдвигов для чисел  $a$  и  $b$  противоположное предыдущему условию, то число  $c$  сдвигается на суммарное количество сдвигов влево.

Для случая, когда  $a < 0,5$ ,  $b < 0,5$  и  $a > b$ , подсчитывается разность количества сдвигов при нормализации чисел  $a$  и  $b$ , а число  $c$  сдвигается на эту разность влево. Для случая  $a < 0,5$ ,  $b < 0,5$  и  $b > a$ , число  $c$  сдвигается на разность количеств сдвигов при нормали-

зации чисел  $a$  и  $b$  в сторону младших разрядов — вправо.

Затем начинается выполнение второго этапа, состоящего из последовательности шагов — выполнение множително-делительной операции представляет собой итерационный процесс, реализующий зависимости (1) — (3) и состоит из ряда однотипных шагов.

Первый шаг. В регистрах 2 и 3 производится сдвиг соответствующих чисел  $b_0$  и  $c_0$ , полученных после операции нормализации, на один разряд вправо для получения величин  $b_0 \cdot 2^{-1}$  и  $c_0 \cdot 2^{-1}$  соответственно. С выходов сумматора 4 и регистра 1 соответствующие числа  $b_0$  и  $a_0$  подаются на соответствующие входы блока управления 6, где происходит сравнение их величин. Причем, при подаче содержимого сумматора 4 и регистра 1 на блок управления 6 в данный момент — первое сравнение — и в последующих операциях сравнения значение содержимого сохраняется в сумматоре 7 и регистре 1. По результату операции сравнения блок управления 6 вырабатывает сигнал  $\xi_i$ , по которому содержимое регистров 2 и 3 подается с сохранением в регистрах 2, 3 в сумматоры 4 и 5 соответственно для подсуммирования с содержимым сумматоров или для вычитания из содержимого сумматоров. Если же сравниваемые величины равны, то вырабатывается команда «Останов» и вычислительный процесс прекращается. В этом случае в сумматоре 5 зафиксирован результат вычислений. Одновременно с суммированием (вычитанием) в сумматорах 4 и 5 производится сдвиг содержимого регистров 2, 3 на один разряд вправо для получения очередных приращений  $b_0 \cdot 2^{-2}$  и  $c_0 \cdot 2^{-2}$  используемых на втором шаге.

Второй шаг. Как и на предыдущем шаге блок управления 6 сравнивает содержимое сумматора 4, с содержимым регистра 1 и вырабатывает сигнал, по которому содержимое регистров 2 и 3 подается, с сохранением этих содержимых в регистрах 2, 3, в сумматоры 4, 5 соответственно для подсуммирования или вычитания. Если же сравниваемые величины равны, то процесс прекращается (сигнал «Останов»), а в сумматоре 5 фиксируется результат вычислений.

Если блок управления 6 не выработал сигнала «Останов», то продолжится выполнение следующих шагов вычисления, причем, все они аналогичны второму шагу и начинаются с анализа содержимого сумматоров 3 и 5.

Количество указанных шагов при выполнении вычислений составляет величину  $g$ , причем  $1 \leq g \leq n$ , где  $n$  — количество разрядов разрядной сетки устройства, предназначенных для представления дробной части чисел. Если на каком-либо шаге вырабатывается блоком управления 6 сигнал «Останов», то это влечет за собой сокращение времени вычислений, так как этот сигнал в зависимо-

сти от значения чисел  $a$  и  $b$  может возникнуть на любом шаге, начиная с первого. По окончании вычислительного процесса результат зафиксирован в сумматоре 5.

Если на предлагаемом устройстве требуется выполнить операцию деления двух чисел вида  $d = \frac{a}{b}$  или  $d = \frac{a}{b}$ , тогда при занесении в устройство делимого  $a$  или  $c$  и делителя  $b$ , в качестве недостающего сомножителя  $c$  или  $a$  соответственно вводится единица. Если требуется выполнить самостоятельную операцию умножения ( $d = a \cdot c$ ), то в качестве делителя при занесении сомножителей в устройство вводится единица ( $b = 1$ ).

Длина разрядной сетки устройства выбирается в зависимости от диапазона чисел, с которым предназначена работа устройства и от требуемой точности вычислений.

Таким образом, введение дополнительных сумматора и регистра позволяет повысить быстродействие вычислений и расширить функциональные возможности устройства, выполняя одновременно умножение и деление.

#### Формула изобретения

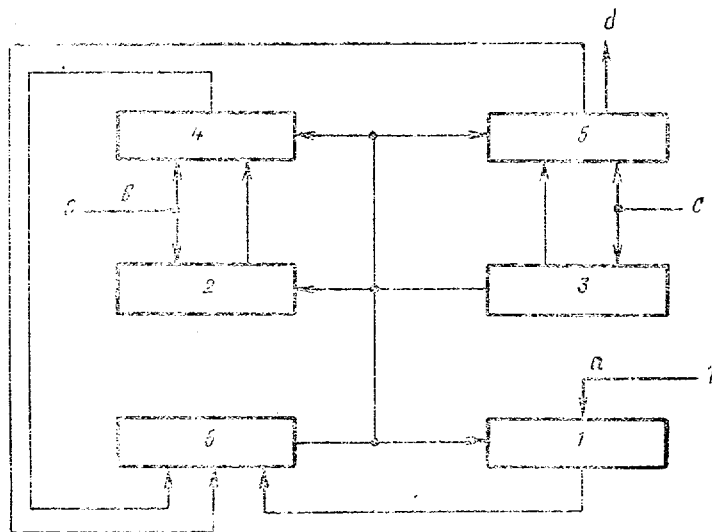
Множительно-делительное устройство, содержащее два регистра, сумматор, первый вход которого подключен к выходу первого

5 регистра, первый вход которого подключен к второму входу сумматора и к первому входу устройства, и блок управления, отличающееся тем, что, с целью повышения быстродействия и расширения функциональных возможностей, в устройство введены дополнительные сумматоры и регистр, выход которого 10 подключен к первому входу блока управления, второй вход которого подключен к первому выводу дополнительного сумматора, первый вход которого подключен к выводу второго регистра, первый вход которого 15 подключен к выводу блока управления, к второму входу первого регистра, третьему входу первого сумматора, второму входу дополнительного сумматора и к первому входу дополнительного регистра, второй вход которого 20 подключен к второму входу устройства, третий вход которого подключен к третьему входу дополнительного сумматора и к второму входу второго регистра, выход дополнительного сумматора является выходом устройства.

Источники информации, принятые во внимание при экспертизе:

1. «Вестник Львовского политехнического института», 1972, № 68, стр. 33.

2. В. М. Каган и др. «Цифровые вычислительные машины и системы», М., «Энергия», 1973 г., стр. 329—349 (прототип).



Составитель В. Жуков

Редактор В. Трофимов

Техред М. Семенов

Корректор Н. Аук

Заказ 908/9

Изд. № 4

Тираж 815

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2