



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 29.06.78 (21) 2636269/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 15.02.81. Бюллетень № 6

Дата опубликования описания 17.02.81

(11) 805191

(51) М. Кл.³

G 01 R 23/00

(53) УДК 681.323

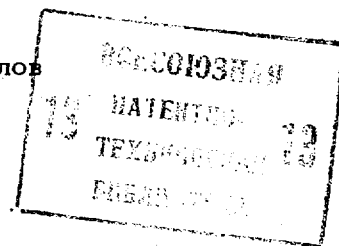
(088.8)

(72) Авторы
изобретения

В.П. Шмерко, Н.А. Маслакова и М.А. Орлов

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СПЕКТРА МОЩНОСТИ

Изобретение относится к цифровой вычислительной технике и может быть использовано при создании специализированных процессов для спектрального анализа процессов и сигналов, вычислительно-моделирующих комплексов для испытаний изделий на внешние воздействия, навигационных и радиолокационных систем слежения и обнаружения.

Известные устройства можно разделить на две группы: первая группа реализует в том или ином виде алгоритм быстрого преобразования Фурье (БПФ), а в основу работы второй группы устройств положен принцип преобразования корреляционной функции в спектральную область.

Известно устройство, относящееся к первой группе, наиболее общими структурными элементами которого, а также других устройств представляющих первую группу являются: блок задания системы базисных функций, выполненный в виде блока памяти, блоков хранения и преобразования информации или реализованный в виде группы регистров и логических схем; операционный блок, включающий в себя в том или ином схемном решении умножи-

тели и сумматоры; блок управления, регламентирующий взаимодействие всех структурных элементов устройства [1].

Недостаток этого устройства состоит в невысоком быстродействии, ограниченном требованиями полноразрядного умножения и использованием тригонометрических функций.

Наиболее близким по технической сущности к изобретению является устройство, содержащее блок определения корреляционной функции, три переключателя, два блока памяти, блок умножения, регистр, цифроаналоговый преобразователь, интегратор, блок определения весового коэффициента, шифратор, схему сравнения, три счетчика, конъюнктор, ключевой элемент, делитель, сумматор, дешифратор, формирователь адреса и блок синхронизации. Это устройство обеспечивает вычисление спектра мощности Фурье через промежуточную корреляционную функцию [2].

Основным недостатком его является низкое быстродействие получения спектра мощности Фурье, что обусловлено прежде всего принципом работы, положенным в его схемную реализацию. Устройство принципиально не позволя-

ет вычислить спектр мощности Фурье через спектр мощности Уолша, что дает значительное преимущество в быстродействии по сравнению с традиционными схемами. Наряду с этим устройство не позволяет решить ряд задач в условиях, когда исходный (анализируемый) процесс недоступен для анализа, но его характеристики известны априори и заданы в виде спектра Уолша. Примером таких объектов могут быть летательные аппараты, сейсмические объекты и т.д. Вторым недостатком заключается в том, что устройство обеспечивает "последовательное сканирование" частотного диапазона, т.е. на его выходе образуются последовательно компоненты (коэффициенты) спектра мощности Фурье. Это не только снижает быстродействие, но и сужает область их применения.

Цель изобретения - повышение быстродействия вычисления спектра мощности Фурье.

Эта цель достигается тем, что в устройстве для вычисления спектра мощности, содержащее два счетчика, вход первого из которых является первым входом устройства, первый регистр, вход которого является вторым входом устройства, первый блок памяти, первый вход которого является третьим входом устройства, выход первого счетчика подключен к первому входу блока сравнения, второй вход которого соединен с выходом первого регистра, а выход подключен к первому входу блока синхронизации, первый выход которого соединен с первым входом первого сумматора, с первым входом второго счетчика и со вторым входом первого счетчика, второй выход блока синхронизации соединен со вторым входом второго счетчика, третий вход которого подключен к выходу шифратора, а выход соединен со входом первого дешифратора и первым входом формирователя адреса, выход дешифратора подключен к первому входу блока селекции, выход которого соединен со вторым входом формирователя адреса, третий вход которого соединен с выходом первого счетчика, выход первого блока памяти подключен к первому входу первого переключателя, второй вход которого соединен с выходом второго блока памяти, вход которого подключен к выходу формирователя адреса, выход первого переключателя соединен с первым входом блока умножения, выход которого подключен к первому входу второго переключателя, выход которого соединен со вторым входом первого сумматора, выход третьего переключателя соединен со вторым входом первого блока памяти, введены два блока элементов ИЛИ, блок формирования дополнительного кода, триггер, второй регистр, генератор кода Грея, второй сумматор, второй де-

шифратор, блок вычисления спектра Уолша, задатчик номера цикла работы, первый вход которого подключен к выходу второго дешифратора, вход которого соединен с выходом первого счетчика, входы второго регистра соединены соответственно с первым и с третьим выходом блока синхронизации и с выходом задатчика номера цикла работы, второй вход которого объединен со вторым входом генератора кода Грея, входом первого блока элементов ИЛИ, с первым входом третьего переключателя и со входом блока формирования дополнительного кода и подключен к выходу второго регистра, выход первого блока элементов ИЛИ соединен со вторым входом блока синхронизации, вход второго блока элементов ИЛИ подключен к выходу второго счетчика, а выход соединен с третьим входом первого переключателя и с третьим входом блока синхронизации, входы второго сумматора соединены соответственно с первым выходом блока синхронизации и со вторым выходом второго переключателя, входы триггера подключены соответственно к первому и четвертому выходам блока синхронизации, а выход триггера соединен со вторым входом второго переключателя и с третьим входом третьего переключателя, третий вход которого подключен к выходу блока формирования дополнительного кода, выход блока вычисления спектра мощности Уолша соединен с третьим входом первого блока памяти и вход является четвертым входом устройства.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 представлена временная диаграмма работы блока 23 синхронизации.

Устройство содержит первый 1 и второй 2 регистры, первый 3 и второй 4 счетчики, блок 5 формирования дополнительного кода, блок 6 сравнения, первый 7 и второй 8 дешифраторы, блок 9 селекции, генератор 10 кода Грея, формирователь 11 адреса, задатчик 12 номера цикла работы, первый 13 и второй 14 блока памяти, первый 15, второй 16 и третий 17 переключатели, блок 18 вычисления спектра мощности Уолша, шифратор 19, блок 20 умножения, первый 21 и второй 22 сумматоры, блок 23 синхронизации, первый 24 и второй 25 дизъюнкты, триггер 26.

Регистр 1 предназначен для приема и хранения последнего номера $K \in \{1, 2, \dots, N/4\}$ пересчитываемой спектральной компоненты, (Здесь и далее по тексту анализируемый процесс $X(n)$ задан N отсчетами $n = 0, 1, \dots, N-1$, причем $N = 2^m$, m - любое целое число. Спектры мощности Фурье и Уолша заданы $N/2 - 1$ компонентами: $P_F(K)$, $K = 1, 2, \dots, N/2 - 1$; $P_W(r)$, $r = 1, 2, \dots, N/2 - 1$ (1).

Регистр 2 предназначен для задания своим состоянием текущего номера цикла $r \in \{1, 2, \dots, N/4\}$ работы устройства: его разрядность определяется соотношением $m-1$. Сброс в нулевое состояние осуществляется по второму входу, а запись информации - с первого входа по синхроимпульсу, поступающему на второй вход.

Первый счетчик 3 предназначен для задания номеров тактов устройства $i \in \{3, 4, \dots, m\}$ его разрядность определяется соотношением $\text{ent}(\log_2 m) + 1$. Исходное состояние задается кодом с первого входа по синхроимпульсу с третьего входа. Последний является также сигналом, по которому осуществляется пересчет. Установка в нуль организуется по второму входу.

Второй счетчик 4 обеспечивает формирование последовательности номеров вычисляемых компонентов спектра мощности Уолша, его разрядность определяется соотношением $m-1$. Запись исходного кода состояния организуется по первому входу, а счет - по второму входу.

Блок 5 формирования дополнительного кода выполняет преобразование кода номера цикла $r \in \{1, 2, \dots, N/4\}$ соответствующего состоянию второго регистра 2, в дополнительный код и может быть реализован по любому из известных методов.

Блок 6 сравнения обеспечивает анализ поступающих на первый и второй входы кодов на совпадение и в случае их равенства формирует на своем выходе сигнал кода вычислений.

Первый дешифратор 7 обеспечивает преобразование текущего номера такта устройства, поступающего на его вход, соответственно с выражением

$$Y_2 = i_{10} - 2; \quad i_{10} \in \{3, 4, \dots, m\}, \quad (2)$$

где Y_2 - номер разряда двоичного кода на выходе, в котором записана единица (нумерация разрядов в двоичном коде здесь и далее по тексту справа налево), i_{10} - код на входе в десятичной системе счисления.

Второй дешифратор 8 предназначен для преобразования текущего номера вычисляемой спектральной компоненты $k \in \{1, 2, \dots, N/4\}$ в соответствии с выражением

$$Y_2 = R(2K) \oplus R(2K-1),$$

где Y_2 - двоичный код на выходе $R(2K)$, $R(2K-1)$ - коды Грея от чисел $2K$ и $2K-1$ соответственно, \oplus - операция поразрядного суммирования по модулю два.

Блок 9 селекции предназначен для формирования признака тригонометрической функции (синуса или косинуса) для первого преобразователя 11 кода путем выделения одного из $m-2$ разрядов кода Грея $R(2r)$, поступающего

на его второй вход, номер которого определен единицей в соответствующем разряде кода на первом (управляющем) входе.

Генератор 10 кода Грея предназначен для формирования последовательности $m-2$ старших разрядов кодов Грея от чисел $2r$, обозначаемых $R(2r)$, где $r \in \{1, 2, \dots, N/4\}$ - текущий номер цикла устройства, подаваемый на вход. Генератор 10 кода Грея может быть выполнен по любому из известных методов.

Формирователь 11 адреса предназначен для формирования адреса требуемой в процессе вычислений константы (синуса или косинуса), хранящейся в первом блоке 13 памяти. Коды на первом и втором его входах задают в совокупности аргумент функции, а уровень напряжения на третьем входе определяет вид функции (синус или косинус).

Задатчик 12 номера цикла работы устройства задает этот номер из области $r \in \{1, 2, \dots, N/4\}$ по кодам на первом и втором его входах.

Первый блок 13 памяти предназначен для хранения констант вида

$$A = \cos^2(p\pi/2^m), \quad p \in \{1, 2, \dots, N/2-1\},$$

записанных по последовательным адресам $L=1, 2, \dots, N/2$.

Второй блок 14 памяти предназначен для хранения коэффициентов спектра мощности Уолша, которые записываются со второго или третьего входа по последовательным адресам памяти. Код адреса задается на первом входе.

Первый переключатель 15 обеспечивает коммутацию на выход первого или третьего входов в зависимости от управляющего сигнала на втором входе.

Второй переключатель 16 обеспечивает коммутацию на первый или второй выход первого входа в зависимости от управляющего сигнала на втором входе.

Третий переключатель 17 обеспечивает коммутацию на выход второго или третьего входов в зависимости от управляющего сигнала на втором входе.

Блок 18 вычисления спектра мощности Уолша предназначен для вычисления коэффициентов спектра мощности Уолша, процесса, поступающего на его вход.

Шифратор 19 предназначен для задания кода исходного состояния первого счетчика 3 (начального номера такта работы устройства) путем преобразования входного кода в соответствии с выражением

$$Y_{10} = j_{10} + 2; \quad j_{10} \in \{1, 2, \dots, \text{loc}_2 N/4\}$$

где Y_{10} - выходной код в десятичной системе счисления;

j_{10} - номер разряда входного двоичного кода, в котором записана единица.

Шифратор 19 обеспечивает преобразование входного $(m-1)$ - разрядного кода в код разрядности $\text{ent}(\log_2 m)+1$. в код разрядности $\text{ent}(\log_2 m)+1$.

В операционную часть устройства входят блок 20 умножения, первый 21 и второй 22 сумматоры. Блок 20 умножения формирует последовательность произведений чисел, хранящихся в первом 13 и втором 14 блоках памяти и передаваемых в определенном порядке через первый переключатель 15 на его первый вход, управление работой блока 20 умножения осуществляется уровнем напряжения на втором входе.

Первый 21 и второй 22 сумматоры представляют собой накапливающие структуры: установка их в нулевое состояние выполняется по второму входу.

Блок 23 синхронизации предназначен для регламентирования работы всех блоков устройства в процессе функционирования.

Первый 24 и второй 25 блоки элементов ИЛИ формируют управляющие сигналы конца вычисления одной спектральной компоненты и конца одного цикла соответственно путем анализа содержимого всех разрядов второго регистра 2 и первого счетчика 3 на нуль.

Триггер 26 обеспечивает формирование управляющих сигналов для второго 16 и третьего 17 переключателей. Работа триггера организована по первому счетному входу, а установка в нуль - по второму входу.

Первый 11 и второй 12 преобразователи кода имеют особенности функционирования.

Блок 11 выполняет преобразование входных кодов, поступающих на первый и второй входы, в двух режимах, определяемых сигналом Z на третьем (управляющем) входе. Преобразование выполняется в соответствии с выражениями

$$l = \text{ent } 2^{i-1}(k-1)+1$$

$$L = \begin{cases} Z=0 \\ 2^{m-i} [k-2^i \text{ent } 2^{i-1}(k+2^{i-1}-1)]; \text{ } l-\text{неч.} \\ 2^{m-i} [2^i \text{ent } 2^{i-1}(k+2^{i-1}-1)-k]; \text{ } l-\text{чет.} \end{cases} \quad (5)$$

$$\begin{cases} Z=1 \\ 2^{m-i} [2^i \text{ent } 2^{i-1}(k-1)+2^{i-1}-k]; \text{ } l-\text{неч.} \\ 2^{m-i} [k-2^{i-1}-2^i \text{ent } 2^{i-1}(k-1)]; \text{ } l-\text{чет.} \end{cases} \quad (6)$$

где $i \in \{3, 4, \dots, m\}$ - код номера такта на втором входе; $k \in \{1, 2, \dots, N/4\}$ - код номера вычисляемого коэффициента спектра мощности Фурье на первом входе; $l \in \{0, 1, 2, \dots, N/2\}$ - преобразуемый код на выходе, являющийся

адресом константы, причем значения $L=0, N/2$ исключаются.

В целях более точного описания работы устройства на каждом такте i и цикле r в дальнейшем адрес константы A обозначается $L_{i,r}(k)$, а сама константа A записывается в виде $A_{i,r}(k)$. В табл. 1 и 2 приведены значения $L_{i,r}(k)$ для $N=2^5=32$, где $L_{i,r}(k)=0,16$ исключается.

10 Первый режим, $Z=0$ Таблица 1

$k \setminus i$	1	2	3	4	5	6	7	8
3	4	8	12	16	12	8	4	0
4	2	4	6	8	10	12	14	16
5	1	2	3	4	5	6	7	8

20 Второй режим $Z=1$ Таблица 2

$k \setminus i$	1	2	3	4	5	6	7	8
3	12	8	4	0	4	8	12	16
4	14	12	10	8	6	4	2	0
5	15	14	13	12	11	10	9	8

Блок 12 кода содержит $m-1$ узлы преобразования, каждый из которых преобразует входной $(m-1)$ разрядный код в последовательность кодов в соответствии с выражением

$$Y_j = 2^{j-1}(2l-1), l \in \{1, 2, \dots, N/2^{j+1}\}, j \in \{1, 2, \dots, (m-1)\}, \quad (7)$$

где j - номер разряда, в котором записана единица в $(m-1)$ разрядном двоичном коде, подаваемом на первый вход; также определяется номер схемы в преобразователе.

В табл. 3 приведен пример работы второго преобразователя 12 кода.

45 Таблица 3

№ схемы	Первый вход	Выход
1	00...0001	1, 2, 3, ..., $N/4-1, 0$
2	00...0010	2, 6, 10, ..., $N/4-2, 0$
3	00...0100	4, 12, 20, ..., $N/4-4, 0$
$m-1$	10...0000	$2^{m-2}, 0$

Блок 12 формирует код по соответствию кодов на втором входе и выходе. Так, например, если на первый вход поступил код выбора второй схемы 0...010 (табл. 3), а на второй вход подан нулевой код 0...0, то на выходе передается код $Y_2 = 2_{10} = 0...010_2$. Очередной код на выходе $Y_2 = 6_{10} = 0...0110_2$ формируется после того, как на второй вход преобразователя будет

подан предыдущий код, т.е. $2_{10}=0\dots 010$.

Это обеспечивается тем, что выход блока 12 подключен к первому входу второго регистра 2, выходом соединенного со вторым входом блока 12. Запись информации с первого входа второго регистра 2 и передачи ее на выход организуется по управляющему сигналу на третьем его входе.

Блоки 11 и 12 могут быть выполнены в виде комбинационных схем, синтезированных по известным методам как конечные автоматы, или в виде вычислительных устройств, микропрограммы управления которых реализуют законы функционирования в соответствии с (5)-(7).

Устройство обеспечивает вычисление спектра мощности Фурье в двух режимах.

Первый режим позволяет получить спектр мощности Фурье непосредственно по анализируемому процессу. Для этого последний подается на четвертый вход устройства, преобразуется блоком 18 вычисления спектра мощности Уолша в соответствии с соотношениями

$$P_w(r) = \frac{1}{L} \sum \bar{P}_w(r)$$

$$\bar{P}_w(r) = \begin{cases} V_C^2(r), & r=0 \\ V_C^2(r) + V_S^2(r), & r=1, 2, \dots, N/2-1 \end{cases}$$

$$V_C(r) = \frac{1}{N} \sum_{v=0}^{N-1} x(v) \omega_{2S}(2S, v)$$

$$V_S(r) = \frac{1}{N} \sum_{v=0}^{N-1} x(v) \omega_{2S}(2S-1, v); \quad r=1, 2, \dots, N/2-1,$$

где L - параметр усреднения, определяемый требуемой дисперсией оценки. Вычисленные компоненты спектра мощности Уолша записываются по последовательным адресам второго блока 14 памяти. Остальные блоки устройства реализуют преобразование компонент спектра мощности Уолша в необходимое количество компонент спектра мощности Фурье, определяемых исходными данными с первого и второго входов устройства (начальным и конечным номером вычисляемых компонент).

Второй режим обеспечивает получение спектра мощности Фурье по известному спектру мощности Уолша, причем составляющие (компоненты) последнего заранее известны (вычислены, получены из табл. графиков и т.д.) и записываются с третьего входа устройства во второй блок 14 памяти. Задание количества вычисляемых компонент спектра мощности Фурье выполняется аналогично первому режиму.

В обоих режимах спектр мощности Фурье формируется на выходах устройства параллельно: на первый выход

передаются компоненты с номерами $K \in \{1, 2, \dots, N/4\}$, а на второй - с номерами $K \in \{N/4, N/4+1, \dots, N/2-1\}$, причем особенностью параллельной работы является "сканирование" частотного диапазона с концов к середине. Например, если на первом выходе устройства сформирована компонента с номером $K=1$, то на втором выходе образуется компонента с номером, дополняющим до $N/2$, т.е. $K=N/2-1$.

Функционирование устройства начинается с подготовительного этапа, на котором осуществляется задание количества вычисляемых компонент спектра мощности Фурье и загрузка второго блока 14 памяти. Во второй счетчик 4 с первого входа устройства записывается двоичный код номера первой вычисляемой компоненты спектра мощности Фурье в виде K_1-1 , $K_1 \in \{1, 2, \dots, N/4\}$, а в первый регистр 1 со второго входа устройства записывается двоичный код номера последней вычисляемой компоненты $K_2 \geq K_1$, $K_2 \in \{1, 2, \dots, N/4\}$.

Загрузка второго блока 14 памяти заключается в записи по его последовательным адресам P_r , $r=1, 2, \dots, N/2-1$, где r - порядковый номер коэффициентов спектра мощности Уолша. В первом режиме это осуществляется в результате работы блока 18 вычисления спектра мощности Уолша, выход которого подключен ко второму входу второго блока 14 памяти, а во втором режиме - через третий вход устройства. На этом подготовительный этап заканчивается и дальнейшая работа устройства регламентируется блоком 23 синхронизации.

По внешней команде в момент времени t_1 (фиг. 2) блок 23 синхронизации формирует на своем втором входе импульсный сигнал, по которому устанавливаются в нулевое состояние первый 21 и второй 22 сумматоры, триггер 26, первый счетчик 3 и второй регистр 2, а второй счетчик 4 увеличивает состояние на единицу. При этом на выходах первого 24 и второго 25 дизъюнкторов в момент времени t_2 формируются низкие логические уровни напряжений. С выхода первого дизъюнктора 24 уровень логического нуля подается на третий вход блока 23 синхронизации и является признаком формирования одиночного импульса на третьем его выходе, а уровень логического нуля с выхода второго дизъюнктора 25 является командой начала выработки группы импульсов на четвертом выходе блока 23 синхронизации. В момент времени t_3 на третьем и четвертом выходах блока 23 синхронизации формируются сигналы, по которым первый счетчик 3 и второй регистр 2 изменяют свои состояния, которые определяются шифратором 19 и блоком 12. В свою очередь формируемые ими коды исходных состояний зависят от преоб-

разованного вторым дешифратором 8 кода номера вычисляемой спектральной компоненты, хранящегося во втором счетчике 4. В момент времени t_4 на выходах первого 24 и второго 25 дизъюнктора образуются высокие логические уровни напряжений, так как состояние первого счетчика 3 и второго регистра 2 не равны нулю. При этом сигнал логической единицы с выхода первого блока 24 элементов ИЛИ блокирует формирование сигналов на третьем выходе, а сигнал с выхода второго блока 25 элементов ИЛИ обеспечивает для первого переключателя 15 задание режима коммутации связи третьего входа с выходом; включение блока 20 умножения.

Дальнейшая работа устройства заключается в выборке из первого блока 13 памяти требуемой константы и передачи ее через первый переключатель 15 в блок 20 умножения, формирование адреса блоком 11 согласно (5) и (6) по коду номера вычисляемой спектральной компоненты $K \in \{1, 2, \dots, N/4\}$, подаваемого на второй вход, коду номера такта $i \in \{3, 4, \dots, m\}$ работы устройства на первом входе и логического уровня на третьем входе. Последний формируется блоком 9 селекции путем выделения одного из разрядов кода Грея $R(2r)$, образованного генератором 10 кода Грея, от числа, равного удвоенному номеру цикла $2r$ работы устройства. Номер выделяемого разряда задается первым дешифратором 7 согласно (2) путем формирования двоичного кода с единицей в выделяемом разряде и нулевыми остальными по коду номера такта $i \in \{3, 4, \dots, m\}$.

Таким образом, на первый вход блока 20 умножения передается первый операнд, являющийся константой из первого блока 13 памяти. Например, если во втором счетчике записан код 00001 ($N=2^5=32; m=5$), то в момент времени t_2 он изменяется и становится равным $K=0001$. На выходе второго дешифратора 8 согласно (3) образуется код 001, который шифратором 19 преобразуется в код 011, а блоком 12 - в код 0001 (7). Следовательно, номер такта (состояние первого счетчика 3) работы устройства равен $i=011$, а номер цикла $r=0001$ (состояние второго счетчика 2) - момент времени t_4 . Код номера цикла $r=0001$ передается в генератор 10 кода Грея и преобразуется в виде $R(2r)=00011$, три разряда которого 0000 передаются за его выход. Первый дешифратор 7 в соответствии с (2) по коду состояния первого счетчика 3 $i=011$ формирует на выходе код 001, по которому блок 9 селекции выделяет первый разряд кода на втором входе $Z=0$. Следовательно, работа блока 11 определяется следующей информацией на его входах: кодом $i=011$

На первом входе, кодом $K=0001$ на втором входе и уровнем $Z=0$ на третьем входе. В соответствии с (5) и (6) на его выходе образуется код адреса $L_{i,r}(K)=L_{3,1}=0100$, по которому в момент времени t_4 из первого блока 13 памяти считывается константа вида

$$A_{i,r}(K)=A_{3,1}(1)=\cos^2(\rho\pi/2^m)=\cos^2 4\pi/2^m=0,9125$$

$$P=L_{i,r}(K)=4,$$

передаваемая затем через первый переключатель 15 на первый вход блока 20 умножения (первый операнд).

В момент времени t_5 на четвертом выходе блока 23 синхронизации формируется очередной импульсный сигнал, который переводит первый счетчик 3 в следующее (на единицу больше предшествовавшего) состояние. Это приводит к изменению кода на входе первого дешифратора 7, первом входе блока 11, формированию нового адреса на выходе последнего. Константа, считанная по этому адресу из первого блока 13 памяти, является вторым операндом для блока 20 умножения, который осуществляет перемножение предыдущей константы с данной. Это произведение является одним из операндов для очередной константы.

Для рассматриваемого примера состояние первого счетчика 3 становится равным $i=100$, следовательно, адрес константы равен $L_{i,r}(K)=2$, а ее величина равна

$$A_{i,r}(K)=A_{0,1}(1)=\cos^2 2\pi/2^5=0,980$$

$$P=L_{i,r}(K)=2.$$

Количество таких тактов работы устройства определяется моментом установки первого счетчика 3 в нулевое состояние. При этом в момент времени t_7 на выходе второго блока 25 элементов ИЛИ появляется низкий логический уровень напряжения, который блокирует формирование импульсов на четвертом входе блока 23 синхронизации, переводит первый переключатель 15 в режим передачи информации с первого входа на выход и значение коэффициента спектра мощности Уолша с выхода второго блока 14 памяти передается в блок 20 умножения. Операция умножения заканчивается в момент t_8 (фиг. 2 конец УМН). Причем, предыдущее произведение, которое в данном случае выступает в качестве второго операнда, сохраняется в локальной памяти блока 20 умножения (например, в регистре).

Адрес коэффициента спектра мощности Уолша, к моменту времени t_8 определен нулевым состоянием триггера 26 низким, логический уровень с выхода которого подается на второй вход третьего переключателя 17 и коммутирует тракт передачи информации с первого его входа на выход,

т.е. номер цикла работы устройства g с выхода второго регистра 2 через третий переключатель 17 передается в качестве кода адреса на первый вход второго блока 14 памяти.

Сформированное в блоке 20 умножения произведение передается через второй переключатель 16 на первый вход первого сумматора 21, поскольку триггер 26 своим низким логическим уровнем на выходе коммутирует во втором переключателе 16 первый вход на первый выход.

В момент времени t_9 на первом выходе блока 23 синхронизации вырабатывается сигнал, по которому триггер 26 переводится в единичное состояние и тем самым коммутирует во втором переключателе 16 первый вход на второй выход, а в третьем переключателе 17 - третий вход на выход. Это обеспечивает задание блоком 5 формирования дополнительного кода на своем выходе адреса $N/2 - g$, т.е. дополнительного кода до числа $N/2$ от текущего номера цикла. По этому адресу из второго блока 14 памяти считывается очередной коэффициент спектра мощности Уолша и передается в блок 20 умножения, в котором осуществляется его умножение на содержимое локальной памяти последнего. Затем это произведение через второй переключатель 16 пересылается во второй сумматор 22 (момент времени t_9 конец УМН).

Таким образом, за интервал времени $t_1 - t_7$ в блоке 20 умножения формируется произведение из констант, считываемых из первого блока 13 памяти. Затем полученное число умножается на коэффициент спектра мощности Уолша, хранящийся по адресу $P_r = g$ и передается в первый сумматор 21 накапливающего типа. Аналогичные операции выполняются с другим коэффициентом спектра мощности Уолша, считанного с адреса $P_r = N/2 - g$. На этом заканчивается первый цикл работы устройства.

В момент времени t_9 на третьем и четвертом выходах блока 23 синхронизации формируются импульсные сигналы, которые обеспечивают запись исходного номера такта в первый счетчик 3 и очередного номера цикла во второй регистр 2. На выходе второго блока 25 элементов ИЛИ появляется высокий логический уровень напряжения (t_{10}) и дальнейшая работа устройства аналогична предыдущему циклу. Так, устройство выполняет действия в момент t_{12} адекватные моменту времени t_7 , а интервал $t_{12} - t_{14}$ можно поставить в соответствие с интервалом времени $t_7 - t_5$, при этом изменяется только номер цикла, формируемый во втором регистре 2, адреса считывания со второго блока 14 памяти коэффициентов спектра мощности Уолша и

содержимое первого 21 и второго 22 сумматоров, в которых происходит алгебраическое сложение результатов работы каждого цикла. Состояние триггера 26 определяется сигналом на первом (счетном) входе и изменяется в моменты времени t_2 и t_{19} (установка в нуль) t_5, t_{14}, t_{16} . Уровень напряжения на его выходе влияет только на последовательность передачи информации в первый 21 и второй 22 сумматоры. Так, нулевое его состояние определяет работу первого сумматора 21, на первый вход которого передается число, равное произведению содержимого локальной памяти блока 20 умножения на коэффициент спектра мощности Уолша, считанного с адреса $P_r = g$ второго блока 14 памяти. Единичное состояние триггера 26 обеспечивает работу второго сумматора 22, на первый вход которого передается число, равное произведению содержимого локальной памяти блока 20 умножения на коэффициент спектра мощности Уолша, хранящегося по адресу $P_r = N/2 - g$ во втором блоке 14 памяти.

Табл. 4 численно иллюстрирует работу устройства на каждом такте и цикле для $N=2^5$, $m=5$, $K=1$. В колонках приведены значения считываемых из первого блока 13 памяти констант, а также их произведение (столбцы) до момента умножения на коэффициенты спектра мощности Уолша. Из табл. 4 видно, что для коэффициента спектра мощности Фурье с номером $K=1$ устройство работает не на всех тактах, а только начиная с третьего номера. Номера циклов также представлены выборочной, функционально связанной последовательностью чисел, обусловленной особенностью функционирования второго преобразователя 12 кода.

Т а б л и ц а 4

45	Номер такта i	Номер цикла			
		1	3	5	7
50	3	0,852	0,146	0,146	0,851
	4	0,960	0,960	0,038	0,038
	5	0,990	0,990	0,990	0,990
55	4	0,809	0,139	0,005	0,032

60 Количество циклов работы устройства согласно (7) равно $N/2^{j+1}$; $j \in \{1, 2, \dots, m-1\}$, где j - функционально связанный с номером вычисляемого коэффициента спектра мощности Фурье параметр. В моменты времени t_{15} и t_{16} выполняется умножение последней пары 65 коэффициентов спектра мощности Уолша

на число, полученное путем последовательного перемножения констант из первого блока 13 памяти за период $t_{14}-t_{15}$. Очередной импульс на третьем выходе блока 23 синхронизации приводит к записи во второй регистр 2 нулевого кода (t_{17}), по которому срабатывает блок элементов ИЛИ. Низкий логический уровень на его выходе является признаком конца вычислений коэффициента спектра мощности Фурье с номером K_1 , хранящимся во втором счетчике 4.

Блок 23 синхронизации формирует на своем втором выходе импульс (t_{18}), по которому первый 21 и второй 22 сумматоры передают на первый и второй выходы устройства свое содержимое, т.е. коэффициенты спектра мощности Фурье с номерами K_1 и $N/2 - K_1$ соответственно, причем при передаче числа с выхода сумматоров на выходы устройства выполняется умножение на масштабный множитель C , пропорциональный степени двух, путем соответствующей коммутации выходов сумматоров и устройства. По этому сигналу устанавливаются в нулевое состояние первый счетчик 3, триггер 26 и подтверждается нулевое состояние второго регистра 2. При этом содержимое второго счетчика 4 увеличивается на единицу.

Процесс вычислений очередного коэффициента спектра мощности Фурье аналогичен рассмотренному. Например, табл.5 по аналогии с табл.4 численно характеризует работу устройства для $K=2$.

Т а б л и ц а 5

Номер такта i		Номер цикла r
4	0,851	0,146
5	0,960	0,960
У	0,818	0,140

Работа устройства для первого и второго выходов при вычислении пары коэффициентов спектра мощности Фурье с номером K и $N/2 - K$ соответственно характеризуется выражениями

$$\left. \begin{aligned} P_F(K) &= C \sum_{r \in A} P_w(r) \prod_{i,r} A_{i,r}(K) \\ P_F(K) &= C \sum_{r \in B} P_w(r) \prod_{i,r} A_{i,r}(K) \end{aligned} \right\} (8)$$

$$\begin{aligned} A &= 1, 2, \dots, N/4 \\ B &= N/2 - 1; N/2 - 2, \dots, N/4 \\ i &\in \{3, 4, \dots, m\} \\ K &\in \{1, 2, \dots, N/4\} \end{aligned}$$

Формулы (8) отражают процедуру перекрытия спектрального диапазона из $N/2 - 1$ компонент с концов, т.е. последовательно вычисляются пары коэффициентов спектра мощности Фурье с но-

мерами 1 и $N/2 - 1$, 2 и $N/2 - 2$ и т.д.; сокращение числа тактов и циклов работы устройства, поскольку i и r принимают значения из указанных областей определения.

5 Функционирование устройства оканчивается если предварительно задано условие $K_1 = K_2$. Например, для вычисления коэффициентов спектра мощности Фурье с номерами 1 и $N/2 - 1$ во второй счетчик 4 записывается код $K = K_1 - 1 = 0 \dots 0$, а в первый регистр - код $K_2 = 0 \dots 01$. В противном случае вычисления продолжают до тех пор, пока не выполнится условие $K_1 = K_2$ анализируемое блоком 6 сравнения.

15 Таким образом, технико-экономическая эффективность предлагаемого устройства заключается в следующих его качествах: в сокращении времени вычисления спектра мощности Фурье за счет обеспечения возможности получения его по спектру мощности Уолша того же процесса, устранения отдельных (холостых) тактов и циклов работы устройства, возможности вычисления отдельных, заданных своими номерами и существенных при решении конкретной задачи спектральных компонент, организации параллельной работы устройства, обеспечивающего одновременное формирование пар коэффициентов спектра мощности Фурье; в расширении функциональных возможностей за счет вычисления спектра мощности Фурье по исходному (анализируемому) процессу и его спектру мощности Уолша, вычисления отдельных заданных своим номером, спектральных компонент, обеспечения возможности "сканировать" частотный диапазон от концов интервала к его середине; в сокращении трудоемкости проведения спектрального анализа и в частности повышении производительности за счет устранения (упразднения) операций, связанных с подготовкой, настройкой аппаратуры, записью процесса на носители информации в условиях, когда известен спектр мощности Уолша анализируемого процесса, устранения непроизводительных затрат времени на анализ всего частотного диапазона путем выделения в нем требуемых участков в условиях, когда спектральная область априори известна, упрощения контроля и диагностики устройства.

55 Формула изобретения

60 Устройство для вычисления спектра мощности, содержащее два счетчика, вход первого из которых является первым входом устройства, первый регистр, вход которого является вторым входом устройства, первый блок памяти, первый вход которого является третьим входом устройства, выход первого счет-

65

чика подключен к первому входу блока сравнения, второй вход которого соединен с выходом первого регистра, а выход подключен к первому входу блока синхронизации, первый выход которого соединен с первым входом первого сумматора, первым входом второго счетчика и со вторым входом первого счетчика, второй выход блока синхронизации соединен со вторым входом второго счетчика, третий вход которого подключен к выходу шифратора, а выход соединен со входом первого дешифратора и первым входом формирователя адреса, выход дешифратора подключен к первому входу блока селекции, выход которого соединен со вторым входом формирователя адреса, третий вход которого соединен с выходом первого счетчика, выход первого блока памяти подключен к первому входу первого переключателя, второй вход которого соединен с выходом второго блока памяти, вход которого подключен к выходу формирователя адреса, выход первого переключателя соединен с первым входом блока умножения, выход которого подключен к первому входу второго переключателя, выход которого соединен со вторым входом первого сумматора, выход третьего переключателя соединен со вторым входом первого блока памяти, отличающееся тем, что, с целью повышения быстродействия вычисления спектра мощности Фурье, в устройство введены два блока элементов ИЛИ, блок формирования дополнительного кода, триггер, второй регистр, генератор кода Грея, второй сумматор, второй дешифратор, блок вычисления спектра Уолша, задатчик номера цикла работы, первый вход которого подключен к выходу второго

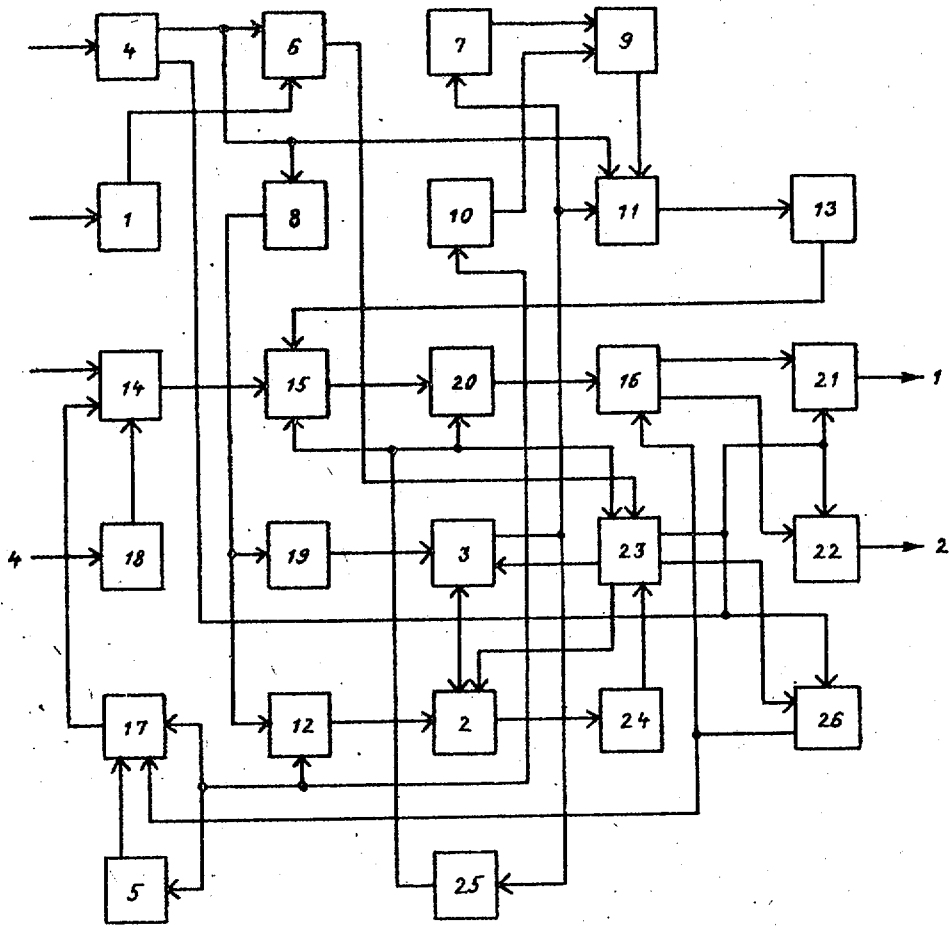
дешифратора, вход которого соединен с выходом первого счетчика, входы второго регистра соединены соответственно с первым и с третьим выходом блока синхронизации и с выходом задатчика номера цикла работы, второй вход которого объединен со входом генератора кода Грея, входом первого блока элементов ИЛИ, с первым входом третьего переключателя и со входом блока формирования дополнительного кода и подключен к выходу второго регистра, выход первого блока элементов ИЛИ соединен со вторым входом блока синхронизации, вход второго блока элементов ИЛИ подключен к выходу второго счетчика, а выход соединен с третьим входом первого переключателя и с третьим входом блока синхронизации, входы второго сумматора соединены соответственно с первым выходом блока синхронизации и со вторым выходом второго переключателя, входы триггера подключены соответственно к первому и четвертому выходам блока синхронизации, а выход триггера соединен со вторым входом второго переключателя и с третьим входом третьего переключателя, третий вход которого подключен к выходу блока формирования дополнительного кода, выход блока вычисления спектра мощности Уолша соединен с третьим входом первого блока памяти, а вход является четвертым входом устройства.

Источники информации,

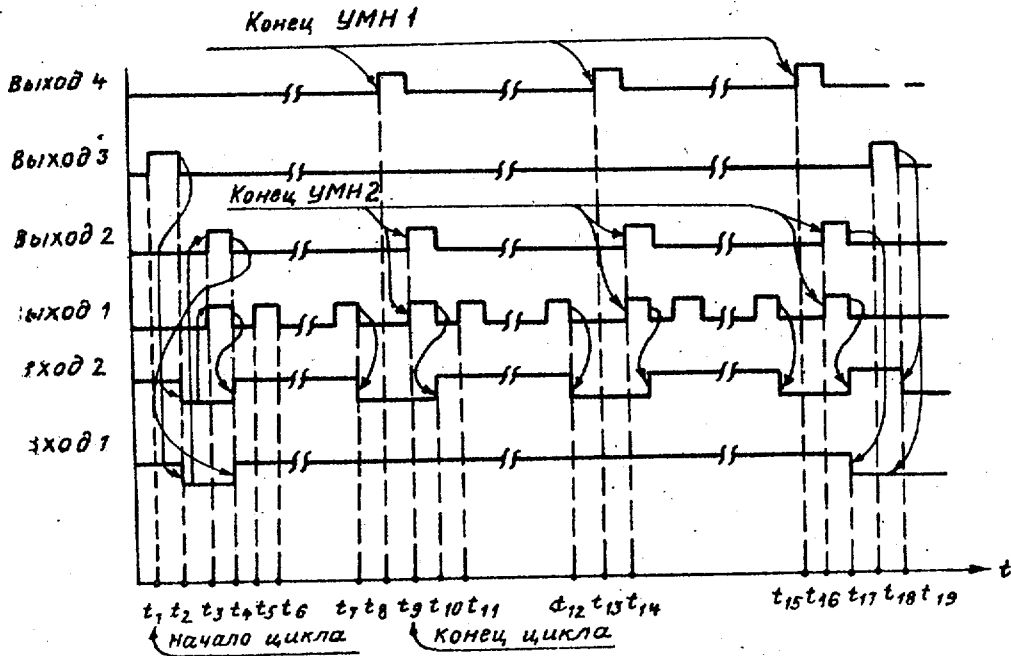
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 467356, кл. G 06 F 15/34, 1975.

2. Авторское свидетельство СССР № 532863, кл. G 06 F 15/34, 1976.



Фиг. 1



Фиг. 2