

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

О П И С А Н И Е  
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 746741

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 13.10.75 (21) 2180536/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.07.80. Бюллетень № 25

Дата опубликования описания 17.07.80

(51) М. Кл.<sup>2</sup>  
G 11 C 29/00  
G 11 C 11/00

(53) УДК 681.3.  
.07(088.8)

(72) Авторы  
изобретения

В. В. Лосев и В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к области вычислительной техники и может быть использовано в электронной промышленности при изготовлении больших интегральных схем запоминающих устройств.

Известны полупроводниковые интегральные запоминающие устройства с произвольной выборкой с разрядной организацией, которые содержат матрицу элементов памяти схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному любому элементу памяти матрицы [1].

Недостатком этого устройства является низкая надежность.

Наиболее близким к изобретению является запоминающее устройство, содержащее накопитель, числовые шины которого соединены с выходами дешифратора строк, основные выходные шины — с входами блока считывания, выход которого подключен к первому входу сумматора по модулю два, второй вход которого соединен с выходом второго блока коррекции, первые входы которого соединены с первыми входами первого блока коррекции и с выходами блока кодирования, входы которого соединены с

2

управляющими входами блока считывания, выходами дешифратора столбцов и с входами основных элементов И, подключенных к шинам записи, разрешения записи, управления и основным разрядным шинам накопителя, а второй, третий и четвертые входы первого блока коррекции соединены соответственно с шинами разрешения записи, записи и управления, первый, второй и третий выходы его — с одними входами дополнительных элементов И, другие входы которых соединены с шиной управления и первым входом выходного блока, а выходы — с дополнительными разрядными шинами накопителя, второй вход выходного блока соединен с выходом сумматора по модулю два [2].

Недостатком данного устройства является низкая надежность. Причиной низкой надежности является сложность схем контроля при обращении к одному элементу памяти накопителя.

Целью изобретения является повышение надежности устройства за счет исправления ошибок.

Поставленная цель достигается тем, что вторые входы второго блока исправления

ошибок соединены с дополнительными выходными шинами накопителя, а пятый и шестой входы первого блока исправления ошибок соединены соответственно с выходом второго блока исправления ошибок и выходом блока считывания. Кроме того, первый блок исправления ошибок содержит J-К-триггер, первый и вторые элементы И, инвертор, второй и третий сумматоры по модулю два и D-триггер, информационные входы которого соединены с выходами первого элемента И и с первым входом второго сумматора по модулю два, выход которого соединен с первым входом третьего сумматора по модулю два, второй вход которого соединен с пятым входом блока исправления ошибок и с входом инвертора, выход которого соединен с первыми входами вторых элементов И, вторые входы которых и выходы соединены соответственно с первыми входами и со вторыми выходами блока исправления ошибок, второй, третий, четвертый и шестой входы которого подключены соответственно к входам первого элемента И, D и J-К-триггеров и второму входу второго сумматора по модулю два, а первый и третий выходы блока исправления ошибок соединены с выходом J-К-триггера и с выходом третьего сумматора по модулю два.

Это позволяет производить исправление одного дефектного элемента памяти в каждом слове при наличии  $r = \log_2(p + 1)$  дополнительных элементов памяти в слове ( $p$  — общая длина слова, из которых  $K = 2^r - 1 - r$  являются информационными разрядами).

На чертеже приведена схема запоминающего устройства.

Устройство содержит накопитель 1, числовые шины 2 которого соединены с выходами дешифратора строк 3. Основные выходные шины 4 накопителя соединены с выходами блока 5 считывания. Управляющие входы 6 блока 5 соединены с выходами дешифратора 7 столбцов, входами блока 8 кодирования и основными элементами И 9, связанными с шинами 10 записи, 11 разрешения записи, 12 управления и основными разрядными шинами 13 накопителя. Выход 14 блока считывания подключен к первому входу сумматора 15 по модулю два и к первому входу второго сумматора 16 по модулю два первого блока 17 исправления ошибок. Второй вход сумматора 15 соединен непосредственно с выходом второго блока 18 исправления ошибок и с вторым входом третьего сумматора 19 по модулю два второго блока исправления ошибок и через инвертор 20 с первыми входами вторых элементов И 21. Вторые входы 22 второго блока исправления ошибок соединены с дополнительными выходными шинами накопителя, а первые входы 23 — с выходами блока кодирования и вторыми входами вторых элементов И первого блока исправле-

ния ошибок. Выход сумматора 16 соединен с первым входом сумматора 19. Выход сумматора 19 подключен к третьим входам дополнительных элементов И 24, вторыми входами связанных с выходами вторых элементов И 21, а первыми входами — с выходом J-К-триггера 25. J, K, R-входы J-К-триггера, первый вход первого элемента И 26, а также управляющий (счетный) вход J-К-триггера, второй вход первого элемента И соединены соответственно с шинами 10 и 11. Третий вход первого элемента И 26 соединен с шиной 12, четвертыми входами дополнительных элементов И 24, первым входом выходного блока 27 и управляющим входом D-триггера 28. Информационные входы D-триггера 28 соединены с выходами первого элемента И 26 и первым входом второго сумматора 16 первого блока 17. Второй вход блока 27 соединен с выходом сумматора 15. Выход блока 27 является выходом устройства.

Устройство работает следующим образом.

При записи информации на соответствующие шины устройства подаются сигналы записи 10, разрешения записи 11 и управления 12. При этом происходит возбуждение шин дешифраторов 3 и 7 в соответствии с кодом адреса. Возбужденная шина 2 дешифратора 3 строк подключает элементы памяти накопителя 1 выбранного слова к разрядным шинам 13. При этом в элемент памяти накопителя 1, находящийся на пересечении выбранной строки и столбца, а также в D-триггер 28 происходит запись входной информации.

При снятии сигнала с шины 11 запись информации в опрашиваемый элемент памяти накопителя 1 и в D-триггер 28 прекращается, и происходит контрольное считывание записанной информации с опрашиваемого элемента памяти накопителя 1 и с D-триггера 28 и сравнение ее на сумматоре 16.

Наряду с этим сигнал с одной из возбужденных шин дешифратора 7 формирует в блоке 8 сигналы, соответствующие синдрому кода Хемминга опрашиваемого столбца накопителя 1. Эти сигналы поступают на вторые входы вторых элементов И 21 и первые входы 23 второго блока 18, где сравниваются с сигналами, поступающими с дополнительных выходных шин 22 накопителя 1.

При этом возможны следующие четыре случая:

а) сумматор 16 выдает единичный сигнал, а на выходе второго блока 18 — нулевой сигнал. Это говорит о том, что опрашивается дефектный элемент памяти матрицы 1, а информация, хранимая в дополнительных элементах памяти накопителя 1, не совпадает с синдромом, соответствующим опра-

шиваемому разряду сформированным блокам 8. При этом сумматор 19 выдает единственный сигнал, открывающий дополнительные элементы И 24. Вторые элементы И 21 открыты единственным сигналом с инвертора 20 и сигналы, соответствующие синдрому опрашиваемого разряда, сформированные блоком 8, заносятся для хранения в дополнительные элементы памяти накопителя 1;

б) на выходе сумматора 16 и второго блока 18 — единичные сигналы. Это означает, что произошло повторное обращение к дефектному элементу памяти накопителя 1 для записи той же информации, что хранится в этом элементе. При этом сумматор 19 выдает нулевой сигнал, в результате дополнительные элементы И 24 закрыты и информация, хранимая в дополнительных элементах памяти накопителя 1, остается неизменной;

в) на выходе сумматора 16 и второго блока 18 — нулевые сигналы. Это говорит о том, что произошло обращение к исправному элементу памяти накопителя 1, а информация, хранимая в дополнительных элементах памяти накопителя 1, не совпадает с синдромом, соответствующим опрашиваемому разряду. При этом, как и в предыдущем случае, информация, хранимая в дополнительных элементах памяти накопителя 1, остается неизменной;

г) сумматор 16 выдает нулевой сигнал, а на выходе второго блока 18 — единичный. Последнее может быть при первом обращении к исправному элементу памяти накопителя 1 за счет того, что при включении напряжения питания дополнительные элементы памяти накопителя 1 установились в кодовую комбинацию, соответствующую опрашиваемому исправному разряду или при обращении к неисправному элементу памяти накопителя 1, когда символ, записываемый в этот элемент, совпадает с символом, хранимым неисправным элементом. В этом случае сумматор 19 выдает единственный сигнал, открывающий дополнительные элементы И 24, а с выхода инвертора 20 через вторые элементы И 21 заносятся нулевые символы во все дополнительные элементы памяти накопителя 1 опрашиваемого слова, т. е. происходит стирание прежде записанной информации и запись нулевой комбинации кода, указывающей, что информация хранится правильно.

Для исключения возможности неверной записи проверочной информации в дополнительные элементы памяти накопителя 1 во время переходных процессов на дополнительные элементы И 24 подается сигнал с выхода J-K-триггера 25, появляющийся только после снятия сигнала на шине 11, когда переходные процессы в опрашиваемом элементе памяти накопителя 1 и D-триггере 28 затухнут.

В режиме считывания сигналы по шинам 10 и 11 отсутствуют. При этом элементы И 9, 24, 26 заперты, а сигнал о состоянии опрашиваемого элемента памяти накопителя 1 поступает с выхода 14 блока 5 на вход сумматора 15. На второй вход этого сумматора подается корректирующий сигнал с выхода второго блока 18.

При этом, если опрашивается дефектный элемент памяти накопителя 1, то код, снимаемый с выходов блока кодирования 8, совпадает с информацией, хранимой в дополнительных элементах памяти накопителя 1 опрашиваемого слова, и на выходе второго блока 18 будет единичный сигнал. Этот сигнал на сумматоре 15 произведет исправление сигнала, поступающего с выхода 14 блока 5.

Если вызывается исправный элемент памяти накопителя 1, а среди дополнительных элементов памяти накопителя 1 имеется дефектный, то информация, считываемая с дополнительных элементов памяти накопителя 1, будет содержать комбинации вида 0 0 ... 0, 0 0 ... 0 1, 1 0 ... 0 и не будет совпадать с кодом, сформированным блоком 8. В результате сигнал с выхода блока 5 проходит через сумматор 15 без изменения.

Аналогичный случай будет, если дефектные элементы памяти в слове накопителя 1 отсутствуют или состояние дефектного элемента памяти совпадает с хранимым состоянием.

Исправленный сигнал с выхода сумматора 15 через блок 27 поступает на выход устройства.

#### Формула изобретения

1. Запоминающее устройство, содержащее накопитель, числовые шины которого соединены с выходами дешифратора строк, основные выходные шины — со входами блока считывания, выход которого подключен к первому входу первого сумматора по модулю два, первый блок исправления ошибок, первые входы которого соединены с первыми входами второго блока исправления ошибок, подключенными к выходам блока кодирования, выход второго блока исправления ошибок соединен со вторым входом первого сумматора по модулю два, входы блока кодирования соединены с управляющими входами блока считывания, выходами дешифратора столбцов и с входами основных элементов И, подключенных к шинам записи, разрешения записи, управления и основным разрядным шинам накопителя, а второй, третий и четвертый входы первого блока исправления ошибок соединены соответственно с шинами разрешения записи, записи и управления, первый, второй и третий выходы его — с одними входами дополнительных элементов И, другие входы кото-

рых соединены с шиной управления и первым входом выходного блока, а выходы — с дополнительными разрядными шинами накопителя, второй вход выходного блока соединен с выходом первого сумматора по модулю два, отличающегося тем, что, с целью

повышения надежности устройства, вторые входы второго блока исправления ошибок соединены с дополнительными выходными шинами накопителя, а пятый и шестой входы первого блока исправления ошибок соединены соответственно с выходом второго блока исправления ошибок и выходом блока считывания.

2. Устройство по п. 1, отличающееся тем, что первый блок исправления ошибок содержит J-K-триггер, первый и вторые элементы И, инвертор, второй и третий сумматоры по модулю два и D-триггер, информационные входы которого соединены с выходами первого элемента И и с первым входом второго сумматора по модулю два, выход которого соединен с первым входом третьего сумматора по модулю два, второй

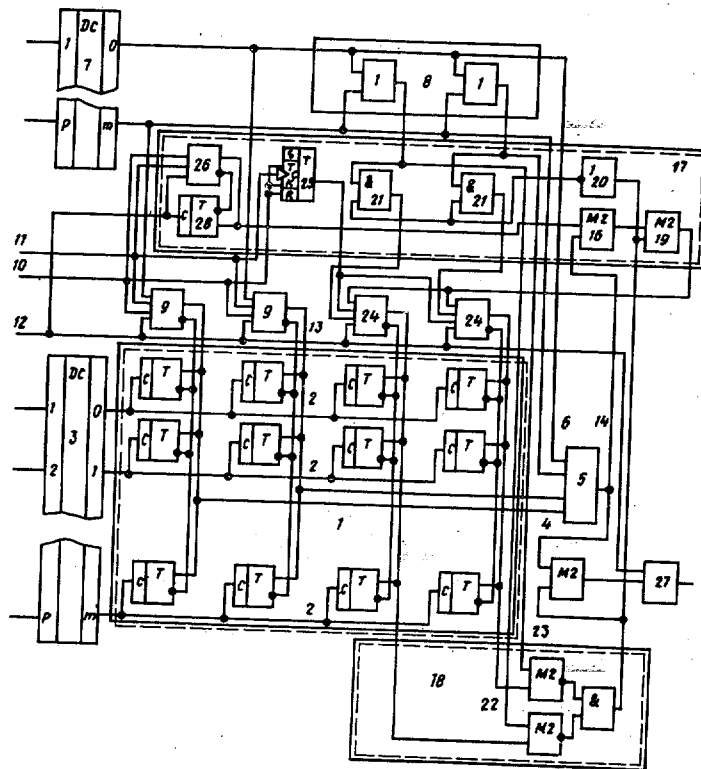
вход которого соединен с пятым входом блока исправления ошибок и с входом инвертора, выход которого соединен с первыми входами вторых элементов И, вторые входы которых и выходы соединены соответственно с первыми входами и со вторыми выходами блока исправления ошибок, второй, третий, четвертый и шестой входы которого подключены соответственно к входам первого элемента И, D и J-K-триггеров и второму входу второго сумматора по модулю два, а первый и третий выходы блока исправления ошибок соединены с выходом J-K-триггера и с выходом третьего сумматора по модулю два.

Источники информации,

принятые во внимание при экспертизе

1. «Микроэлектроника». Сб. статей под ред. Ф. А. Лукина, М., «Сов. радио», 1972, вып. 5, с. 128—150.

2. Авторское свидетельство СССР по заявке № 2123894/18—24, кл. G 11 C 11/00. 09.04.75, (прототип).



Редактор Н. Ахмедова  
Зак.з 3960/45

Составитель В. Конопелько  
Техред К. Шуфрич  
Тираж 662

Корректор В. Синицкая  
Подписное

ЦНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4