



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 758551

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 03.04.78 (21) 2598838/18-09

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.08.80. Бюллетень № 31

Дата опубликования описания 23.08.80

(51) М. Кл.³

H 04 L 7/08

(53) УДК 621.394.
.662(088.8)

(72) Автор
изобретения

Н. П. Жаровин

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ЦИКЛОВОЙ СИНХРОНИЗАЦИИ

1

Изобретение относится к связи и может использоваться в системах с импульсно-кодовой модуляцией, а также в системах передачи информации с временным разделением каналов, для синхронизации блоков сообщений.

Известно устройство для цикловой синхронизации, содержащее регистры сдвига, между выходами и входами которых включен преобразователь кода, к управляющему входу которого подключен выход дешифратора через решающий блок, а также формирователь импульсов [1].

Однако такое устройство имеет сравнительно большое время вхождения в синхронизм и сравнительно высокую вероятность ложной синхронизации.

Цель изобретения — сокращение времени вхождения в синхронизм и снижение вероятности ложной синхронизации.

Это достигается тем, что в устройстве для цикловой синхронизации, содержащее регистры сдвига, между выходами и входами которых включен преобразователь кода, к управляющему входу которого подключен выход дешифра-

2

тора через решающий блок, а также формирователь импульсов, введены последовательно соединенные блок памяти и блок сравнения, при этом к другим входам блока сравнения подключены соответственно выходы регистров сдвига и решающего блока, другой вход которого объединен с управляющим входом блока памяти и подключен к одному из выходов блока сравнения, другой выход которого через формирователь импульсов подключен к управляющему входу преобразователя кода, выходы которого подключены к соответствующим входам блока памяти.

На чертеже приведена структурная электрическая схема предлагаемого устройства.

Устройство для цикловой синхронизации содержит дешифратор 1, регистры 2 сдвига, преобразователь 3 кода, решающий блок 4, блок 5 сравнения, блок 6 памяти и формирователь 7.

Устройство работает следующим образом.

Допустим, что в начальный момент времени все разряды регистров 2 и блока 6 установлены в нулевое состояние. На вход дешифра-

5

10

15

20

тора 1 поступает сигнал, в котором присутствует фазирующая комбинация, следующая с частотой циклов. На выходе дешифратора 1 в моменты времени, соответствующие последней позиции синхрокомбинации, формируются импульсы — отклики. На остальных позициях цикла формируются импульсы случайным образом с вероятностью ложного выделения синхрокомбинации из входного потока случайных символов информации. Импульсы с выхода дешифратора 1 поступают на вход преобразователя 3, который представляет собой сумматор n -разрядных двоичных чисел, где n — число регистров 2. Первым слагаемым является n -разрядное двоичное число, снимаемое в параллельном коде с выходов регистров 2, а вторым слагаемым — единица с выхода дешифратора 1. С выхода преобразователя 3 n -разрядное число переписывается в параллельном виде в первые разряды регистров 2 и продвигается по регистрам 2 под действием тактовых импульсов, следующих с частотой передачи символов информации. Число разрядов каждого регистра 2 выбирается равным числу позиций сигнала в цикле, поэтому суммирование откликов дешифратора 1 в каждой позиции цикла производится независимо от других позиций цикла.

Таким образом, двоичное число на выходе преобразователя 3 в любой момент времени характеризует количество откликов дешифратора 1 в соответствующей позиции сигнала за все предшествующие циклы от начала наблюдения. С большой вероятностью число откликов в последней позиции синхрокомбинации становится наибольшим по сравнению с остальными позициями цикла, причем вероятность такого события увеличивается по мере наблюдения. Индикация позиции, имеющей максимальное число откликов, осуществляется с помощью блока 5 и блока 6 следующим образом. Блок 5 суммирует число на выходе регистров 2 с единицей дешифратора 1 и сравнивает полученную сумму с содержимым блока 6, и если эта сумма превосходит или равна числу, содержащемуся в блоке 6, то соответствующий сигнал с выхода блока 5 подается на управляющий вход блока 6 и в блок 6 переписывается значение этой суммы с выхода преобразователя 3. Таким образом, в блоке 6 содержится наибольшее из чисел, записанных в ячейках регистров 2 за предыдущий цикл, а сигнал на выходе блока 5 появляется в той позиции цикла, где количество откликов дешифратора 1 максимально.

Для того, чтобы исключить переполнение разрядной сетки двоичных чисел при дальнейшем накоплении откликов дешифратора 1, используется второй выход блока 5, на котором формируется импульс переполнения, если сум-

ма чисел на входах блока 5 равна 2^n . Импульс переполнения поступает на формирователь 7, на выходе которого образуется единственный скачок напряжения длительностью в один цикл. Этот сигнал воздействует на преобразователь 3 таким образом, что из полученной суммы, образованной входными числами, вычитается единица в течение всего последующего цикла за исключением тех случаев, когда сумма равна нулю. В дальнейшем, значение максимального числа фиксируется на уровне $2^n - 1$, а числа остальных позиций цикла уменьшаются со скоростью, определяемой соотношением вероятностей правильного обнаружения и ложного выделения синхрокомбинации. Наступает стационарный режим, при котором число, соответствующее последней позиции синхросигнала, равно $2^n - 1$, а число остальных позиций флуктуирует около некоторого значения вблизи нуля. В случае, если число одной из остальных позиций цикла достигает уровня $2^n - 1$, вероятность такой ситуации уменьшается с помощью соответствующего увеличения числа регистров 2, т.е. увеличением разрядности чисел.

Решающий блок 4 анализирует сигналы, поступающие с выходов блока 5 и дешифратора 1. В случае значительного уменьшения вероятности правильного обнаружения синхрокомбинации (например, при замираниях в канале связи) решающий блок 4 воздействует на преобразователь 3 и блок 5, при этом производится последовательное (один раз в несколько циклов) уменьшение чисел, записываемых в регистры 2 с одновременным обновлением содержащегося в блоке 6 максимального числа. Скорость уменьшения чисел выбирается исходя из конкретных условий работы. Так, если после перерыва связи новый сеанс связи начинается с новой фазы цикловой разметки, то желательно, чтобы к началу сеанса связи регистры 2 были в нулевом состоянии. При этом время определения фазы новой цикловой разметки минимально.

Предлагаемое устройство обеспечивает высокую вероятность правильного фазирования при значительном сокращении времени установления синхронизма.

Ф о р м у л а и з о б р е т е н и я

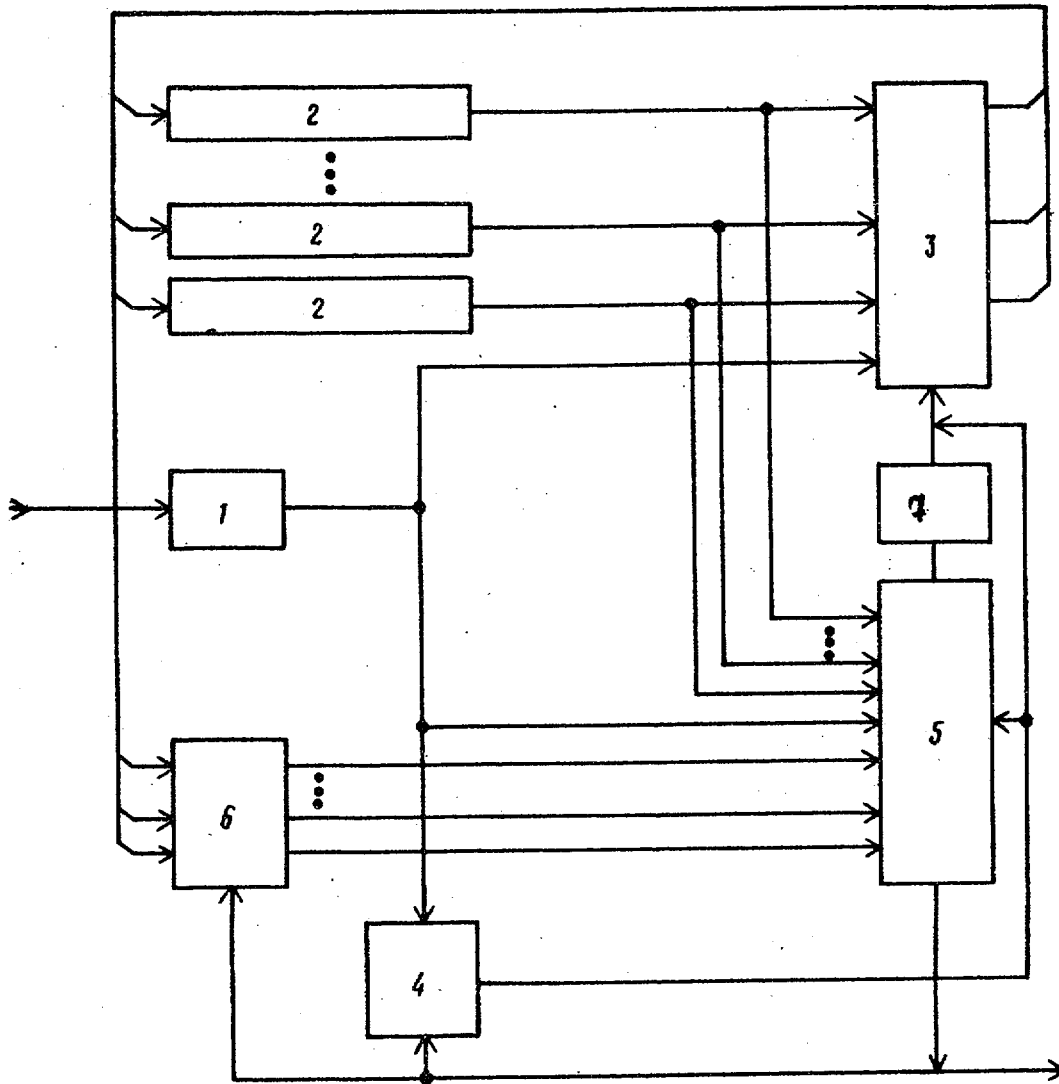
Устройство для цикловой синхронизации, содержащее регистры сдвига, между выходами и входами которых включен преобразователь кода, к управляющему входу которого подключен выход дешифратора через решающий блок, а также формирователь импульсов, отличающееся тем, что, с целью сокращения времени вхождения в синхронизм и снижения вероятности ложной синхронизации,

введены последовательно соединенные блок памяти и блок сравнения, при этом к другим входам блока сравнения подключены соответственно выходы регистров сдвига и решающего блока, другой вход которого объединен с управляющим входом блока памяти и подключен к одному из выходов блока сравнения, другой выход которого через формирователь

импульсов подключен к управляющему входу преобразователя кода, выходы которого подключены к соответствующим входам блока памяти.

5

Источники информации,
принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 510797,
кл. Н 04 L 7/08, 1971 (прототип).



Редактор С. Суркова

Составитель Е. Петрова

Техред А. Куликовская

Корректор А. Гриценко

Заказ 5656/52

Тираж 729

Подписное

ЦНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4