



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 28.07.81 (21) 3343801/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.01.83. Бюллетень № 4

Дата опубликования описания 30.01.83

(11) 993255

(51) М. Кл.³

G 06 F 7/52

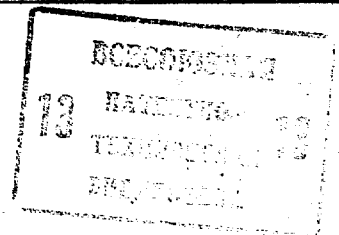
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Л. Г. Лопато и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ n -РАЗРЯДНЫХ ЧИСЕЛ

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения n -разрядных чисел, содержащее n -разрядные регистры множимого, множителя и результата, сумматор и блок управления [1].

Недостатком известного устройства является его низкое быстродействие, вызванное тем, что время, затрачиваемое на сдвиги информации в регистрах, не зависит от числа единиц в разрядах множителя и всегда равно $n \cdot t_{cg}$.

Известно также устройство для умножения n -разрядных чисел, содержащее n -разрядные регистры множимого и множителя, $2n$ -разрядный сумматор, матрицу из n^2 элементов И, блок из $(2n-3)$ элементов ИЛИ и два блока из n элементов И каждый [2].

Недостаток известного устройства - низкое быстродействие, поскольку длительность такта работы устройства зависит от времени переходного процесса во втором блоке элементов И.

2

Наиболее близким к предлагаемому является устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, $(2n-1)$ -разрядный накапливающий сумматор, матрицу из n^2 элементов И, $(2n-3)$ -разрядный блок элементов ИЛИ, n -разрядный блок элементов И и n -разрядный комбинационный сумматор, причем выходы регистра множимого соответственно соединены с первой группой входов матрицы элементов И, выходы $(2, \dots, 2n-2)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ блока элементов ИЛИ, выходы элементов ИЛИ которого соответственно соединены с $(2, \dots, 2n-2)$ -ми входами разрядами накапливающего сумматора, первый и $(2n-1)$ -й разрядные входы накапливающего сумматора соответственно соединены с первым и n^2 -м выходами матрицы элементов И, вторая группа входов которой соответственно соединена с выходами элементов И блока элементов И, первые входы которых соответственно соединены с прямыми выходами регистра множителя, вторые входы элементов И блока элементов И соответственно соединены

с выходами комбинационного сумматора, а третьи входы объединены и соединены с управляющим входом накапливающего сумматора и шиной синхронизации устройства, вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения [3].

Недостаток известного устройства - сложность.

Цель изобретения - упрощение устройства.

Поставленная цель достигается тем, что в устройстве для умножения n -разрядных чисел, содержащем n -разрядный регистр множимого, n -разрядный регистр множителя, $(2n-1)$ -разрядный накапливающий сумматор, матрицу из n^2 элементов И, $(2n-3)$ -разрядный блок элементов ИЛИ, n -разрядный блок элементов И и n -разрядный комбинационный сумматор, причем выходы регистра множимого соответственно соединены с первой группой входов матрицы элементов И, выходы $(2, \dots, 2n-2)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ блока элементов ИЛИ, выходы элементов ИЛИ которого соответственно соединены с $(2, \dots, 2n-2)$ -ми входными разрядами накапливающего сумматора, первый и $(2n-1)$ -й разрядные входы накапливающего сумматора соответственно соединены с первым и n^2 -м выходами матрицы элементов И, вторая группа входов которой соответственно соединена с выходами элементов И блока элементов И, первый входы элементов И блока элементов И соответственно соединены с прямыми выходами регистра множителя, вторые входы элементов И блока элементов И соответственно соединены с выходами комбинационного сумматора, а третьи входы объединены и соединены с управляющим входом накапливающего сумматора и шиной синхронизации устройства, вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения, выходы элементов И блока элементов И соответственно соединены с входами установки в ноль n разрядов регистра множителя, первые входы элементов И 9 блока 8 элементов И соответственно соединены с прямыми выходами регистра 2 множителя, инверсные выходы которого соответственно соединены с входами комбинационного сумматора 10, выходы комбинационного сумматора 10 соответственно соединены с вторыми входами элементов И 9 блока 8 элементов И, третьи входы которых объединены и соединены с управляющим входом накапливающего сумматора 3, входом разрешения записи регистра 2 множителя и шиной 11 синхронизации устройства, управляющий вход 12 устройства соединен с входом переноса комбинационного сумматора 10, выход переноса которого соединен с выходом 13 индикации окончания операции умножения.

На чертеже изображена структурная схема устройства для умножения n -разрядных чисел (для $n=4$).

Устройство для умножения n -разрядных чисел содержит n -разрядный регистр 1 множимого, n -разрядный регистр 2 множителя, $(2n-1)$ -разрядный

накапливающий сумматор 3, матрицу 4 из n^2 элементов И 5, $(2n-3)$ -разрядный блок 6 элементов ИЛИ 7, n -разрядный блок 8 элементов И 9, n -разрядный комбинационный сумматор 10, шину 11 синхронизации, управляющий вход 12 и выход 13 индикации окончания операции умножения, причем выходы регистра 1 множимого соответственно соединены с первой группой входов матрицы 4 элементов И 5, выходы $(2, \dots, 2n-1)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ 7 блока 6 элементов ИЛИ, выходы элементов ИЛИ 7 которого соответственно соединены с $(2, \dots, 2n-2)$ -ми входными разрядами накапливающего сумматора 3, первый и $(2n-1)$ -й разрядные входы накапливающего сумматора 3 соответственно соединены с первым и n^2 -м выходами матрицы 4 элементов И 5, вторая группа входов которой соответственно соединена с выходами элементов И 9 блока 8 элементов И и с входами установки в ноль n разрядов регистра 2 множителя, первые входы элементов И 9 блока 8 элементов И соответственно соединены с прямыми выходами регистра 2 множителя, инверсные выходы которого соответственно соединены с входами комбинационного сумматора 10, выходы комбинационного сумматора 10 соответственно соединены с вторыми входами элементов И 9 блока 8 элементов И, третьи входы которых объединены и соединены с управляющим входом накапливающего сумматора 3, входом разрешения записи регистра 2 множителя и шиной 11 синхронизации устройства, управляющий вход 12 устройства соединен с входом переноса комбинационного сумматора 10, выход переноса которого соединен с выходом 13 индикации окончания операции умножения.

Устройство работает следующим образом.

Пусть требуется перемножить множимое x на множитель $y = y_4 y_3 y_2 y_1 = 1010$. В исходном состоянии в регистре 1 хранится двоичный код множимого x без знака, а в регистре 2 - двоичный код множителя y также без знака, сумматор 3 обнулен, а на выходе счетчика сформирован результат $s = s_4 s_3 s_2 s_1 = 0101 + 0001 = 0110$.

Собственно работа устройства начинается с момента прихода первого синхроимпульса на вход 11 устройства. По этому синхроимпульсу формируется управляющий сигнал на выходе второго элемента И 9₂ блока 8 элементов И (так как только $s_2 \cdot y_2 = 1$), который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 5 второй строки матрицы 4 через блок 6 элементов

ИЛИ 7 в накапливающий сумматор 3, а также осуществляет установку второго разряда регистра 2 множителя в нуль с разрешения синхроимпульса, поступающего на его вход разрешения записи с шины 11 синхронизации устройства. После этого одновременно с суммированием частичного произведения в накапливающем сумматоре 3 в комбинационном сумматоре 10 формируется результат $c = c_4 c_3 c_2 c_1 = 0111 + 0001 = 1000$.

Во втором такте работы устройства с приходом второго синхроимпульса на шину 11 синхронизации устройства на выходе четвертого элемента И 9₄ блока 8 элементов И формируется управляющий сигнал ($c_4 = 1$ и $y_4 = 1$), который производит передачи соответствующим образом сдвинутого множимо-го с выходов элементов И 5 четвертой строки матрицы 4 элементов И 5 через блок 6 элементов ИЛИ 7 в накапливающий сумматор 3 и осуществляет установку четвертого разряда регистра 2 множителя в нуль. После этого, одновременно с суммированием в накапливающем сумматоре 3 очередного частичного произведения, комбинационном сумматоре 10 формируется результат $c = c_4 c_3 c_2 c_1 = 1111 + 0001 = 0000$ и возникает перенос $c_{\text{вых}} = 1$. Поскольку $c_{\text{вых}} = 1$, то на выходе 13 индикации устройства присутствует сигнал, что означает окончание операции умножения чисел.

Отсутствие, по сравнению с прототипом, n -разрядного буферного регистра и второго блока элементов И значительно упрощает устройство, не снижая его быстродействия.

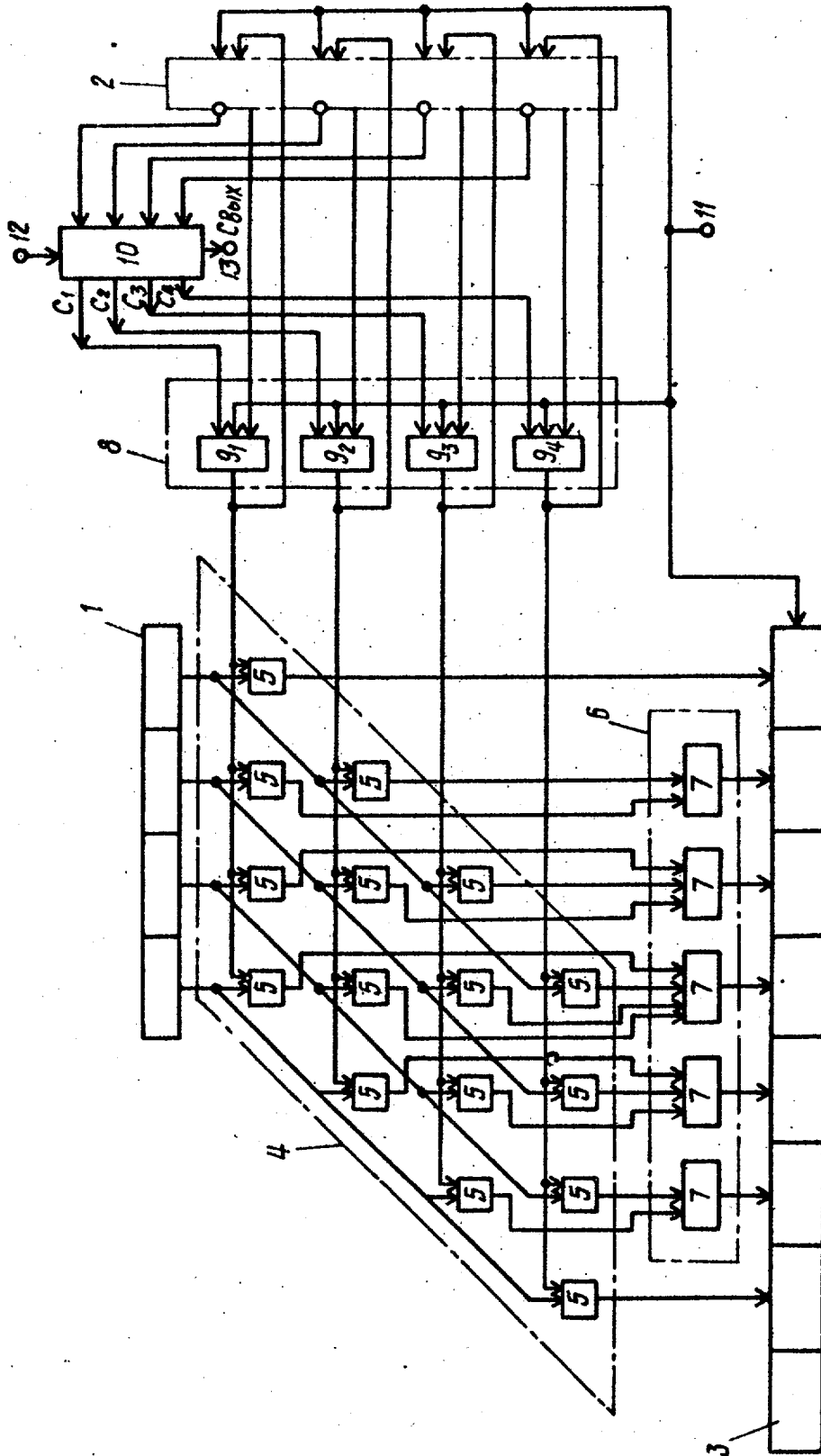
Формула изобретения

Устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, $(2n-1)$ -разрядный накапливающий сумматор, матрицу из n^2 элементов И, $(2n-3)$ -разрядный блок элементов ИЛИ, n -разрядный блок

элементов И и n -разрядный комбинационный сумматор, причем выходы регистра множимого соответственно соединены с первой группой входов матрицы элементов И, выходы $(2, \dots, 2n-2)$ -го разрядов которой соединены с соответствующими входами элементов ИЛИ блока элементов ИЛИ, выходы элементов ИЛИ которого соответственно соединены с $(2, \dots, 2n-2)$ -ми входами разрядами накапливающего сумматора, первый и $(2n-1)$ -й разрядные входы накапливающего сумматора соответственно соединены с первым и n^2 -м выходами матрицы элементов И, вторая группа входов которой соответственно соединена с выходами элементов И блока элементов И, первые входы элементов И блока элементов И соответственно соединены с прямыми выходами регистра множителя, вторые входы элементов И блока элементов И соответственно соединены с выходами комбинационного сумматора, а третьи входы объединены и соединены с управляющим входом накапливающего сумматора и шиной синхронизации устройства, вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения, от л и ч а ю щ е е с я тем, что, с целью упрощения устройства, выходы элементов И блока элементов И соответственно соединены с входами установки в нуль n разрядов регистра множителя, инверсные выходы которого соответственно соединены с входами комбинационного сумматора, а вход разрешения записи регистра множителя соединен с шиной синхронизации устройства.

Источники информации,

- принятые во внимание при экспертизе
1. Карцев М. А. Арифметика цифровых машин. М., "Наука", 1969, с. 350, 364.
 2. Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1974.
 3. Авторское свидетельство СССР по заявке № 3321307/18-24, кл. G 06 F 7/52, 1981 (прототип).



Составитель В. Гусев
 Редактор С. Юско Техред Т. Фанта Корректор В. Бутяга

Заказ 479/65 Тираж 704 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4