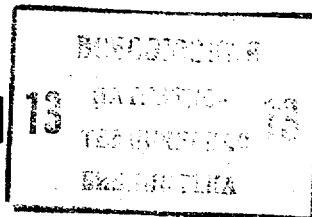




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 2890025/18-24  
(22) 03.03.80  
(46) 23.12.83. Бюл. № 47  
(72) А.М. Никонов и А.Е. Леусенко  
(71) Минский радиотехнический институт  
(53) 681.325.5(088.8)  
(56) 1. Патент США № 3800130; кл. 235-156, опублик. 1973.  
2. Авторское свидетельство СССР № 399859, кл. G 06 F 7/38, 1971.  
3. Авторское свидетельство СССР № 598085, кл. G 06 F 15/34, 1976 (прототип).

(54) (57) 1. УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ, содержащее блок умножения, первый сумматор-вычитатель, блок управления и регистр комплексной весовой функции, информационный вход которого соединен с первым входом устройства, а выход - с первым входом блока умножения, отличающееся тем, что, с целью повышения быстродействия, в него введены второй сумматор-вычитатель и четыре блока памяти, причем информационные входы первого и второго блоков памяти соединены с вторым входом устройства, выход первого блока памяти - с вторым входом блока умножения, выход которого связан с информационными входами третьего и четвертого блоков памяти, выходы которых соединены соответственно с первым и вторым информационными входами первого сумматора-вычитателя, выход которого подключен к первому информационному входу второго сумматора-вычитателя, соединенного своим выходом с выходом устройства, первый выход блока управления соединен с первыми входами адресов записи всех блоков памяти, с первым входом адреса чтения второго блока памяти, с управляющим входом первого сумматора-вычитателя и с управляющим вхо-

дом регистра комплексной весовой функции, второй выход блока управления связан с первыми входами адресов чтения третьего и четвертого блоков памяти, третий выход блока управления соединен с первым входом адреса чтения первого блока памяти, четвертый выход - с управляющим входом второго сумматора-вычитателя, пятый выход - с вторыми входами адресов записи первого, второго и третьего блоков памяти, шестой выход - с вторыми входами адресов чтения второго, третьего и четвертого блоков памяти, седьмой выход - с вторыми входами адреса чтения первого блока памяти и адреса записи четвертого блока памяти, восьмой выход - с управляющими входами записи первого и четвертого блоков памяти, девятый выход - с управляющими входами записи второго и третьего блоков памяти, а вход первоначальной установки блока управления и его вход тактовых импульсов являются соответственно третьим и четвертым входами устройства.

2. Устройство по п. 1, отличающееся тем, что блок управления содержит трехразрядный двоичный счетчик, одноразрядный регистр, семь элементов задержки, элемент эквивалентности и два двухходовых элемента И, причем вход установки счетчика в нулевое состояние и вход установки регистра в единичное состояние связаны с входом первоначальной установки блока, счетный вход счетчика, управляющий вход регистра и первые входы элементов И подключены к входу тактовых импульсов блока, прямые и инверсные выходы первого, второго и третьего разрядов счетчика и прямой выход регистра через соответствующие элементы задержки подсоединены соответственно к первому, второму, третьему, четвертому,

пятому, шестому и седьмому выходам блока, прямой выход первого разряда и инверсный выход второго разряда счетчика связаны со входами элемента эквивалентности, а прямой выход третьего разряда - с информационным входом регистра, выход элемента экви-

валентности подключен к входу инвертора и к второму входу первого элемента И, выход инвертора - к второму входу второго элемента И, а выходы первого и второго элементов И соединены соответственно к восьмому и девятому выходам блока.

1

Изобретение относится к вычислительной технике, в частности к устройствам цифровой обработки сигналов методами быстрого преобразования Фурье, и может быть использовано в цифровых фильтрах, генераторах случайных процессов, анализаторах спектра и других устройствах.

При цифровой обработке сигналов в реальном масштабе времени особое значение приобретает быстрдействие вычислительного устройства.

Известны устройства, в которых повышение быстрдействия достигается увеличением количества блоков умножения и сумматоров, так что для каждой из четырех операций умножения при выполнении базовой операции быстрого преобразования Фурье в этих устройствах содержится свой блок умножения. Устройства содержат четыре формирователя поразрядных произведений, два набора сумматоров, четыре регистра [1] и [2].

Наиболее близким к изобретению по технической сущности и достигаемому результату является устройство для выполнения быстрого преобразования Фурье, содержащее быстрдействующий блок умножения, сумматор-вычитатель, регистр комплексной весовой функции и блок умножения [3].

Недостаток этого устройства - низкое быстрдействие, вызванное тем, что быстрдействующий блок умножения, наиболее дорогостоящий и объемный блок устройства, простаивает половину времени вычислений.

Целью изобретения является повышение быстрдействия устройства за счет совмещения во времени операций, выполняемых его различными блоками.

Поставленная цель достигается тем, что в устройстве для выполнения быстрого преобразования Фурье, содержащее блок умножения, первый сумматор-вычитатель, блок управления и регистр комплексной весовой функции, информационный вход которого соединен с первым входом устройства, а выход - с первым входом блока умножения, введены второй сумматор-

2

вычитатель и четыре блока памяти, причем информационные входы первого и второго блоков памяти соединены с вторым входом устройства, выход первого блока памяти - с вторым входом блока умножения, выход которого связан с информационными входами третьего и четвертого блоков памяти, выходы которых соединены соответственно с первым и вторым информационными входами первого сумматора-вычитателя, выход которого подключен к первому информационному входу второго сумматора-вычитателя, соединенного своим выходом с выходом устройства, первый выход блока управления соединен с первыми входами адресов записи всех блоков памяти, с первым входом адреса чтения второго блока памяти, с управляющим входом первого сумматора-вычитателя и с управляющим входом регистра комплексной весовой функции, второй выход блока управления связан с первыми входами адресов чтения третьего и четвертого блоков памяти, третий выход блока управления соединен с первым входом адреса чтения первого блока памяти, четвертый выход - с управляющим входом второго сумматора-вычитателя, пятый выход - с вторыми входами адресов записи первого, второго и третьего блоков памяти, шестой выход - с вторыми входами адресов чтения второго, третьего и четвертого блоков памяти, седьмой выход - с вторыми входами адреса чтения первого блока памяти и адреса записи четвертого блока памяти, восьмой выход - с управляющими входами записи первого и четвертого блоков памяти, девятый выход - с управляющими входами записи второго и третьего блоков памяти, а вход первоначальной установки блока управления и его вход тактовых импульсов являются соответственно третьим и четвертым входами устройства.

При этом блок управления содержит трехразрядный двоичный счетчик, одноразрядный регистр, семь элементов задержки, элемент эквивалентнос-

ти и два двухвходовых элемента И, причем вход установки счетчика в нулевое состояние и вход установки регистра в единичное состояние связаны с входом первоначальной установки блока, счетный вход счетчика, управляющий вход регистра и первые входы элементов И подключены к входу тактовых импульсов блока, прямые и инверсные выходы первого, второго и третьего разрядов счетчика и прямой выход регистра через соответствующие элементы задержки подсоединены соответственно к первому, второму, третьему, четвертому, пятому, шестому и седьмому выходам блока, прямой выход первого разряда и инверсный выход второго разряда счетчика связаны со входами элемента эквивалентности, а прямой выход третьего разряда - с информационным входом регистра, выход элемента эквивалентности подключен к входу инвертора и к второму входу первого элемента И, выход инвертора - к входу второго элемента И, а выходы первого и второго элементов И подсоединены соответственно к восьмому и девятому выходам блока.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - то же, блока управления; на фиг. 3 - вариант схемы блока памяти.

Устройство содержит блок 1 умножения, регистр 2 комплексной весовой функции, информационный вход которого соединен с первым входом 3 устройства, первый 4 и второй 5 блоки памяти, информационные входы которых соединены с вторым входом 6 устройства, третий блок 7 памяти, четвертый блок 8 памяти, первый и второй сумматоры-вычитатели 9 и 10, блок 11 управления, вход первоначальной установки которого соединен с третьим входом 12 устройства, а вход тактовых импульсов - с четвертым входом 13 устройства. Первый выход 14 блока 11 управления связан с первыми входами 15 - 18 адресов записи блоков 4, 5, 7 и 8 памяти, с первым входом 19 адреса чтения второго блока 5 памяти, с управляющим входом 20 первого сумматора-вычитателя 9 и с управляющим входом 21 регистра 2 комплексной весовой функции, второй выход 22 блока 11 управления подключен к первым входам 23 и 24 адреса чтения третьего и четвертого блоков 7 и 8 памяти, третий выход 25 - к первому входу 26 адреса чтения первого блока 4 памяти. Четвертый выход 27 блока 11 управления соединен с управляющим входом 28 второго сумматора-вычитателя 10, пятый выход 29 - с вторыми входами 30-32 адреса записи первого, второго и третьего блоков 4, 5 и 7 памяти, шес-

той выход 33 - с вторыми входами 34 - 36 адреса чтения второго третьего и четвертого блоков 5, 7 и 8 памяти. Седьмой выход 37 блока 11 управления связан с вторым входом 38 адреса чтения первого блока 4 памяти и с вторым входом 39 адреса записи четвертого блока 8 памяти, восьмой выход 40 - с управляющими входами 41 и 42 записи первого и четвертого блоков 4 и 8 памяти, а девятый выход 43 - с управляющими входами 44 и 45 записи второго и третьего блоков 5 и 7 памяти.

В качестве блока умножения в устройстве может быть использован быстродействующий матричный умножитель, обеспечивающий выполнение операции умножения за один машинный цикл, т.е. за отрезок времени между передним фронтом одного из тактовых импульсов и передним фронтом последующего тактового импульса.

Сумматоры-вычитатели производят сложение или вычитание чисел, поступающих на их информационные входы, в зависимости от сигнала, поступающего на управляющий вход. При единичном управляющем сигнале выполняется сложение, а при нулевом - вычитание, причем число, поступающее по первому информационному входу, вычитается из числа, поступающего по второму информационному входу.

Регистр комплексной весовой функции служит для хранения значений этой функции. Занесение в регистр производится по переднему фронту импульса, подаваемого на его управляющий вход.

Блоки памяти на четыре машинных слова предназначены для хранения исходных данных и промежуточных результатов. Они обеспечивают одновременное и независимое выполнение операций записи и чтения информации, для чего имеют по два отдельных одноразрядных входа адреса записи и адреса чтения и управляющий вход записи. Запись производится по переднему фронту импульса, подаваемого на управляющий вход записи. Адрес записи устанавливается предварительно до поступления импульса записи и может изменяться только после выполнения записи.

Блок управления по второму варианту выполнения (фиг. 2) содержит трехразрядный двоичный счетчик 46, одноразрядный регистр 47, первый 48, второй 49, третий 50, четвертый 51, пятый 52, шестой 53 и седьмой 54 элементы задержки, элемент 55 эквивалентности, инвертор 56 и первый и второй двухвходовые элементы И 57 и 58.

Устройство для выполнения быстрого преобразования Фурье работает следующим образом.

Вначале на вход 12 устройства подается импульс первоначальной установки. По этому импульсу устанавливается в нулевое состояние счетчик 46 блока 11 управления и в единичное состояние регистр 47 этого блока. После окончания импульса первоначальной установки на вход 13 устройства подаются тактовые импульсы. По этим импульсам изменяются состояния счетчика 46 блока 11 управления, и на выходах блока с помощью элементов 55 эквивалентности, инвертора 56, элементов И 57 и 58 и регистра 47 вырабатываются управляющие сигналы, определяющие режимы работы сумматоров-вычитателей 9 и 10, адреса чтения и записи блоков 4, 5, 6, 7 и 8 памяти и моменты занесения информации в регистр 2 и блоки памяти. Элементы 48 - 54 задержки необходимы для того, чтобы адреса и информация на входах блоков памяти изменялись только после записи информации.

В первом цикле работы устройства, т.е. после поступления первого тактового импульса на вход 13 устройства, по переднему фронту сигнала, поступающего с выхода 14 блока 11 управления на управляющий вход 21 регистра 2, в этот регистр с первого входа 3 устройства заносится действительная часть комплексной весовой функции  $ReW$ . В первый блок 4 памяти по переднему фронту сигнала, поступающего на его управляющий вход 41 с выхода 40 блока 11 управления, записывается действительная часть первого операнда  $ReA$ . Адрес ячейки памяти, по которому производится запись, поступает на входы 15 и 30 блока 4 памяти с выходов 14 и 29 блока 11 управления.

Числа  $ReW$  с выхода регистра 2 и  $ReA$  с выхода блока 4 памяти поступают на входы блока 1 умножения, где производится их перемножение. К концу первого цикла на выходе блока 1 умножения формируется произведение  $ReA \cdot ReW$ .

В начале второго цикла в первый блок 4 памяти со входа 6 устройства по адресу, определяемому сигналами с выходов 14 и 29 блока 11 управления, записывается мнимая часть первого операнда  $ImA$ . В это же время в четвертый блок 8 памяти по адресу, поступающему на его входы 18 и 39 и определяемому сигналами с выходов 14 и 37 блока 11 управления, с выхода блока 1 умножения записывается первое произведение  $ReA \cdot ReW$ . С выхода первого блока 4 памяти, в соответствии с адресом чтения, поступающим на его входы 26 и 38 с вы-

дов 25 и 37 блока 11 управления, на второй вход блока 1 умножения поступает число  $ImA$ . В конце второго цикла на выходе блока 1 умножения формируется произведение  $ImA \cdot ReW$ .

В начале третьего цикла по управляющему сигналу, поступающему с выхода 43 блока 11 управления на вход 45 третьего блока 7 памяти, в этот блок записывается произведение  $ImA \cdot ReW$ . В регистр 2 комплексной весовой функции в это время заносится мнимая часть комплексной весовой функции  $ImW$ . Во второй блок 5 памяти со входа 6 устройства записывается действительная часть второго операнда  $ReB$ . На входы блока 1 умножения поступают числа  $ImA$  и  $ImW$ , а на его выходе формируется их произведение  $ImA \cdot ImW$ .

В четвертом цикле произведение  $ImA \cdot ImW$  записывается в третий блок 7 памяти, во второй блок 5 памяти со входа 6 устройства записывается мнимая часть второго операнда  $ImB$ . На выходе блока 1 умножения формируется произведение  $ReA \cdot ImW$ . С выходов третьего и четвертого блоков 7 и 8 памяти на информационные входы первого сумматора-вычитателя 9 поступают произведения  $ReA \cdot ReW$  и  $ImA \cdot ImW$ , а на его выходе в соответствии с управляющим сигналом, поступающим на его вход 20 с выхода 14 блока 11 управления, формируется разность

$$ReA \cdot ReW - ImA \cdot ImW.$$

Эта разность поступает на первый информационный вход второго сумматора-вычитателя 10. На его второй информационный вход с выхода второго блока 5 памяти поступает число  $ReB$ . Под воздействием единичного управляющего сигнала, поступающего на вход 28 второго сумматора-вычитателя 10, на его выходе, а следовательно, и на выходе устройства формируется первый результат первой базовой операции

$$ReA' = ReB + ReA \cdot ReW - ImA \cdot ImW.$$

В пятом цикле в первый блок 4 памяти со входа 6 заносится действительная часть первого операнда второй базовой операции  $ReW$ . На выходе блока 1 умножения формируется произведение  $ReA \cdot ImW$ , на выходе первого сумматора-вычитателя 9 - сумма  $ReA \cdot ImW + ImA \cdot ReW$  на выходе второго сумматора-вычитателя 10 и на выходе устройства - второй результат первой базовой операции  $ImA' = ImB + ReA \cdot ImW + ImA \cdot ReW$ .

В шестом и седьмом циклах работы в устройство продолжают заноситься исходные данные и формируются произведения для второй базовой операции, а на выходах сумматоров-вычитателей и на выходе устройства формируются третий и четвертый результаты первой базовой операции  $ReB' = ReB - ReA \cdot ReW +$

+Jm A-Jm W в шестом цикле, Jm B'-Jm B-  
-Re A-Jm -Jm A-Rew в седьмом цикле.

Начиная с восьмого цикла, на вы-  
ходе устройства формируются резуль-  
таты второй базовой операции, а за-  
тем через каждые четыре цикла на вы-  
ход устройства поступают результаты  
новой базовой операции.

Вариант блока памяти (фиг. 3),  
используемый в данном устройстве,  
содержит четыре регистра 59 - 62,  
группы вентилях 63 - 66, группу че-  
тырехходовых элементов ИЛИ 67, двух-  
входовой дешифратор 68 адреса чтения,  
двухвходовой дешифратор 69 адреса  
записи и группу вентилях 70. Информа-  
ционные входы регистров 59 - 62 сое-  
динены с информационным входом 71  
блока памяти, а выход группы элемен-  
тов ИЛИ 67 является выходом блока.  
Входы дешифратора 68 адреса чтения  
соединены с входами 72 адреса чтения  
блока памяти, входы дешифратора 69  
адреса записи соединены с входами  
73 адреса записи блока, а второй  
вход группы вентилях 70 - с управ-  
ляющим входом 74 записи блока па-  
мяти.

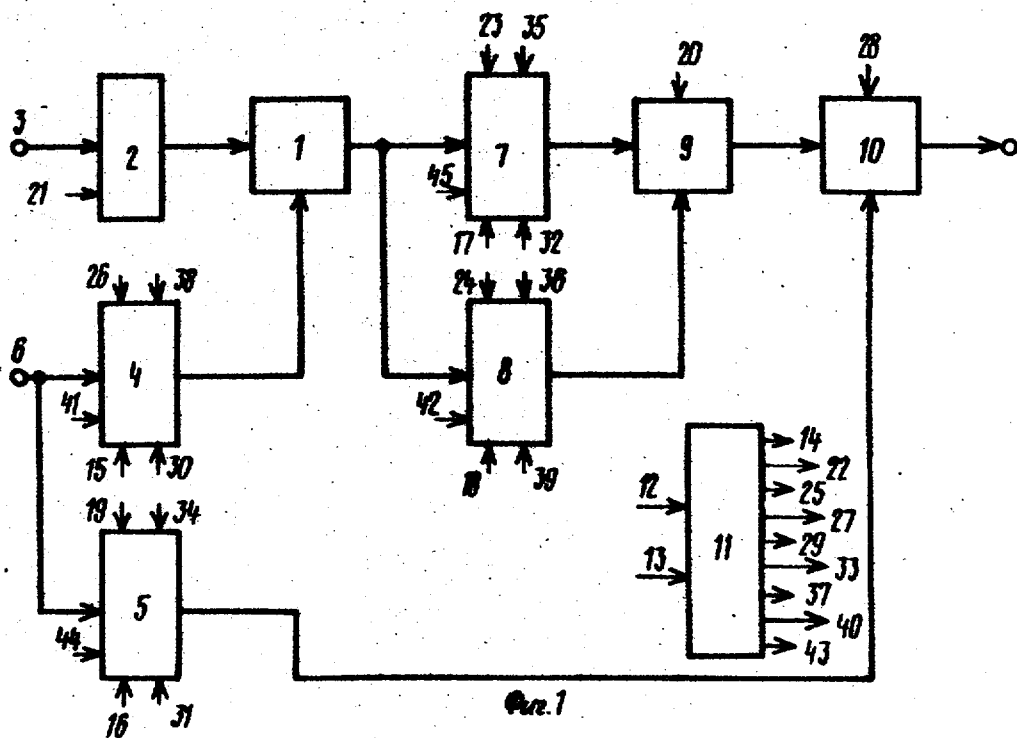
Блок памяти работает следующим  
образом.

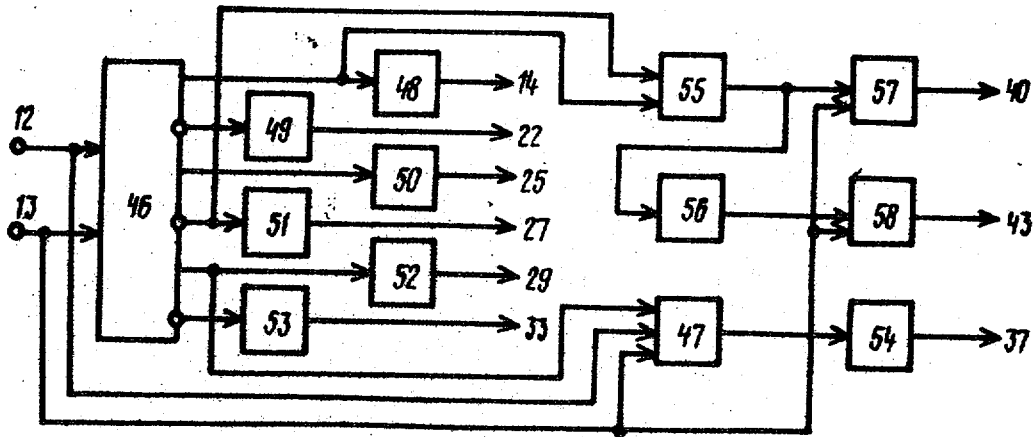
Для записи информация подается  
на информационный вход 71 блока  
памяти, на входы 73 подается адрес  
записи. На выходе дешифратора, соот-  
ветствующем поданному адресу, вы-

рабатывается единичный сигнал, ко-  
торый поступает на первый вход со-  
ответствующего вентиля группы вен-  
тилей 70. На управляющий вход 74  
записи блока подается сигнал записи.  
По этому сигналу на одном из выхо-  
дов группы вентилях 70 появляется  
единичный сигнал. Этот сигнал по-  
дается на вход занесения соответ-  
ствующего регистра 59, 60, 61 или  
62. По переднему фронту сигнала про-  
исходит занесение информации со  
входа 71 в этот регистр.

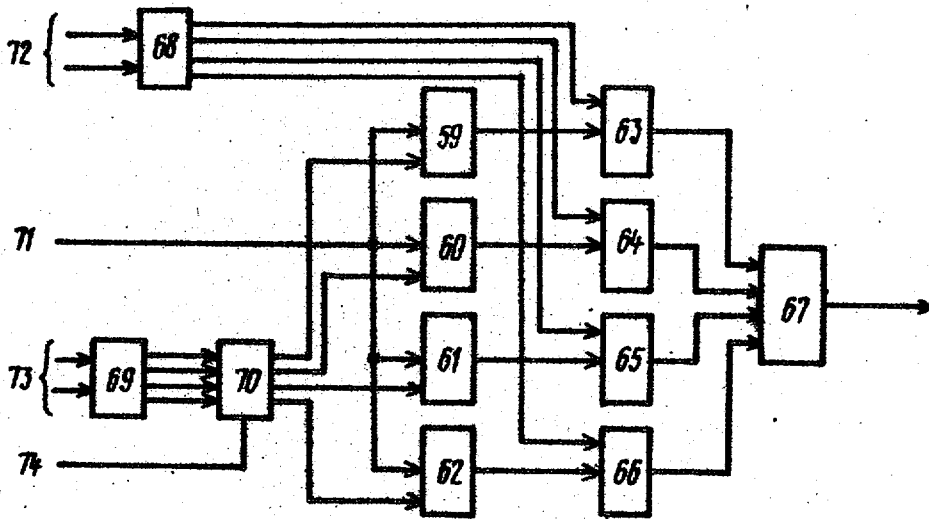
Для чтения информации адрес ячей-  
ки подается на входы 72 адреса чте-  
ния, дешифрируется на дешифраторе  
68, сигнал с выхода дешифратора, со-  
ответствующего адресу чтения, откры-  
вает соответствующую группу венти-  
лей 63, 64, 65 или 66. Информация с  
выхода соответствующего регистра 59,  
60, 61 или 62 через открытую группу  
вентилях 63, 64, 65 или 66 и группу  
элементов ИЛИ 67 поступает на выход  
блока.

Введение в устройство для выпол-  
нения быстрого преобразования Фурье  
второго сумматора-вычитателя и бло-  
ков памяти позволило более полно  
совместить во времени операции, вы-  
полняемые разными блоками устройства,  
устранить простои в работе блоков  
и за счет этого повысить быстродей-  
ствие устройства.





Фиг. 2



Фиг. 3

Составитель Е.Целовальников

Редактор Н.Лазаренко

Техред С.Мигунова

Корректор М.Шароши

Заказ 10220/51

Тираж 706

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4