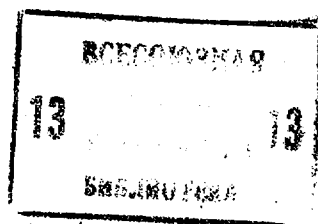




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3564354/18-09
 (22) 09.03.83
 (46) 30.05.84. Бюл. № 20
 (72) А.И.Королев, О.Д.Купеев,
 В.И.Кваша и Э.А.Чуйко
 (71) Минский радиотехнический институт
 (53) 621.394.14(088.8)
 (56) 1. Петрович Н.Т., Каминский В.И.
 О декодировании помехоустойчивых кодов
 в каналах с фазовой модуляцией. Труды
 институтов связи, 1977 г, № 86, рис.1.
 2. Патент США № 3806647,
 кл. 178/67, 1974 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ УСТРАНЕНИЯ НЕОПРЕДЕЛЕННОСТИ ДИСКРЕТНОФАЗОВОЙ МОДУЛЯЦИИ, содержащее формирователь интервала анализа, последовательно соединенные блок управления, мультиплексор, коммутатор распределения ветвей, кодер и первый сумматор по модулю два, а также последовательно соединенные формирователь синдромной последовательности, анализатор синдрома и пороговый блок, выход которого подключен к второму входу первого сумматора по модулю два, при этом к первому и второму входам формирователя синдромной последовательности подключены соответственно второй выход кодера и второй выход коммутатора распределения ветвей, входы мульти-

плектора являются входами устройства, отличающееся тем, что, с целью повышения помехоустойчивости порогового декодирования, введены последовательно соединенные первый инвертор и первый пороговый счетчик, а также второй инвертор, второй пороговый счетчик, D-триггер, дешифратор, линия задержки и последовательно соединенные буферный регистр сдвига и второй сумматор по модулю два, к второму входу которого подключен выход D-триггера, к информационному входу которого и первому входу дешифратора подключен выход второго порогового счетчика, к первому входу которого и входу первого инвертора подключен выход формирователя синдромной последовательности, а к тактовому входу D-триггера и второму входу дешифратора подключен выход второго инвертора, к входу которого и входу линии задержки подключен выход формирователя интервала анализа, при этом выход линии задержки подключен к вторым входам второго порогового счетчика и первого порогового счетчика, выход которого подключен к третьему входу дешифратора, выход которого подключен к входу блока управления, а выход первого сумматора по модулю два подключен к входу буферного регистра сдвига.

(19) **SU** (11) **1095428** **A**

Изобретение относится к электро-
связи и может использоваться для пе-
редачи данных, сигналов цифрового
радио и телевизионного вещания, в
системах сбора и обработки дискретной 5
информации при кодировании и декоди-
ровании их сверточными кодами с по-
роговой схемой декодирования.

Известно устройство для устране-
ния неопределенности дискретнофазо- 10
вой модуляции, содержащее детектор,
ключ, фазовращатель на 180° , гете-
родин с трактом формирования опорно-
го колебания, декодер, блок анализа
обратной работы, передатчик обратно- 15
го канала [1].

Недостатком известного устройства
является низкая помехоустойчивость.

Наиболее близким к изобретению
является устройство для устранения 20
неопределенности дискретнофазовой мо-
дуляции, содержащее последовательно
соединенные блок управления, мульти-
плексор, коммутатор распределения
ветвей, кодер и первый сумматор по
модулю два, а также последовательно
соединенные формирователь синдромной
последовательности, анализатор синд- 25
рома и пороговый блок, выход которого
подключен к второму входу первого
сумматора по модулю два, при этом
к первому и второму входам формирова- 30
теля синдромной последовательности
подключены второй выход кодера и вто-
рой выход коммутатора распределения
ветвей соответственно, входы мульти- 35
плексора являются входами устройст-
ва [2].

Однако данное устройство обладает
низкой достоверностью порогового де- 40
кодирования.

Цель изобретения - повышение поме-
хоустойчивости порогового декодирова-
ния.

Поставленная цель достигается 45
тем, что в устройство для устранения
неопределенности дискретнофазовой
модуляции, содержащее формирователь
интервала анализа, последовательно
соединенные блок управления, мульти- 50
плексор, коммутатор распределения
ветвей, кодер и первый сумматор по
модулю два, а также последовательно
соединенные формирователь синдромной
последовательности, анализатор синд- 55
рома и пороговый блок, выход которого
подключен к второму входу первого
сумматора по модулю два, при этом к

первому и второму входам формирова-
теля синдромной последовательности под-
ключены второй выход кодера и второй
выход коммутатора распределения соот-
ветственно, входы мультиплексора явля-
ются входами устройства, введены пос-
ледовательно соединенные первый ин-
вертор и первый пороговый счетчик, а
также второй инвертор, второй порого-
вый счетчик, D-триггер, дешифратор,
линия задержки и последовательно сое-
диненные буферный регистр сдвига и
второй сумматор по модулю два, к вто-
рому входу которого подключен выход
D-триггера, к информационному входу
которого и первому входу дешифратора
подключен выход второго порогового
счетчика, к первому входу которого и
входу первого инвертора подключен вы-
ход формирователя синдромной после-
довательности, а к тактовому входу
D-триггера и второму входу дешифра-
тора подключен выход второго инвер-
тора, к входу которого и входу линии
задержки подключены выход формирова-
теля интервала анализа, при этом
выход линии задержки подключен к вто-
рым входам второго порогового счет-
чика и первого порогового счетчика,
выход которого подключен к третьему
входу дешифратора, выход которого
подключен к входу блока управления,
а выход первого сумматора по модулю
два подключен к входу буферного ре-
гистра сдвига.

На чертеже представлена электри-
ческая схема устройства для устра-
нения неопределенности ДФМ с ис-
пользованием порогового декодирова-
ния сверточных кодов.

Устройство для устранения неопре-
деленности дискретнофазовой модуля-
ции содержит блок 1 управления, мульти-
плексор 2, коммутатор 3 распределе-
ния ветвей, кодер 4, первый сумматор
5 по модулю два, формирователь 6 син-
дромной последовательности, анализа-
тор 7 синдрома, пороговый блок 8,
буферный регистр 9 сдвига, второй
сумматор 10 по модулю два, D-триггер
11, дешифратор 12, первый пороговый
счетчик 13, первый инвертор 14, вто-
рой пороговый счетчик 15, формирова-
тель 16 интервала анализа, второй ин-
вертор 17, линию задержки 18.

Рассмотрим функции, выполняемые
основными структурными элементами
устройства.

Блок 1 управления мультиплексором производит управление мультиплексором и выполнен в виде триггера, работающего в счетном режиме.

Коммутатор 3 распределения ветвей производит распределение кодовой последовательности на информационную и проверочную последовательности и содержит два регистра: последовательный регистр сдвига на n_0 разрядов и параллельный регистр сдвига на n_0 разрядов, где n_0 - скорость сверточного кода.

Кодер 4 из принятых информационных символов формирует проверочную последовательность аналогичную принятой проверочной последовательности. В качестве кодера используется регистр сдвига (РС) со встроенными сумматорами по модулю два. Длина РС определяется максимальной степенью порождающего полинома $G_{(i)}^{(j)}(D)$, $j = 1, 2, \dots, K_0$, $i = K_0 + 1, \dots, n_0$. Кодер реализуется на ИМС серии К155 типа К155ТМ2 (ячейки памяти) и К155ЛП1 (сумматоры по модулю два).

Первый сумматор 5 по модулю два предназначен для коррекции ошибочных информационных символов. Коррекция производится сигналом с выхода порогового блока 8.

Формирователь 6 синдромной последовательности служит для формирования синдрома из принятой и сформированной проверочных последовательностей. В качестве формирователя синдрома используется сумматор по модулю два (К155ЛП1).

Анализатор 7 синдрома служит для анализа синдромной последовательности с целью принятия решения о достоверности принятой информации. В качестве анализатора синдрома используется РС, со встроенными сумматорами по модулю два. Длина РС и количество сумматоров определяется видом порождающего полинома $G_{(i)}^{(j)}(D)$. Анализатор синдрома реализуется на ИМС серии К155 типа К155ТМ2 (ячейки памяти) и К155ЛП1 (сумматоры по модулю два).

Пороговый блок 8 предназначен для принятия решения о достоверности принятого информационного символа. Пороговый блок реализуется в виде комбинационного автомата на ИМС серии К155 типа К155ЛА1, К165ЛА3, К155ЛА6. Связи ПЗ с РС анализатора синдрома полнос-

тью определяется видом порождающего полинома.

Буферный регистр сдвига предназначен для повышения помехоустойчивости порогового декодирования при возникновении обратной работы. Буферный регистр сдвига представляет собой последовательный РС, длина которого выбирается равной длине РС кодера (или анализатора синдрома) и выполняется на ИМС К155ТМ2.

Второй сумматор 10 по модулю два предназначен для коррекции информации в режиме возникновения обратной работы. Сигнал для коррекции поступает с выхода счетного триггера. Сумматор по модулю два реализуется на одном элементе ИМС К155ЛП1.

D-триггер 11 предназначен для управления работой второго сумматора 10 по модулю два. Счетный триггер реализуется на одном элементе ИМС К155ТМ2.

Дешифратор 12 предназначен для дешифрирования состояния пороговых счетчиков и формирования одиночного импульса при наличии двух нулей с выходов пороговых счетчиков. Дешифратор реализуется на одном элементе ИМС К155ЛА3.

Первый пороговый счетчик 13 предназначен для принятия решения о сохранении фазы синдромной последовательности. В качестве порогового счетчика используются двоичные счетчики и дешифратор, собранные на микросхемах К155ИЕ5, К166ЛА1 и К155ТМ соответственно.

Инвертор 14 предназначен для инвертирования синдромной последовательности, поступающей на вход порогового счетчика 13. Инвертор реализуется на одном элементе ИМС К155ЛА3.

Второй пороговый счетчик 15 предназначен для принятия решения об изменении фазы синдромной последовательности и выработки сигнала, управляющего работой дешифратора 12 и D-триггера 11. В качестве порогового счетчика используются двоичные счетчики и дешифратор, собранные на микросхемах К155ИЕ5, К155ЛА1 (IV) соответственно.

Формирователь 16 интервала анализа предназначен для формирования импульса управления пороговыми счетчиками. Коэффициент счета выбирается исходя из заданной вероятности ложной

синхронизации. В качестве формирователя интервала анализа используются двоичные счетчики и дешифратор, собранные на ИМС типа К155ИЕ5 и К155ЛА1 соответственно.

Второй инвертор 17 предназначен для формирования стробирующего сигнала для дешифратора и D-триггера. В качестве инвертора используется один элемент ИМС К155ЛА3.

Линия задержки 18 предназначена для обеспечения необходимых фазовых соотношений сигналов с выхода первого и второго пороговых счетчиков. Линия задержки реализуется в виде стандартной ЛЗ, величина которой определяется применяемой серией ИМС.

Устройство для устранения неопределенности дискретнофазовой модуляции работает следующим образом.

Известно, что при использовании систем связи с ДМФ возможны четыре варианта распределения каналов и фазы сигнала (обратная работа) на приемной стороне.

1. Каналы и фаза сигналов на приемной стороне полностью соответствует передающей стороне (J_1, J_2).

2. Каналы распределены правильно, но фаза сигналов отличается на 180° (обратная работа) (\hat{J}_1, \hat{J}_2).

3. Каналы распределены неправильно (J_2, J_1), фазы принятых сигналов соответствуют переданным.

4. Каналы распределены неправильно (J_2, J_1) и фазы принятых сигналов не соответствуют переданным (обратная работа), т.е. \hat{J}_2, \hat{J}_1 .

Рассмотрим режим вхождения в синхронизм, что соответствует четвертому варианту распределения каналов и фазы сигналов. В этом случае с выхода формирователя синдромной последовательности поступает синдромная последовательность импульсов, в которой логический "0" и логическая "1" появляются с одинаковой вероятностью, равной $P_0 = P = 1/2$. Эта последовательность поступает на вход анализатора синдрома, на вход второго 15 и через первый инвертор 14 на вход первого 13 пороговых счетчиков. Анализатор 7 синдрома производит анализ синдромной последовательности и в пороговом блоке 8 принимается решение о достоверности информации, производится ошибочная коррекция информации или размножение ошибок.

Относительный порог (τ_0) срабатывания пороговых счетчиков 13 и 15 выбирается достаточно большой величины для обеспечения малой вероятности ложных срабатываний. В рассматриваемом случае пороговые счетчики 13 и 15 не срабатывают и на их выходах формируются логические "1", которые поступают на вход дешифратора 12 со стробированием, на выходе которого, при поступлении стробирующего сигнала (импульса), формируется импульс, осуществляющий запуск схемы блока 1 управления мультиплексором 2: производится переключение ветвей на выходе мультиплексора 2 из состояния (\hat{J}_2, \hat{J}_1) в состояние (\hat{J}_1, \hat{J}_2). С некоторым запаздыванием относительно момента поступления стробирующего импульса формируется импульс сброса на пороговые счетчики 13 и 15, который поступает от формирователя 16 интервала анализа через линию задержки 18. Пороговые счетчики 13 и 15 переводятся в нулевое состояние и начинается новый цикл поиска.

Режим обратной работы. В этом случае инвертирована как информационная (J_1), так и проверочные последовательности, а также инвертируется синдромная последовательность, которая одновременно поступает на вход второго порогового счетчика 15 и на вход анализатора 7 синдрома.

В соответствии с теорией порогового декодирования и если количество ошибок не превышает корректирующей способности, то анализатор 7 синдрома производит анализ синдромной последовательности и в пороговом блоке 8 принимается решение о коррекции ошибочных символов. Исправленные ошибочные символы находятся в фазе обратной работы. С выхода первого сумматора 5 по модулю два информационная последовательность поступает на вход буферного регистра 9 сдвига.

Так как количество ошибок не превышает корректирующей способности декодера, а синдромная последовательность инвертирована, то нулевым символом (логическими "0") в синдромной последовательности являются символы, определяемые ненулевыми членами порождающих полиномов $G_{(i)}^{(j)}(D)$, $j=1,2, \dots, K$; $i=K_0+1, \dots, n_0$, и типом ошибок. Остальные символы синдромной

последовательности - ненулевые (логические единицы).

Символы синдромной последовательности, поступившие на вход второго порогового счетчика 15 вызывают его срабатывание и на его выходе появляется логический "0", который запрещает прохождение импульса управления с выхода дешифратора 12. Одновременно осуществляется запись логического "0" 10 в D-триггер 11, с выхода которого на второй вход второго сумматора по модулю два поступает логическая "1". В результате чего происходит инвертирование выходной информации, поступающей с выхода буферного регистра 9 сдвига.

Аналогичным образом производится устранение неопределенности фазы (обратной работы) ДМФ в случае, если имеет место только лишь инвертирование фазы каналов ДФМ, т.е. каналы ДМФ на выходе мультиплексора 2 распределены правильно, но фазы сигналов этих каналов инвертированы. Время поиска 25 правильной фазы при этом составляет один цикл, вместо двух, как в предыдущем случае.

Режим работы устройства, когда каналы ДМФ на входе мультиплексора 2 30 распределены неправильно, т.е. J_2, J_1 вместо J, J_2 , но фазы принятых сигналов соответствуют переданным отличается от режима вхождения в синхронизм тем, что время поиска составляет также один цикл. 35

В режиме работы устройства, когда каналы ДМФ и фаза сигналов каналов на приемной стороне полностью соответствует передающей стороне, т.е. J_1, J_2 или режим наличия синхронизации, поиск синхронизации отсутствуют.

Таким образом, если выбрать интервал анализа равным, то среднее время 45 поиска предлагаемого устройства при наличии помех, не превышающих корректирующую способность декодера составляет

$$T = \frac{0+1+1+2}{4} T_A = T_A \quad 50$$

где 0, 1, 2 - количество циклов поиска при наличии синхронизации только при инвертировании сигналов, только при перепутывании каналов ДМФ и при пере-

путывании каналов ДМФ и инвертировании сигналов каналов ДМФ соответственно.

Среднее время поиска для прототипа составляет соответственно

$$T_n = \frac{0+1+2+3}{4} T_A = 1,5 \cdot T_A$$

Следовательно, при равном интервале анализа среднее время поиска предлагаемого устройства в 1,5 раза меньше, чем у прототипа.

Следует отметить, что время поиска для предлагаемого устройства значительно сокращается за счет того, что информация для коррекции работы ДМФ поступает с выхода формирователя 6 синдромной последовательности, где частота следователя импульсов в J (J - число ортогональных проверок используемого в кодере сверточного кода) раз больше, чем с выхода порогового блока 8.

Это позволяет в предлагаемом устройстве выбрать меньше интервал анализа T_A по сравнению с прототипом при одинаковых характеристиках обнаружения. Ориентировочно интервал анализа можно выбрать равным $T_A \text{ пр} = T_{A \text{ прот}} / J$.

Уменьшение среднего времени поиска позволяет увеличить время сеанса связи или увеличить пропускную информационную способность, что особенно важно для системы связи цифровых спутниковых систем связи типа "Орбита-2".

Кроме того, введение буферного регистра 9 сдвига и второго сумматора 10 по модулю два позволяет повысить помехоустойчивость порогового декодирования в режиме обратной работы. В прототипе в этом случае на выход поступает большой пакет ошибок, который определяется интервалом анализа T_A и средним временем поиска T_n .

Известно, что вероятность ошибочного декодирования для порогового декодирования определяется выражением

$$P_{10} \leq \sum_{i=t+1}^{n_E} G_{n_E}^i p_i q^{n_E-i}$$

где n_E - эффективная длина кодового ограничения;
 t - кратность исправляемых ошибок.

Следовательно, помехоустойчивость предлагаемого устройства увеличивается в P_{10}/n , где n - длина пакета ошибок при обратной работе.

