



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3498610/24-24  
(22) 06.10.82  
(46) 30.09.84. Бюл. №36  
(72) Л.Г.Лопато и А.А.Шостак  
(71) Минский радиотехнический институт  
(53) 681.325(088.8)  
(56) 1. Бут Э. и Бут К. Автоматические цифровые машины. Н. ГИФМЛ. 1959, с.75-77.

2. Авторское свидетельство СССР №1053104, кл. G 06 F 7/52, 21.06.82 (прототип).

(54)(57) МНОЖИТЕЛЬНОЕ УСТРОЙСТВО, содержащее  $m$ -разрядные регистры множителя и множимого ( $m$ -разрядность десятичных сомножителей),  $2m$ -разрядный регистр результата,  $2m$  узлов тетрадного суммирования,  $2m-1$  коммутаторов,  $2m-1$  узлов преобразования двоичного кода в десятичный,  $2m$ -разрядный сумматор, причем выходы узлов тетрадного суммирования, кроме  $2m$ -го, соединены с информационными входами соответствующих узлов преобразования двоичного кода в десятичный и с первыми информационными входами соответствующих коммутаторов, вторые информационные входы которых соединены с выходами соответствующих узлов преобразования двоичного кода в десятичный, выходы коммутаторов соединены с соответствующими  $2m-1$  информационными входами  $2m$ -разрядного сумматора, выходы которого соединены соответственно с информационными входами  $2m$ -разрядного регистра результата, информационный  $2m$ -й вход сумматора соединен с выходом  $2m$ -го узла тетрадного суммирования,

управляющие входы коммутаторов и сумматора соединены с группой входов задания режима работы устройства, отличающееся тем, что, с целью повышения быстродействия, в него введены блок формирования кратных множимого, содержащий первый, второй и третий узлы удвоения, первый, второй и третий коммутаторы, а также блок частичных произведений, содержащий  $m$  групп элементов И, причем каждая группа элементов И содержит первую, вторую, третью и четвертую подгруппы элементов И, причем первая и вторая подгруппы каждой группы элементов И содержат  $4m$  элементов И, третья подгруппа каждой группы содержит  $4m+1$  элементов И, четвертая подгруппа каждой группы содержит  $4m+2$  элементов И, первые входы элементов И каждой подгруппы каждой группы объединены и подключены к соответствующим разрядам  $m$ -разрядного регистра множителя, вторые входы первой подгруппы каждой группы элементов И подключены к выходам соответствующих разрядов регистра множимого, вторые входы второй подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов первого коммутатора блока кратных множимого, вторые входы третьей подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов второго коммутатора блока кратных множимого, вторые входы четвертой подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов третьего коммутатора блока кратных множимого, выходы

первой, второй, третьей и четвертой подгрупп элементов И каждой группы подключены к соответствующим входам соответствующих узлов тетрадного суммирования со смещением старших разрядов в сторону увеличения разрядности на один двоичный разряд, начиная со второй подгруппы элементов относительно первой подгруппы элементов И, а выходы первой подгруппы элементов И каждой группы подключены к соответствующим входам соответствующих узлов тетрадного суммирования со смещением старших разрядов в сторону увеличения разрядности на четыре двоичных разряда относительно первой подгруппы элементов И предыдущей группы, выход  $m$ -разрядного регистра множимого соединен с входом первого узла удвоения,

первыми информационными входами первого, второго и третьего коммутаторов блока кратных множимого, выход первого узла удвоения которого соединен с вторым информационным входом первого коммутатора и входом второго узла удвоения блока кратных множимого, выход второго узла удвоения которого соединен с вторым информационным входом второго коммутатора и входом третьего узла удвоения блока кратных множимого, выход которого соединен с вторым информационным входом третьего коммутатора, управляющие входы коммутаторов соединены с группой входов задания режима работы устройства.

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в двоичной и десятичной системах счисления.

Известно множительное устройство, содержащее накопитель (блок формирования произведения) и осуществляющее умножение множимого  $X$  на множитель  $Y = \psi_1 \dots \psi_n \psi_1 \psi_1$ , причем в предварительно очищенный накопитель множимое  $X$  прибавляется  $\psi_1$  раз, затем оно сдвигается влево на один разряд и вновь прибавляется в накопитель  $\psi_2$  раз, и так до тех пор, пока не будут обработаны все разряды множителя  $Y$ . Это устройство позволяет умножить двоичные и десятичные числа [1].

Существенным недостатком известного устройства является низкое быстродействие, особенно при умножении десятичных чисел. Так, для перемножения двух  $m$ -разрядных десятичных чисел в известном устройстве требуется время, примерно равное

$$T_{10} \approx 4,5 m t_{cm},$$

где  $t_{cm}$  - время суммирования двух  $m$ -разрядных десятичных чисел. Здесь предполагается, что цифры 0, 1, 2, ..., 9

2

появляются во всех разрядах множителя  $Y$  с равной вероятностью.

Наиболее близким по технической сущности к изобретению является множительное устройство, содержащее  $m$ -разрядный регистр множителя ( $m$ -разрядность десятичных сомножителей)  $(m+1)$ -разрядный регистр множимого со схемой удвоения,  $2m$ -разрядный регистр результата (в известном устройстве он подразумевается), матрицу из  $(m+1)m$  узлов тетрадного умножения,  $2m$  узлов тетрадного суммирования,  $2m$  буферных регистров,  $2m$  узлов преобразования двоичного кода в десятичный,  $2m$  коммутаторов и блок суммирования, причем первые входы узлов тетрадного умножения матрицы соединены с выходами соответствующих тетрад регистра множимого, а вторые входы соединены с выходами младших разрядов соответствующих тетрад регистра множителя, входы узлов тетрадного суммирования соединены с выходами соответствующих буферных регистров и узлов тетрадного умножения, а выходы соединены с входами соответствующих буферных регистров и узлов преобразования двоичного кода в десятичный, а также соединены с первыми входами соответствующих

коммутаторов, выходы узлов преобразования двоичного кода в десятичный соединены с вторыми входами соответствующих коммутаторов, выходы которых соединены с равновесовыми входами блока суммирования, выход блока суммирования соединен с входом регистра результата, управляющие входы регистра множимого блока суммирования и коммутаторов соединены с входом режима работы устройства. Данное устройство позволяет умножать как десятичные, так и двоичные числа [2].

Недостатком указанного устройства является относительно низкое быстродействие, вызванное в первую очередь тем, что в нем окончательный результат формируется за четыре такта.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что в множительное устройство, содержащее  $m$ -разрядные регистры множимого и множителя ( $m$ -разрядность десятичных сомножителей),  $2m$ -разрядный регистр результата,  $2m$  узлов тетрадного суммирования,  $2m-1$  коммутаторов,  $2m-1$  узлов преобразования двоичного кода в десятичный,  $2m$ -разрядный сумматор, причем выходы узлов тетрадного суммирования, кроме  $2m$ -го, соединены с информационными входами соответствующих узлов преобразования двоичного кода в десятичный и с первыми информационными входами соответствующих коммутаторов, вторые информационные входы которых соединены с выходами соответствующих узлов преобразования двоичного кода в десятичный, выходы коммутаторов соединены с соответствующими  $2m-1$  информационными входами  $2m$ -разрядного сумматора, выходы которого соответственно соединены с информационными входами  $2m$ -разрядного регистра результата, информационный  $2m$ -й вход сумматора соединен с выходом  $2m$ -го узла тетрадного суммирования, управляющие входы коммутаторов и сумматора соединены с группой входов задания режима работы устройства, введены блок формирования кратных множимого, содержащий первый, второй и третий узлы удвоения, первый, второй и третий коммутаторы, а также блок частичных произведений, содержащий  $m$  групп элементов И, причем каждая группа

элементов И содержит первую, вторую, третью и четвертую подгруппы элементов И, причем первая и вторая подгруппы каждой группы элементов И содержат  $4m$  элементов И, третья подгруппа каждой группы содержит  $4m+1$  элементов И, четвертая подгруппа каждой группы содержит  $4m+2$  элементов И, первые входы элементов И каждой подгруппы каждой группы объединены и подключены к соответствующим разрядам  $m$ -разрядного регистра множителя, вторые входы первой подгруппы каждой группы элементов И подключены к выходам соответствующих разрядов регистра множимого, вторые входы второй подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов первого коммутатора блока кратных множимого, вторые входы третьей подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов второго коммутатора блока кратных множимого, вторые входы четвертой подгруппы элементов И каждой группы подключены к выходам соответствующих разрядов третьего коммутатора блока кратных множимого, выходы первой, второй, третьей и четвертой подгрупп элементов И каждой группы подключены к соответствующим входам соответствующих узлов тетрадного суммирования со смещением старших разрядов в сторону увеличения разрядности на один двоичный разряд, начиная с второй подгруппы элементов И относительно первой подгруппы элементов И, а выходы первой подгруппы элементов И каждой группы подключены к соответствующим входам соответствующих узлов тетрадного суммирования со смещением старших разрядов в сторону увеличения разрядности на четыре двоичных разряда относительно первой подгруппы элементов И предыдущей группы, выход  $m$ -разрядного регистра множимого соединен с входом первого узла удвоения, первыми информационными входами первого, второго и третьего коммутаторов блока кратных множимого, выход первого узла удвоения которого соединен с вторым информационным входом первого коммутатора и входом второго узла удвоения блока кратных множимого, выход второго узла удвоения которого соединен с вторым информационным входом второго коммутатора и входом

третьего узла удвоения блока кратных множимого, выход которого соединен с вторым информационным входом третьего коммутатора, управляющие входы коммутаторов соединены с группой входов задания режима работы устройства.

На фиг.1 приведена структурная схема предлагаемого множительного устройства; на фиг.2 - структурная схема блока кратных множимого; на фиг.3 - функциональная схема блока частичных произведений для случая, когда  $m = 2$ .

Устройство содержит (фиг.1)  $m$ -разрядные регистры 1 и 2 соответственно множимого и множителя,  $2m$ -разрядный регистр результата 3, блок 4 кратных множимого, блок 5 частичных произведений,  $2m$  узлов 6 тетрадного суммирования,  $2m-1$  узлов 7 преобразования двоичного кода в десятичный,  $2m-1$  коммутаторов 8, сумматор 9 и вход 10 задания режима работы устройства. Выход регистра 1 множимого соединен с входом блока 4 кратных множимого, выход которого соединен с первым входом блока 5 частичных произведений, второй вход которого соединен с выходом регистра 2 множителя, выходы 11 тетрадных произведений блока 5 частичных произведений соединены с входами соответствующих узлов 6 тетрадного суммирования, выходы узлов 6 тетрадного суммирования, за исключением последнего узла  $b_{2m}$  соединены с входами соответствующих узлов 7 преобразования двоичного кода в десятичный и с первыми входами соответствующих коммутаторов 8, вторые входы которых соединены с выходами соответствующих узлов 7 преобразования двоичного кода в десятичный, выходы коммутаторов 8 и последнего узла  $b_{2m}$  тетрадного суммирования соединены с входами сумматора 9, выход которого соединен с входом регистра 3 результата, управляющие входы блока 4, коммутаторов 8 и сумматора 9 соединены с входом 10 режима работы устройства. Регистры 1 и 2 множимого  $X$  и множителя  $Y$  предназначены для хранения  $m$ -разрядных десятичных и  $n$ -разрядных двоичных сомножителей (предполагается, что  $n = 4m$ ). В регистр 3 результата записывается  $2m$ -разрядное десятичное или же  $2n$ -разрядное двоичное произведение.

Эти регистры могут быть построены, например, на двухтактных синхронных D-триггерах (цепи синхронизации на чертеже не показаны).

В блоке 4 кратных формируются двухкратное  $2x$ , четырехкратное  $4x$  и восьмикратное  $8x$  множимые. Получение этих кратных в двоичной системе счисления не вызывает никакого труда и все они могут быть образованы простым сдвигом информации соответственно на один, два и три двоичных разряда в сторону старших разрядов.

Если используется десятичная система счисления с применением кода 8 4 2 1, то может быть использована такая же процедура сдвига, как и при двоичном умножении, за исключением того, что если удвоенная цифра равна или больше десяти, то (как и при сложении двух десятичных цифр в коде 8 4 2 1) требуются десятичный перенос и корректирующее добавление  $+6$ .

Блок 4 (фиг.2) содержит узлы 12 удвоения и коммутаторы 13. В режиме двоичного умножения на входе 10 устройства присутствует потенциал, разрешающий передачу информации на выходы коммутаторов 13 с их первых входов, на которые поступает информация непосредственно с входа блока 4, а в режиме десятичного умножения на выходы коммутаторов 13 подается информация с их вторых входов, которые соединены с выходами соответствующих узлов 12 удвоения. Таким образом, в режиме двоичного умножения кратные  $2x$ ,  $4x$  и  $8x$  формируются в блоке 4 путем простого сдвига информации соответственно на один, два и три двоичных разряда влево (этот сдвиг осуществляется за счет соответствующего подключения вторых входов коммутаторов 13 к входу блока 4), а в режиме десятичного умножения эти кратные образуются посредством многократного выполнения в узлах 12 операции удвоения над исходной информацией. Так, например, восьмикратное множимое  $8x$  формируется в результате последовательного выполнения трех операций удвоения на первом  $12_1$ , втором  $12_2$  и третьем  $12_3$  узлах удвоения.

В блоке 5 формируются частичные произведения множимого  $X$  на все цифры

множителя  $У$ , причем независимо от того, используется ли в устройстве двоичная или десятичная система счисления, число частичных произведений равно  $n$ . Это связано с тем, что в режиме двоичного умножения образуются частичные произведения множимого на каждую двоичную цифру  $n$ -разрядного множителя, а в режиме десятичного умножения формируются четыре частичных произведения множимого на каждую десятичную цифру  $m$ -разрядного множителя, т.е. то же  $n$ , так как  $n = 4m$ .

Блок 5 содержит (фиг.3)  $n = 8$  линейек элементов И 14 (рассматривается случай перемножения в устройстве 8-разрядных двоичных или 2-разрядных десятичных чисел). На первые входы элементов И 14 каждой линейки из блока 4 кратных поступает соответствующее кратное множимого  $X$  (по шинам 15 подается одинарное множимое  $1 \cdot X$ ; по шинам 16 - удвоенное множимое  $2 \cdot X$ ; по шинам 17 - учетверенное множимое  $4 \cdot X$  и по шинам 18 - увосьмиренное множимое  $8 \cdot X$ ), на вторые входы всех элементов И 14 каждой линейки поступает значение соответствующего двоичного разряда регистра 2 множителя (по шинам 19 в блок 5 поступают значения двоичных разрядов младшей тетрады регистра 2 множителя, а по шинам 20 - значения двоичных разрядов старшей тетрады регистра 2 множителя). На выходах одной линейки элементов И 14 образуется одно частичное произведение, а всего в блоке 5 формируется восемь частичных произведений. Выходы элементов И 14, расположенных в первой десятичной позиции блока 5, образуют первый выход  $11_1$ , значения тетрадных произведений блока 5 частичных произведений (на чертеже эти элементы И 14 расположены первыми справа и отделены штриховой линией). Подобным образом образуются второй  $11_2$ , третий  $11_3$  и четвертый  $11_4$  выходы тетрадных произведений блока 5 частичных произведений.

Узлы 6 тетрадного суммирования предназначены для быстрого суммирования тетрадных произведений, сформированных в соответствующей десятичной позиции блока 5 частичных произведений. Они могут быть построены самыми различными способами.

Результаты, сформированные на выходах узлов 7 преобразования двоичного кода в десятичный, используются в устройстве только в режиме десятичного умножения. Эти узлы предназначены для преобразования двоичного кода, полученного на выходе соответствующего узла 6 тетрадного суммирования, в двоично-десятичный код 8 4 2 1. Они могут быть построены с использованием постоянного запоминающего устройства по таблицам истинности. Для определенности детально рассмотрим синтез первого узла 7, преобразования двоичного кода в десятичный (другие узлы 7 строятся аналогично). Сначала следует определить, какое максимальное значение двоичного кода должен преобразовывать этот узел. При этом будем руководствоваться следующим. На выходах элементов И 14, расположенных в первой десятичной позиции блока 5 и образующих его первый выход  $11_1$ , тетрадных произведений при умножении двух десятичных чисел могут одновременно формироваться следующие максимально возможные значения тетрадных произведений: 1001, 1000 и 0110, Эти значения тетрадных произведений возможны в устройстве только тогда, когда младшая десятичная цифра множимого  $X$  равна 9, а младшая десятичная цифра множителя  $У$  равна 7. Ввиду этого на выходе первого узла 6, тетрадного суммирования не может быть сформировано значение двоичного кода, превышающее величину  $1001 + 1000 + 0100 = 10111$ . А поэтому узел 7, преобразования двоичного кода в десятичный может быть построен на ПЗУ емкостью в двадцать четыре 2-разрядных десятичных слова.

В таблице приведен фрагмент истинности узла 7, преобразования двоичного кода в десятичный, в которой через  $У_5, У_4, У_3, У_2, У_1$  обозначен двоичный код суммы тетрадных произведений, сформированный на выходе первого узла 6, тетрадного суммирования и поступающий на вход узла 7. На выходе этого узла образуется 2-разрядное десятичное число  $Z_0 Z_1$  в коде 8 4 2 1. Возрастание индексов при буквенных обозначениях здесь принято в направлении старших разрядов.

$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$z_2$	$z_1$
0	0	0	0	0	0 0 0 0	0 0 0 0
0	0	0	0	1	0 0 0 0	0 0 0 1
0	0	0	1	0	0 0 0 0	0 0 1 0
0	0	0	1	1	0 0 0 0	0 0 1 1
0	0	1	0	0	0 0 0 0	0 1 0 0
0	0	1	0	1	0 0 0 0	0 1 0 1
		⋮				
1	0	1	1	0	0 0 1 0	0 0 1 0
1	0	1	1	1	0 0 1 0	0 0 1 1

Следует особо отметить, что с целью обеспечения более высокого быстродействия сумматора 9 информацию в узлах 7 преобразования двоичного кода в десятичный можно хранить надлежащим образом в коде с избытком 3 или же в коде с избытком 6. Это позволяет исключить на некоторых выходах сумматора 9 специальные кодопреобразователи, а следовательно, и повысить их быстродействие. Так как сумма тетрадных произведений, сформированных в старшей десятичной позиции блока 5 в режиме десятичного умножения, не может быть больше девяти, то отпадает надобность в преобразовании двоичного кода в десятичный, а поэтому выход узла  $6_{2m}$  соединен непосредственно с  $2m$ -разрядным входом сумматора 9 (фиг. 1).

Коммутаторы 8 в режиме двоичного умножения осуществляют подключение к соответствующим входам сумматора 9 выходов узлов 6 тетрадного суммирования, а в режиме десятичного умножения - выходов узлов 7 преобразования двоичного кода в десятичный.

Из изложенного следует, что в предлагаемом устройстве может оказаться так, что узлы 6 и 7, а также коммутаторы 8, расположенные на разных десятичных позициях, будут иметь и разные схемные структуры. В тех же случаях, когда преследуется цель обеспечения однородности структуры устройства, можно ограничиться детальным анализом и синтезом только уз-

лов 6 $m$ , 7 $m$  и коммутатора 8 $m$ , расположенных на  $m$ -ой десятичной позиции, причем эта совокупность может быть конструктивно выполнена в виде единого модуля, используемого на всех десятичных позициях устройства и реализованного, например, как большая интегральная схема.

В большинстве практических случаев в устройстве в качестве сумматора 9 должен использоваться либо двухвходовой, либо трехвходовой быстродействующий комбинационный сумматор, позволяющий суммировать как двоичные, так и десятичные числа.

Рассмотрим работу устройства при умножении двоичных и десятичных чисел.

В режиме умножения чисел в двоичном коде по сигналу на входе 10 устройства блок 4 настраивается на формирование двоичных кратных, сумматор 9 настраивается на суммирование двоичных чисел, а выходы коммутаторов 8 соединяются со своими первыми входами, на которые поступают результаты с выходов соответствующих узлов 6 тетрадного суммирования. Далее одновременно или последовательно во времени в регистры 1 и 2 загружаются  $n$ -разрядные двоичные сомножители  $X$  и  $Y$  без знаков. После этого в блоке 4 формируются четыре двоичных кратных множителя  $1X, 2X, 4X, 8X$ , которые поступают соответствующим образом на входы блока 5, где образуется  $n$  частичных произведений множителя  $X$  на все двоичные цифры  $n$ -разрядного множителя 7.

Тетрадные произведения, являющиеся составной частью частичных произведений, поступают на выходы 11 блока 5 с учетом занимаемой ими в блоке весовой десятичной позиции. Например, все тетрадные произведения, расположенные в первой десятичной позиции блока 5 и имеющие вес  $10^0$ , поступают на выход  $11_1$  блока 5, а все тетрадные произведения, находящиеся во второй десятичной позиции блока 5 и имеющие вес  $10^1$ , подаются на выход  $11_2$  блока 5. В узлах 6 тетрадного суммирования выполняется быстрое двоичное суммирование равновесовых тетрадных произведений, поступающих на входы этих узлов с соответствующих выходов 11 блока 5 частичных произведений, а получившиеся на их выходах результаты поступают через соответствующие коммутаторы 8 на равновесовые входы сумматора 9, где и осуществляется их окончательное суммирование. Получившийся на выходе сумматора  $9_2$   $n$ -разрядный двоичный результат записывается в регистр 3 результата.

В режиме умножения десятичных чисел по сигналу на входе 10 устройства блок 4 настраивается на формирование десятичных кратных, сумматор 9 настраивается на суммирование десятичных чисел, а выходы коммутаторов 8 соединяются со своими вторыми входами, на которые подаются результаты с выходов соответствующих узлов 7 преобразования двоичного кода в десятичный. Далее одновременно или последовательно во времени в регистры 1 и 2 загружаются  $m$ -разрядные десятичные сомножители  $X$  и  $Y$  без знаков. После этого в блоке 4 формируются четыре десятичных кратных множимого  $1X, 2X, 4X$  и  $8X$ , которые поступают соответствующим образом на входы блока 5, где образуется  $n$  частичных произведений множимого  $X$  на множитель  $Y$  (при умножении на одну десятичную цифру множителя образуется четыре частичных произведения). Далее в узлах 6 тетрадного суммирования выполняется быстрое двоичное суммирование равновесовых тетрадных произведений, поступающих на входы этих узлов с соответствующих выходов 11 блока 5 частичных произведений, а получившие-

ся на их выходах двоичные результаты поступают на входы соответствующих узлов 7, где производится их преобразование в десятичный код, например, код 8 4 2 1. Десятичные числа с выходов узлов 7 подаются через коммутаторы 8 на равновесовые входы сумматора 9, в котором и производится их окончательное суммирование. Получившийся при этом на выходе сумматора  $9_2$   $m$ -разрядный десятичный результат записывается в регистр 3 результата.

Время умножения двоичных  $T_2^n$  и десятичных  $T_{10}^n$  чисел в предлагаемом устройстве, в предположении что сомножители загружаются во входные регистры 1 и 2 одновременно, примерно равно

$$T_2^n \approx \tau_4' + \tau_5 + \tau_6 + \tau_8 + \tau_9;$$

$$T_{10}^n \approx \tau_4'' + \tau_5 + \tau_6 + \tau_7 + \tau_8 + \tau_9,$$

где  $\tau_k$  — задержка, которую вносит блок с порядковым номером  $k$  на структурной схеме устройства (фиг. 1). В известном устройстве [2] эти времена соответственно равны

$$T_2^n \approx 3(\tau_5 + \tau_6' + \tau_{3ап}) + \tau_5 + \tau_6' + \tau_8 + \tau_9;$$

$$T_{10}^n \approx 3(\tau_5 + \tau_6' + \tau_{3ап}) + \tau_5 + \tau_6' + \tau_7 + \tau_8 + \tau_9,$$

где  $\tau_{3ап}$  — время, необходимое на запись информации в регистры, а  $\tau_6'$  означает задержку информации на узлах тетрадного суммирования в известном устройстве [2]. Пусть  $n=8$ ,  $m=2$ , и, кроме этого, пусть

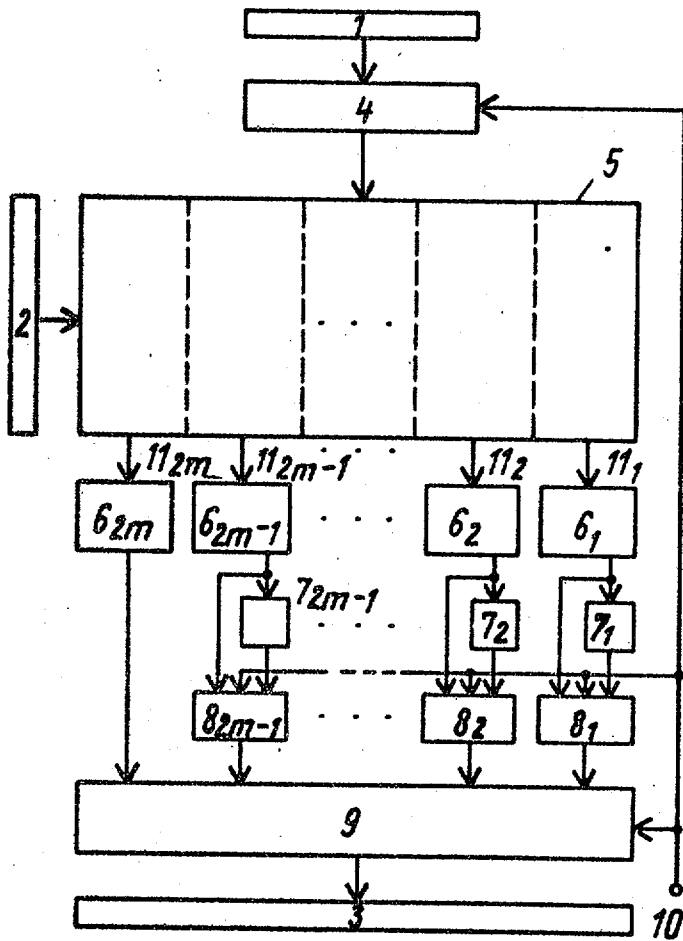
$$\tau_4' = \tau; \tau_4'' = 7\tau; \tau_5 = \tau; \tau_6 = 10\tau; \tau_6' = 6\tau;$$

$$\tau_7 = 3\tau; \tau_8 = \tau; \tau_9 = 5\tau; \tau_{3ап} = 2\tau,$$

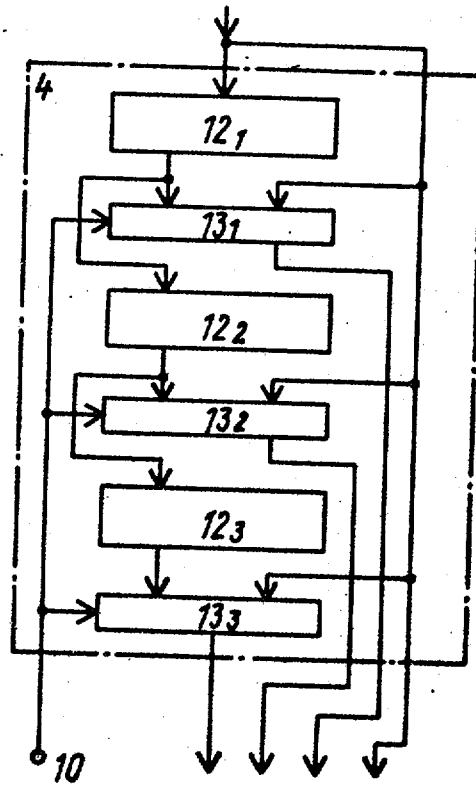
что вполне реально ( $\tau$  — задержка сигнала на одном логическом элементе). Тогда в предлагаемом и известном устройствах время умножения двоичных и десятичных чисел составляет величину

$$T_2^n \approx 18\tau; T_2^m \approx 40\tau; T_{10}^n \approx 27\tau; T_{10}^m \approx 43\tau,$$

а следовательно, предлагаемое устройство при умножении двоичных чисел имеет примерно в 2,2 раза более высокое быстродействие, чем известное. При умножении же десятичных чисел оно примерно в 1,6 раза быстрее известного.



Фиг. 1



Фиг. 2



