



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 557361

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 27.08.74 (21) 2054699/24

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 05.05.77. Бюллетень № 17

(45) Дата опубликования описания 09.07.77.

(51) М. Кл.²

G 06 F 5/02

(53) УДК 681.325
(088,8)

(72) Авторы
изобретения

Б. В. Немытов, А. М. Оранский, А. Н. Морозевич
и М. С. Лозовик

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ПОТЕНЦИРОВАНИЯ

1

Изобретение относится к области вычислительной техники и может быть использовано для вычисления антилогарифмических зависимостей (проведение операции потенцирования) в двоичной системе счисления.

Известно устройство для потенцирования, содержащее регистр сдвига, счетчик, элемент ИЛИ, три элемента И, два триггера, элемент задержки и генератор тактовых импульсов [1].

Недостатком устройства является низкая точность вычисления.

Наиболее близким техническим решением к изобретению является устройство для потенцирования, содержащее два регистра, блок сравнения и триггер [2].

Недостатком устройства является низкая точность вычислений с погрешностью до 8,5%, что не всегда приемлемо при решении ряда задач.

Целью изобретения является повышение точности работы устройства.

Эта цель достигается за счет того, что в предложенное устройство введены дополнительно два сумматора, постоянное запо-

2

минающее устройство (ПЗУ), блок деления и блок управления. Первый выход первого сумматора соединен с первым информационным входом блока сравнения, второй информационный вход которого соединен с первым информационным входом первого сумматора и с выходом ПЗУ. Второй выход первого сумматора, выход блока сравнения и выход триггера соединены с соответствующими входами блока управления. Вход второго сумматора соединен с информационным входом первого регистра и первым входом блока деления, второй вход которого соединен с выходом второго регистра. Выход первого регистра соединен с информационным входом второго сумматора. Выход блока управления соединен с управляющими входами первого и второго сумматоров, первого и второго регистров, блока сравнения, блока деления и ПЗУ. Второй вход первого сумматора и вход триггера соединены с входными шинами, а выход блока деления - с выходной шиной.

На чертеже представлена блок-схема устройства для потенцирования.

25

Устройство содержит первый сумматор 1 ПЗУ 2, блок сравнения 3, второй сумматор 4, первый 5 и второй 6 регистры, блок деления 7, блок управления 8 и триггер 9.

Устройство работает следующим образом.

В исходном состоянии все разряды всех регистров, сумматоров и триггера находятся в нулевом состоянии. Значение исходного числа A , которое в общем случае представляет величину $\log_2 x$ и которое необходимо преобразовать по антилогарифмической зависимости, заносится в сумматор 1, а его знак — в триггер знака 9. В сумматор 4 вводится величина $1,1_{(2)} = (1+2^{-\gamma})$, где $\gamma = 1$, а в регистр 6 заносится единица. Затем из разрядов сумматора 1, отведенных для целой части значения A , если значение целой части не равно нулю, вычитается единица на каждом такте до получения нулевого значения в этой части сумматора 1. Одновременно с этой операцией синхронно в регистре 6 производится сдвиг единицы влево. Причем при выполнении этих операций должно выполняться следующее условие: при положительном исходном числе в регистре 6 кроме указанных сдвигов производится еще один дополнительный в ту же сторону, а содержимое дробной части сумматора 1 преобразуется в дополнительный код, при отрицательном заданном числе дополнительный сдвиг в регистре 6 не производится, а содержимое сумматора 1 остается в прямом коде. Во время перечисленных операций состояние сумматора 4 и триггера 9 не изменяется.

Затем содержимое сумматора 1 сравнивается со значением константы α_1 , которая выбирается из ПЗУ с помощью блока управления 8 и подается на вход блока сравнения 3. Объем ПЗУ определяется числом k хранящихся в нем констант α_j , где k — число разрядов разрядной сетки устройства, предназначенных для представления дробной части чисел. Если константа α_1 больше значения содержимого сумматора 1, т.е. $\xi_1 = 0$, то производится сдвиг единицы дробной части сумматора 4 вправо на один разряд, а состояние регистров 5 и 6 не изменяется.

Затем сравнивается содержимое сумматора 1 с очередным значением константы α_2 , и если $\xi_2 = 0$, то как и на предыдущем шаге единицы сумматора 4 сдвигаются на один разряд вправо без изменения состояния регистров 5 и 6.

Операции сравнения содержимого сумматора 1 с очередными значениями α_j соответствующими последующими операциями

проводятся до тех пор, пока результат сравнения каждый раз дает нулевое значение оператора ξ_j .

В том случае, когда результат операции сравнения равен единице ($\xi_j = 1$), что соответствует тому, что значение α_j на этом шаге меньше содержимого сумматора 1, сдвиг на сумматоре 4 не производится; а его значение дополнительно записывается в регистр 5. Затем из содержимого сумматора 1 вычитается значение α_j , по которому в этом шаге проводилось сравнение, путем подачи α_j с выхода ПЗУ 2 на вход сумматора.

Далее полученное значение в сумматоре 1 сравнивается с очередным значением константы α_j . Если результат сравнения равен нулю, то содержимое всех регистров и сумматоров не изменяется.

Если же на каком-то шаге результат сравнения равен единице ($\xi_j = 1$), то из содержимого сумматора 1 вычитается сравниваемое значение константы α_j , причем содержимое сумматора 4 и регистра 6 не меняется, а содержимое регистра 5 сдвигается вправо в сторону младших разрядов, по числу проведенных операций сравнения, которое фиксирует блок 8 управления.

Эти процедуры повторяются до тех пор, пока не будет проведено k сравнений, где k — разрядность дробной части чисел, с которыми оперирует устройство.

Если в сумматоре 1 на каком-либо шаге появится значение, равное нулю, то проведение операций сравнения прекращается.

В результате проведенных процедур в сумматоре 4 находится делитель, а в регистре 6 — делимое. Делимое и делитель подаются на блок 7 деления, с выхода которого получаем исходный результат (частное) x , т.е. результат операции потенцирования.

Среднее время вычисления антилогарифма наибольшего исходного числа, которое можно записать в сумматор 1, составляет порядка сотни тактов. В то же время решение аналогичной задачи на универсальной ЦВМ с использованием библиотеки стандартных программ необходимо около 2000 тактов. Таким образом, быстродействие предлагаемого устройства повышено по сравнению с известными.

Погрешность ξ при потенцировании состоит из основных погрешностей: погрешности вычисления бесконечного произведения Δ_1 и погрешности, связанной с ограничением разрядной сетки регистров при выполнении вычислений Δ_2 :

$$\xi = \Delta_1 + \Delta_2.$$

Если для дробной части чисел в регистре отведено k разрядов, то Δ_1 будет:

$$\Delta_1 = \prod_{r=k+1}^{\infty} (1+2^{-r}) \cdot \Pi_k - \Pi_k,$$

где $\Pi_k = \prod_{r=1}^k (1+2^{-r})$.

Тогда $\Delta_1 = \prod_{r=k+1}^{\infty} (1+2^{-r}) \Pi_k - \Pi_k = \Pi_k [1+2^{-(k+1)} + 2^{-(k+2)} + \dots + 0(1/2^{2k+3})] - \Pi_k \approx \Pi_k \frac{1}{2^k}$.

Погрешность Δ_2 определяется величиной 2^{-k} . Таким образом $\epsilon \approx \Pi_k \frac{1}{2^k} + 2^{-k}$.

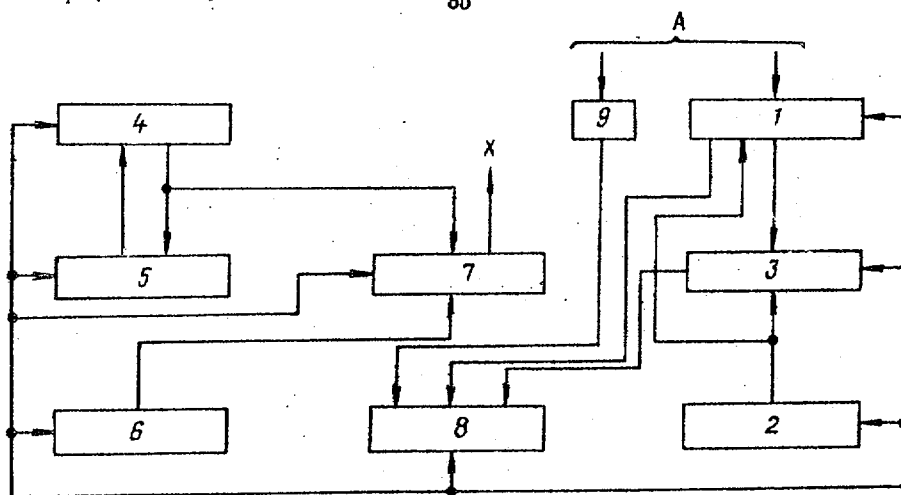
Из этого выражения видно, что ошибка вычислений ϵ на данном устройстве определяется в основном вторым членом составляющим величину 2^{-k} , так как первая составляющая $\Pi_k \frac{1}{2^k}$ представляет

весьма малую величину. Так, например, расчеты показывают, что для типовой разрядности $k=32$ значение ϵ представляет величину $\epsilon \approx 2^{-32}$, т.е. вес младшего разряда, а это значит, что погрешность устройства составляет величину $\approx 5 \cdot 10^{-7} \%$.

В то же время погрешность вычислений на устройстве-прототипе при той же разрядности достигает значения по абсолютной величине 0,08544 или $\approx 8,5\%$.

Ф о р м у л а и з о б р е т е н и я

Устройство для потенцирования, содержащее два регистра, блок сравнения и триггер -



Составитель А. Шпатулла

Редактор Л. Утехина Техред Г. Родак Корректор А. Грищенко

Заказ 848/59

Тираж 818

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4

гер, отличающееся тем, что, с целью повышения точности работы устройства, в него введены два сумматора, постоянное запоминающее устройство ПЗУ, блок

деления, блок управления, причем первый выход первого сумматора соединен с первым информационным входом блока сравнения, второй информационный вход которого соединен с первым информационным входом первого сумматора и с выходом ПЗУ; второй выход первого сумматора, выход блока сравнения и выход триггера соединены с соответствующими входами блока управления; выход второго сумматора соединен с информационным входом первого регистра и первым входом блока деления, второй вход которого соединен с выходом второго регистра; выход первого регистра соединен с информационным входом второго сумматора; выход блока управления соединен с управляющими входами первого и второго сумматоров, первого и второго регистров, блока сравнения, блока деления и ПЗУ; второй вход первого сумматора и вход триггера соединены с входными шинами, а выход блока деления соединен с выходной шиной.

Источники информации, принятые во внимание при экспертизе изобретения:

1. Авторское свидетельство СССР № 330448, кл. G 06 F 5/02 от 1973 г.
2. Авторское свидетельство СССР № 304574, кл. G 06 F 5/02 от 1973 г.