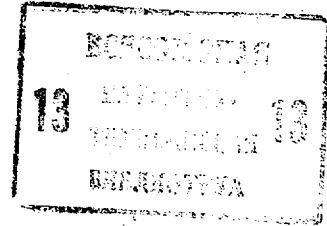




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3393543/18-24
- (22) 15.02.82
- (46) 15.12.84. Бюл. № 46
- (72) Г.П. Лопато и А.А. Шостак
- (71) Минский радиотехнический институт

(53) 681.325 (088.8)

(56) 1. Матричное устройство для извлечения корня. Экспресс-информация. Вычислительная техника, 1980, № 5.

2. Корцев М.А. Арифметика цифровых машин. М., "Наука", 1969, с. 536-542 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ ИЗВЛЕЧЕНИЯ КВАДРАТНОГО КОРНЯ, содержащее регистр подкоренного числа и регистр результата, сдвигающий регистр, первый вычитатель, причем выход регистра подкоренного числа соединен с первым входом первого вычитателя, управляющие записью входы регистров подкоренного числа, регистра результата, сдвигающего регистра соединены с входом записи устройства, отличающееся тем, что, с целью повышения быстродействия за счет формирования в одном цикле вычислений нескольких двоичных цифр результата, в него введены второй, третий, четвертый, пятый, шестой, седьмой вычитатели, семь групп элементов ИЛИ, блок формирования цифр результата и коммутатор, причем выход регистра подкоренного числа соединен с первыми входами второго и четвертого вычитателей, выход первого вычитателя соединен с первыми входами третьего и шестого вычитателей, выход второго вычитателя

соединен с первым входом пятого вычитателя, выход третьего вычитателя соединен с первым входом седьмого вычитателя, выходы регистра подкоренного числа и вычитателей с первого по седьмой соединены соответственно с входами с первого по восьмой коммутатора, выход которого соединен с входом регистра подкоренного числа, первые и вторые входы всех групп элементов ИЛИ соединены с выходами соответственно регистра результата и сдвигающего регистра, а выходы групп элементов ИЛИ, с первой по седьмую, соединены с вторыми входами соответствующих вычитателей с первого по седьмой, выходы знаковых разрядов всех вычитателей соединены соответственно с входами с первого по седьмой блока формирования цифр результата, первая группа выходов которого соединена соответственно с управляющими входами коммутатора, а вторая группа - соответственно с информационными входами регистра результата, второй управляющий вход записи которого соединен с выходом сдвигающего регистра, причем блок формирования цифр результата содержит первый, второй, третий, четвертый, пятый, шестой, седьмой, восьмой элементы И и элементы ИЛИ с первого по третий, причем первый вход блока формирования цифр соединен с первыми инверсными входами первого, третьего, шестого, седьмого элементов И, первыми прямыми входами второго, четвертого, пятого, восьмого элементов И, второй вход блока формирования цифр соединен с вторыми инверсными

(19) **SU** (11) **1129608** **A**

входами второго, пятого элементов И и вторыми прямыми входами четвертого, восьмого элементов И, третий вход блока формирования цифр соединен с вторыми инверсными входами третьего, седьмого элементов И, вторыми прямыми входами первого, шестого элементов И, четвертый вход блока формирования цифр соединен с третьим инверсным входом четвертого элемента И и третьим прямым входом восьмого элемента И, пятый вход блока формирования цифр соединен с третьим инверсным входом пятого элемента И и третьим прямым входом второго элемента И, шестой вход блока формирования цифр соединен с третьим инверсным входом шестого элемента И и третьим прямым входом первого элемента И, седьмой вход блока формирования цифр соединен с третьим

инверсным входом седьмого элемента И и третьим прямым входом третьего элемента И, первая группа выходов блока формирования цифр является выходами соответствующих элементов И с первого по восьмой, первый, второй, третий, четвертый входы первого элемента ИЛИ соединены соответственно с выходами второго, третьего, шестого, седьмого элементов И, первый, второй, третий, четвертый входы второго элемента ИЛИ соединены соответственно с выходами третьего, второго, седьмого, пятого элементов И, первый, второй, третий, четвертый входы третьего элемента ИЛИ соединены соответственно с выходами пятого, шестого, четвертого, седьмого элементов И, вторая группа выходов блока формирования цифр является выходами элементов ИЛИ с первого по третий.

1

Изобретение относится к вычислительной технике и может быть использовано в универсальных и специализированных арифметических устройствах для быстрого извлечения квадратного

корня из двоичного числа. Известно однотактное устройство для извлечения квадратного корня, выполненное в виде матрицы определенным образом соединенных одно-

разрядных двоичных сумматоров-вычитателей или вычитателей [1]. Основным недостатком известного устройства является низкая эффективность, особенно при больших значениях разрядности обрабатываемой информации, так как увеличение быстродействия достигается за счет значительного увеличения количества используемого оборудования.

Наиболее близким по технической сущности к изобретению является устройство для извлечения квадратного корня, содержащее регистры подкоренного числа и результата, сдвигающий регистр, вычитатель, причем первый и второй входы вычитателя соединены с выходами регистров соответственно подкоренного числа и результата, а его выход соединен с

2

входом регистра подкоренного числа, управляющие входы регистров подкоренного числа, управляющие входы регистров подкоренного числа и результата, а также сдвигающего регистра соединены с входом устройства. В данном устройстве фактически реализован алгоритм извлечения квадратного корня с восстановлением остатка, так как в регистр подкоренного числа в качестве очередного остатка записывается только положительная разность, сформированная на выходе вычитателя (запись же отрицательной разности в регистр подкоренного числа блокируется, а в качестве очередного остатка используется значение предыдущего остатка) [2].

Недостатком известного устройства является низкое быстродействие, вызванное в первую очередь формированием в каждом цикле его работы только одной двоичной цифры результата. Извлечение квадратного корня из n -разрядного двоичного числа осуществляется в нем за время, примерно равное

$$T_k \approx n(t_{cm} + t_{cd})$$

30

Цель изобретения - повышение быстродействия устройства для извлечения квадратного корня путем одновременного формирования в цикле нескольких двоичных цифр результата.

Поставленная цель достигается тем, что, в устройство для извлечения квадратного корня, содержащее регистр подкоренного числа и регистр результата, сдвигающий регистр, первый вычитатель, причем выход регистра подкоренного числа соединен с первым входом первого вычитателя, управляющие записью входы регистров подкоренного числа, регистра результата, сдвигающего регистра соединены с входом записи устройства, введены второй, третий, четвертый, пятый, шестой, седьмой вычитатели, семь групп элементов ИЛИ, блок формирования цифр результата и коммутатор, причем выход регистра подкоренного числа соединен с первыми входами второго и четвертого вычитателей, выход первого вычитателя соединен с первыми входами третьего и шестого вычитателей, выход второго вычитателя соединен с первым входом пятого вычитателя, выход третьего вычитателя соединен с первым входом седьмого вычитателя, выходы регистра подкоренного числа и вычитателей с первого по седьмой соединены соответственно с входами с первого по восьмой коммутатора, выход которого соединен с входом регистра подкоренного числа, первый и вторые входы всех групп элементов ИЛИ соединены с выходами соответственно регистра результата и сдвигающего регистра, а выходы групп элементов ИЛИ, с первой по седьмую, соединены с вторыми входами соответствующих вычитателей с первого по седьмой, выходы знаковых разрядов всех вычитателей соединены соответственно с входами с первого по седьмой блока формирования цифр результата, первая группа выходов которого соединена соответственно с управляющими входами коммутатора, а вторая группа - соответственно с информационными входами регистра результата, второй управляющий вход записи которого соединен с выходом сдвигающего регистра, причем блок формирования цифр результата содержит первый, второй, третий, четвертый, пятый, шестой, седьмой, восьмой элементы И и эле-

менты ИЛИ с первого по третий, причем первый вход блока формирования цифр соединен с первыми инверсными входами первого, третьего, шестого, седьмого элементов И, первыми прямыми входами второго, четвертого, пятого, восьмого элементов И, второй вход блока формирования цифр соединен с вторыми инверсными входами второго, пятого элементов И и вторыми прямыми входами четвертого, восьмого элементов И, третий вход блока формирования цифр соединен с вторыми инверсными входами третьего, седьмого, элементов И, вторыми прямыми входами первого, шестого элементов И, четвертый вход блока формирования цифр соединен с третьим инверсным входом четвертого элемента И и третьим прямым входом восьмого элемента И, пятый вход блока формирования цифр соединен с третьим инверсным входом пятого элемента И и третьим прямым входом второго элемента И, шестой вход блока формирования цифр соединен с третьим инверсным входом шестого элемента И и третьим прямым входом первого элемента И, седьмой вход блока формирования цифр соединен с третьим инверсным входом седьмого элемента И и третьим прямым входом третьего элемента И, первая группа выходов блока формирования цифр является выходами соответствующих элементов И с первого по восьмой, первый, второй, третий, четвертый входы первого элемента ИЛИ соединены соответственно с выходами второго, третьего, шестого, седьмого элементов И, первый, второй, третий, четвертый входы второго элемента ИЛИ соединены соответственно с выходами третьего, второго, седьмого, пятого элементов И, первый, второй, третий, четвертый входы третьего элемента ИЛИ соединены соответственно с выходами пятого, шестого, четвертого, седьмого элементов И, вторая группа выходов блока формирования цифр является выходами элементов ИЛИ с первого по третий.

На фиг. 1 изображена структурная схема предлагаемого устройства (рассматривается случай, когда число одновременно формируемых в цикле двоичных цифр результата равно трем); на фиг. 2 и 3 - функциональные схемы двух узлов элементов ИЛИ; на фиг. 4 - один из воз-

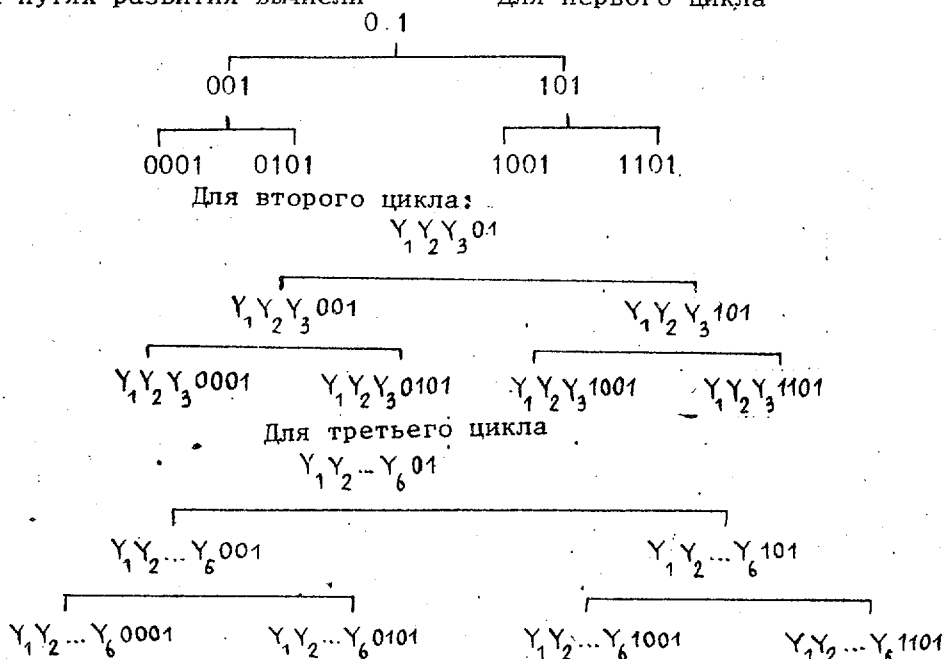
можных вариантов функциональной схемы блока формирования цифр результата; на фиг.5 - функциональная схема 1-го разряда коммутатора.

Устройство (фиг.1) содержит первый 1, второй 2, третий 3, четвертый 4, пятый 5, шестой 6 и седьмой 7 вычитатели, группы 8-14 элементов ИЛИ, коммутатор 15, блок 16 формирования цифр результата, регистры 17 и 18 соответственно подкоренного числа и результата, сдвигающий регистр 19, вход 20 устройства и выходы 21-27 знаковых разрядов вычитателей 1-7 соответственно.

Группы 8-14 элементов ИЛИ предназначены для формирования значений вычитаемого вычитателей 1-7 при всевозможных путях развития вычисли-

тельного процесса определения трех двоичных цифр результата по алгоритму извлечения квадратного корня с восстановлением остатка, причем эти значения зависят не только от вычитателей, на вход вычитаемого которых они поступают, но и от порядкового номера цикла определения очередных трех двоичных цифр результата. Ниже приведены значения вычитаемых, формируемых на выходах групп 8-14 элементов ИЛИ для первых трех циклов вычислений устройства (значения вычитаемых расположены подобно тому, как размещены соответствующие группы 8-14 элементов ИЛИ на структурной схеме устройства фиг.1).

Для первого цикла



где $Y_1 Y_2 Y_3$ - три наиболее старшие двоичные цифры результата, сформированные в первом цикле вычислений устройства и хранимые к началу второго цикла соответственно в первом, втором третьем разрядах регистра 18 результата;

$Y_4 Y_5 Y_6$ - три двоичные цифры результата, сформированные во втором цикле вычислений и хранимые к началу третьего цикла вычислений соответственно в четвертом, пятом и шестом разрядах регистра 18 результата.

Из приведенных диаграмм видно, что группы 8-14 элементов ИЛИ фактически осуществляют присовокупление к значениям определенных нулевых разрядов регистра 18 результата значений двоичных кодов соответственно

01, 001, 101, 0001, 0101, 1001 и 1101. Номера разрядов регистра 18 результата, к значениям которых осуществляется присовокупление значений указанных двоичных кодов, однозначно определяются положением единицы, хранимой в сдвигающем регистре 19 устройства (в первом цикле работы устройства эта единица находится в первом разряде сдвигающего регистра, далее она продвигается на одну позицию в каждом цикле в направлении последнего разряда регистра). На фиг.2 и 3 в качестве примера приведены фрагменты функциональных схем соответственно группы 8 элементов ИЛИ и группы 14 элементов ИЛИ (функциональные схемы других групп элементов ИЛИ устройства могут быть разра-

ботаны подобным образом с учетом приведенных выше диаграмм).

Блок 16 формирования цифр результата выполняет две функции: формирует сигналы $Y_1^*, Y_2^*, Y_3^*, Y_4^*, Y_5^*, Y_6^*, Y_7^*$ и Y_{17}^* управляющие работой коммутатора, а также формирует три двоичные цифры результата f_1, f_2 и f_3 в соответствии с алгоритмом извлечения квадратного корня с восстановлением остатка. Формирование указанных управляющих сигналов и цифр результата может осуществляться в соответствии со следующими логическими выражениями:

$$Y_1^* = \bar{x}_{21} x_{23} x_{26}; \quad Y_2^* = x_{21} \bar{x}_{22} x_{25};$$

$$Y_4^* = x_{21} x_{22} \bar{x}_{24}; \quad Y_5^* = x_{21} \bar{x}_{22} \bar{x}_{25};$$

$$Y_7^* = \bar{x}_{21} \bar{x}_{23} \bar{x}_{27}; \quad Y_{17}^* = x_{21} + x_{22} + x_{24};$$

$$f_2 = Y_2 + Y_3 + Y_5 + Y_7; \quad f_3 = Y_4 + Y_5 + Y_6 + Y_7;$$

$$Y_3^* = \bar{x}_{21} \bar{x}_{23} x_{27};$$

$$Y_6^* = \bar{x}_{21} x_{23} \bar{x}_{26};$$

$$f_1 = Y_1 + Y_3 + Y_6 + Y_7;$$

где Y_7^* - управляющий сигнал, под действием которого коммутатор 15 осуществляет выборку результата, сформированного на выходе вычитателя 7 на фиг. 1;

x_{21} - логическая переменная, соответствующая значению знакового разряда вычитателя 1 (если на выходе вычитателя 1 сформирована отрицательная разность, то $x_{21} = 1$, в противном случае $x_{21} = 0$),

f_1, f_3 - соответственно старшая и младшая цифры результата из трех формируемых в одном цикле вычислений двоичных цифр.

На фиг. 4 приведена функциональная схема блока 16 формирования цифр результата, работающая в соответствии с приведенными выше логическими выражениями.

С помощью коммутатора 15 осуществляется выборка в качестве очередного остатка либо значения разности одного из вычитателей 1-7, либо значения содержимого регистра 17 подкоренного числа. Управление этой выборкой производится под действием соответствующих сигналов $Y_1^*, Y_2^*, Y_3^*, Y_4^*, Y_5^*, Y_6^*, Y_7^*$ и Y_{17}^* посту-

пающих на управляющие входы коммутатора 15 с первой группы выходов блока 16 формирования цифр результата. На фиг. 5 показана функциональная схема i -го разряда коммутатора 15, где, например, Q_5^i - значение разности на выходе i -го разряда вычитателя с порядковым номером 5 на фиг. 1.

Устройство работает следующим образом.

В исходном состоянии в регистре 17 подкоренного числа хранится n -разрядное двоичное число x (в принципе число x может быть как целым, так и дробным, однако в дальнейшем для определенности будем предполагать, что оно есть правильная нормализованная двоичная дробь, причем только положительная), регистр 18 результата обнулен, в первом разряде сдвигающего регистра 19 записана единица (разрядность m сдвигающего регистра может быть выбрана равной числу циклов работы устройства для извлечения квадратного корня из n -разрядного двоичного числа, будем считать, что число циклов работы устройства равно $n/3$, а следовательно, и $m = n/3$).

Во всех циклах устройство работает одинаковым образом, поэтому более подробно рассмотрим его работу только в одном, i -м цикле ($1 \leq i \leq m$). К началу i -го цикла в регистре 18 результата сформированы $3(i-1)$ старших двоичных цифр результата, а в i -м разряде сдвигающего регистра 19 хранится единица. По содержимому регистра 18 результата и с учетом единицы, хранимой в i -м разряде сдвигающего регистра 19, на выходах групп 8-14 элементов ИЛИ формируются вычитаемые, значения которых поступают на вторые входы соответствующих вычитателей 1-7, после этого все вычитатели практически начинают работать одновременно и на их выходах формируются результаты при всех возможных путях развития вычислительного процесса определения очередных трех двоичных цифр результата по алгоритму извлечения квадратного корня с восстановлением остатка. Очевидно, что в одном цикле определения трех двоичных цифр результата только один из этих восьми результатов может быть правильным (выбор пра-

вильного результата производится с помощью управляющих сигналов $Y_1^*, Y_2^*, Y_3^*, Y_4^*, Y_5^*, Y_6^*, Y_7^*$ и Y_{17}^*). По истечении времени, равного примерно времени суммирования двух n -разрядных двоичных чисел, коммутатор 15 выбирает в качестве очередного остатка результат либо одного из вычитателей 1-7, либо содержимое регистра 17 под-10 коренного числа, который с разрешения сигнала на входе 20 устройства записывается в регистр 17 со сдвигом влево на один двоичный разряд. Одновременно с выборкой коммутатором 15 одного из восьми результатов и записью в качестве очередного остатка в регистр 17 в блоке 16 формируются три двоичные цифры результата f_1, f_2 и f_3 , которые с разрешения того же сигнала на входе 20 устройства записываются в разряды $[1+3(i-1)], [2+3(i-1)]$ и $[3+3(i-1)]$ регистра 18 результата в качестве трех очередных цифр результата $Y_{[1+3(i-1)]}, Y_{[2+3(i-1)]}$ и $Y_{[3+3(i-1)]}$ (номера разрядов регистра 18, в которые должны быть записаны три очередных цифры результата однозначно определяет единица в i -м разряде сдвигающего регистра 19). Параллельно с записью очередного остатка и очередных цифр результата в регистры соответственно 17 и 18 в

Первый цикл
определения цифр результата
(1, 1, 0)

```

- 1,001110
  0,001
  -----
  1,000110

- 0,011100
  0,0001
  -----
  1,011000

- 0,001100
  0,0101
  -----
  1,111000

```

Второй цикл
определения цифр результата
(0, 0, 1)

```

- 0,110000
  0,110001
  -----
  1,111111

- 1,100000
  0,1100001
  -----
  0,1011111

- 1,111110
  0,1100101
  -----
  1,0010111

```

1,0111110

регистре 19 осуществляется сдвиг единицы в $(i+1)$ -й его разряд (это возможно, так как предполагается, что в устройстве используются синхронные двухтактные триггеры). На этом i -й цикл работы устройства по определению очередных трех двоичных цифр результата заканчивается.

После выполнения $n/3$ циклов в регистре 18 будет сформирован n -разрядный двоичный код результата Y_n . Выдвигаемая в $(n/3)$ -м цикле работы устройства единица из последнего разряда сдвигающего регистра 19 указывает на окончание операции. Разумеется, что число циклов работы устройства может быть определенным образом увеличено, если этого требует точность вычисления.

Рассмотрим пример, более детально поясняющий принцип работы и структурные особенности устройства. Пусть $n = 6$ и $x = 0,100111$ (результат должен быть равен $0,110001$). Ниже приведено пространственно-числовое изображение процесса извлечения квадратного корня из числа x в предлагаемом устройстве. В нем вычисления расположены подобно тому, как размещены вычитатели 1-7 на структурной схеме устройства на фиг. 1.

```

0,100111
- 0,01
-----
0,010111

- 0,101110
  0,101
  -----
  0,000110

- 0,001100
  0,1101
  -----
  1,011000

```

```

- 1,011100
  0,1001
  -----
  0,111000

- 0,011000
  0,11001
  -----
  1,100110

- 1,001100
  0,110101
  -----
  0,010111

- 0,011000
  0,1101001
  -----
  1,1000111

```

```

- 0,101110
  0,1101111
  -----
  1,1101111

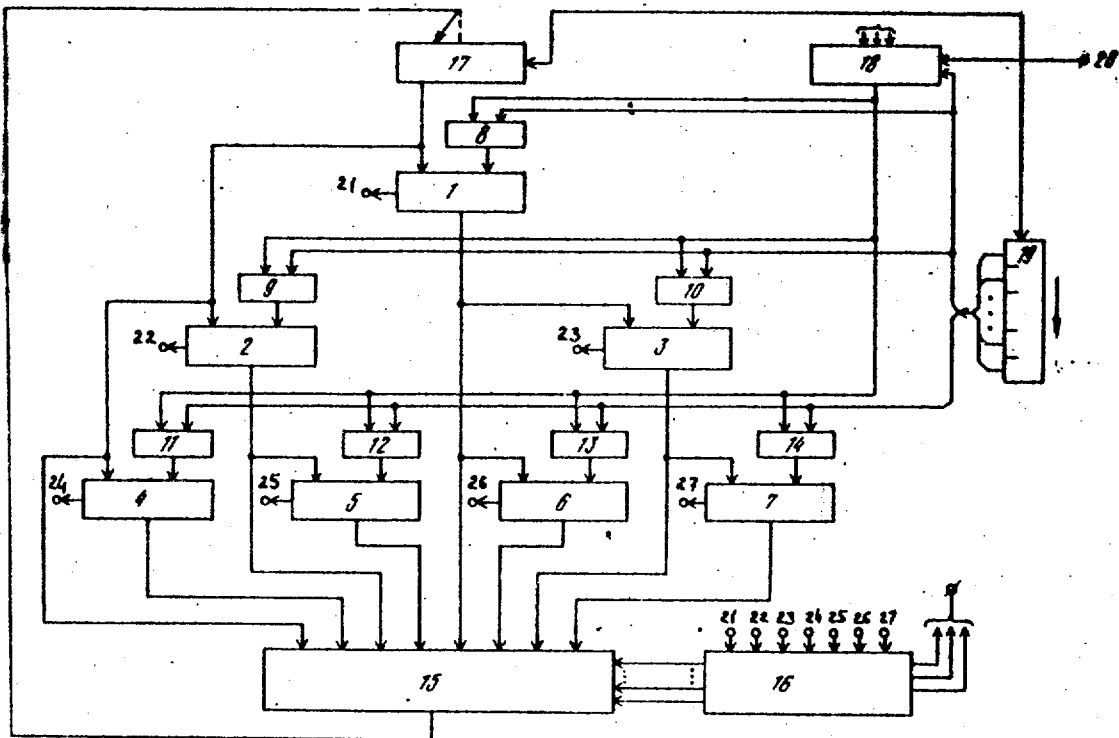
```

Аналогично может быть разработано устройство для извлечения квадратного корня из двоичного числа, в каждом цикле которого формируется две или больше чем три двоичные цифры результата. Однако с увеличением числа K одновременно формируемых в цикле двоичных цифр результата резко возрастает объем используемого в устройстве оборудования. Так, например, уже при $K = 5$ в устрой-

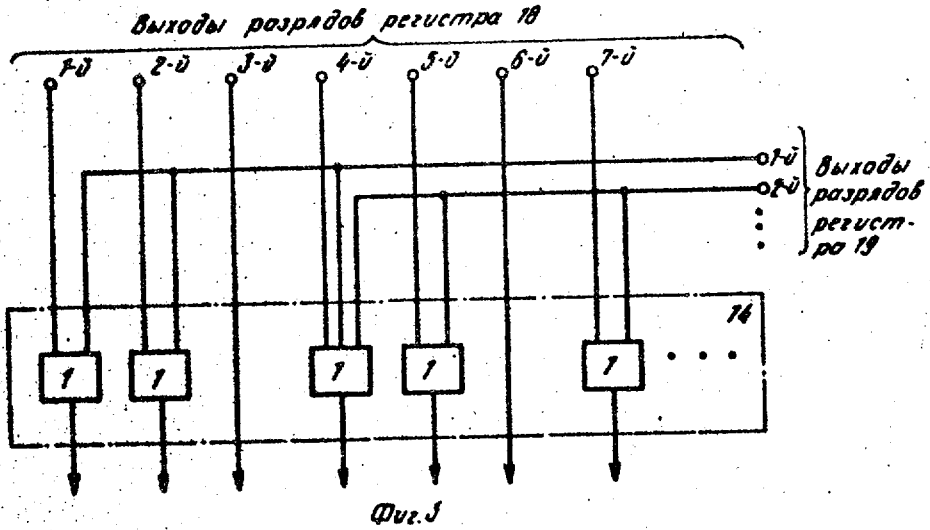
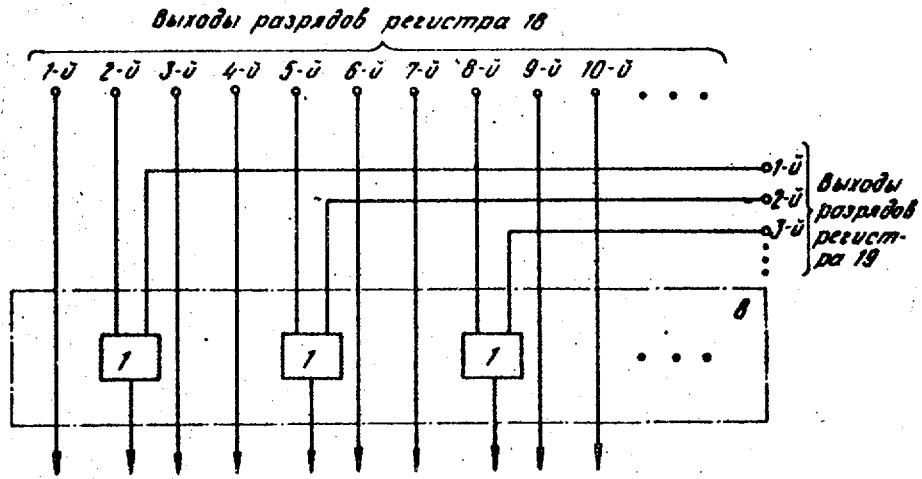
5

10

стве необходимо использовать тридцать один вычислитель и тридцать один узел элементов ИЛИ. Кроме того, несколько усложняется коммутатор и узел формирования цифр результата. Поэтому представляют практический интерес, по-видимому, устройства для извлечения квадратного корня, формирующие в одном цикле не более шести двоичных цифр результата.



Фиг. 1



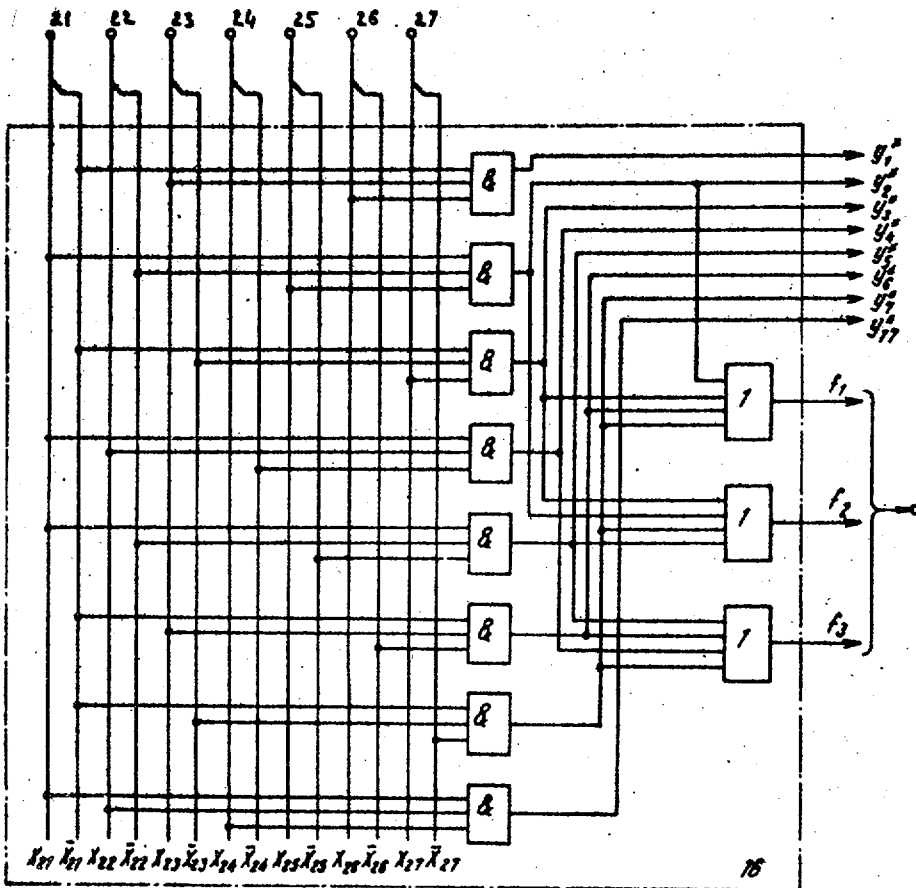


Fig. 4

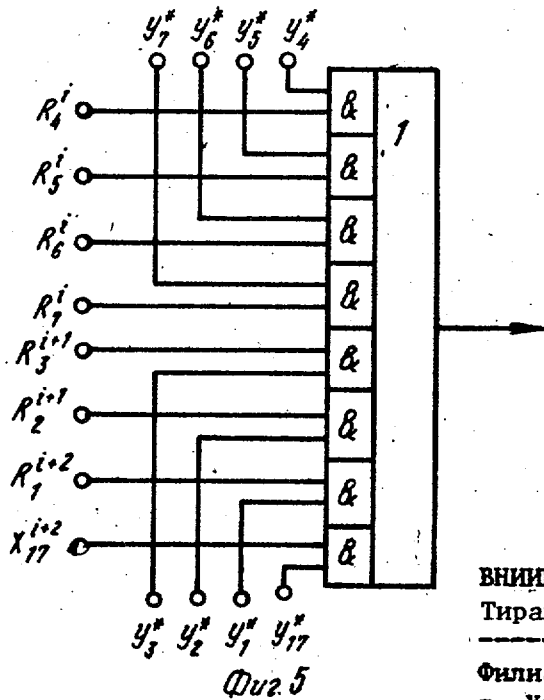


Fig. 5

ВНИИПИ

Тираж 698

Заказ 9454/39

Подписное

Филиал ИИИ "Патент",
г. Ужгород, ул. Проектная, 4