



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 22.04.76 (21) 2353223/18-24

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 05.01.78. Бюллетень № 1

(45) Дата опубликования описания 02.02.78

(11) 587468

(51) М. Кл.²

G 06 F 15/36

(53) УДК 681.3(088.8)

(72) Авторы
изобретения

В.Н.Ярмолик, А.Н.Морозевич, А.Е.Леусенко
и В.Н.Мухаметов

(71) Заявитель

Минский радиотехнический институт

(54) СЛЕДЯЩИЙ СТОХАСТИЧЕСКИЙ ИНТЕГРАТОР

1

Устройство относится к вычислительной технике и может быть использовано в качестве одного из основных многофункциональных узлов в стохастических вычислительных машинах.

Известны стохастические следящие интеграторы, содержащие последовательно соединенные счетчик, схему сравнения, генератор случайных чисел, входы и выходы которых связаны 100%-ной обратной связью [1].

Наиболее близким к предложенному является следящий стохастический интегратор, содержащий блок линейного кодирования, первый вход которого соединен с информационным входом интегратора, и последовательно соединенные реверсивный счетчик, схему сравнения и генератор случайных чисел, выходы разрядов которого соединены с первыми входами одноименных разрядов схемы сравнения, вторые входы которых соединены с выходами одноименных разрядов реверсивного счетчика, выход схемы сравнения соединен со вторым входом блока линейного кодирования и выходом интегратора [2].

Недостатком всех известных интеграторов является их ограниченное быстроедействие.

2

Цель изобретения - повышение быстродействия устройства - достигается тем, что интегратор содержит суммирующий счетчик и коммутатор, первый и второй информационные входы которого соединены соответственно с первым и вторым выходами блока линейного кодирования, первый и второй выходы коммутатора соединены соответственно с суммирующим и вычитающим входами реверсивного счетчика, а третий и четвертый выходы - с суммирующим и вычитающим входами половины старших разрядов реверсивного счетчика, при этом вход суммирующего счетчика соединен тактовым входом интегратора, а выход с управляющим входом коммутатора. На чертеже изображена структурная схема следящего стохастического интегратора.

Интегратор содержит последовательно соединенные блок 1 линейного кодирования, коммутатор 2, реверсивный счетчик 3, схему сравнения 4, генератор случайных чисел 5, а также суммирующий счетчик 6, выход которого соединен с управляющим входом коммутатора. Выход схемы сравнения 4 соединен со вторым входом блока 1.

Интегратор работает следующим образом.

В исходном состоянии счетчики 3 и 6 находятся в нулевом положении. При включении интегратора на первый вход блока 1 линейного кодирования поступает случайная последовательность импульсов, вероятность появления которых равна величине $P(x)$. Одновременно на вход суммирующего счетчика 6 поступают тактовые импульсы.

На первом этапе "грубого" интегрирования суммируемые и вычитаемые импульсы с выходов блока 1 с помощью коммутатора 2 поступают соответственно на суммирующий и вычитающий входы половины старших разрядов реверсивного счетчика 3.

По достижении содержимого суммирующего счетчика 6 величины

$$m = \frac{l}{2} \cdot 2^{l/2} \cdot \ln 2,$$

где l - число разрядов реверсивного счетчика 3, с его выхода на управляющий вход коммутатора 2 поступает сигнал, по которому суммарные и вычитаемые импульсы с выходов блока 1 линейного кодирования начинают поступать соответственно на суммирующий и вычитающий входы уже первого младшего разряда реверсивного счетчика 3.

С этого момента начинается второй этап "точного" интегрирования.

Такой способ следящего интегрирования, обусловленный введением в интегратор коммутатора 2 и суммирующего счетчика 6, позволяет практически в два раза повысить быстродействие следящего стохастического интегратора при сохранении точности интегрирования.

Формула изобретения

Следящий стохастический интегратор, содержащий блок линейного кодирования, первый вход которого соединен с информационным входом интегратора, и последовательно соединенные реверсивные счетчик, схему сравнения и генератор случайных чисел, выходы разрядов которого соединены с первыми входами одноименных разрядов схемы сравнения, вторые входы которых соединены с выходами одноименных разрядов реверсивного счетчика, выход схемы сравнения соединен со вторым входом блока линейного кодирования и выходом интегратора, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия интегратора, он содержит суммирующий счетчик и коммутатор, первый и второй информационные входы которого соединены соответственно с первым и вторым выходами блока линейного кодирования, первый и второй выходы коммутатора соединены соответственно с суммирующим и вычитающим входами реверсивного счетчика, а третий и четвертый выходы - с суммирующим и вычитающим входами половины старших разрядов реверсивного счетчика, при этом вход суммирующего счетчика соединен с тактовым входом интегратора, а выход - с управляющим входом коммутатора.

Источники информации, принятые во внимание при экспертизе:

1. Гейнс, Стохастическая вычислительная машина. "Электроника", № 14, 1967.
2. Яковлев В.В., Федоров Р.Ф. Стохастические вычислительные машины. Л. "Машиностроение", 1974, с.150-154, рис. 66.

