

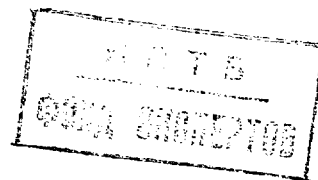


Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 595729



- (61) Дополнительное к авт. свид-ву —
(22) Заявлено 29.07.75 (21) 2160176/18-24
с присоединением заявки № —
(23) Приоритет —
(43) Опубликовано 28.02.78. Бюллетень № 8
(45) Дата опубликования описания 24.03.78

(51) М. Кл.² G 06F 7/385

(53) УДК 681.325.5
(088.8)

(72) Авторы
изобретения

А. Т. Пешков и Л. А. Глухова

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ СЛОЖЕНИЯ ДЕСЯТИЧНЫХ ЧИСЕЛ

1

Область применения изобретения — цифровая вычислительная техника. Оно может быть использовано при построении десятичного и универсального, двоичного и двоично-десятичного, арифметического устройства.

В настоящее время в вычислительной технике широко используются устройства для сложения кодированных чисел, содержащие регистры слагаемых, двоичный сумматор, к информационным входам которого подключены информационные выходы регистров слагаемых, и блок управления, выходы которого присоединены к управляющим входам регистров и сумматора [1].

Однако, как правило, эти устройства предназначены для работы с двоичными числами, что вынуждает при необходимости сложения десятичных операндов преобразовывать их в двоичный код.

Ближайшим аналогом изобретения является устройство для сложения десятичных чисел, содержащее сумматор, состоящий из n тетрад, последовательно соединенных между собой цепями переносов, регистр слагаемого, блок занесения кода слагаемого в сумматор и блок управления, причем кодовые шины слагаемых подключены ко входам регистра слагаемого, шина знака слагаемого подключена к управляющему входу регистра слагаемого и первому входу блока управления, выходы регистра

2

слагаемого подключены к входам блока занесения кода слагаемого в сумматор, выходы которого подключены ко входам сумматора [2].

5 Недостатком этого устройства являются большие потери времени на формирование суммы нескольких десятичных операндов из-за выполнения операции коррекции после прибавления очередного операнда к промежуточному результату формируемой десятичной суммы.

10 Целью данного изобретения является устранение указанного недостатка, а именно повышение быстродействия суммирующего устройства за счет уменьшения количества корректирующих операций посредством формирования и использования скорректированных кодов операндов.

15 Поставленная цель достигается за счет того, что, с целью увеличения быстродействия, устройство содержит блок коррекции и блок управления занесением кода слагаемого в сумматор, причем ко входам блока коррекции подключены кодовые шины слагаемого, а шина знака слагаемого подключена к управляющему входу блока коррекции, выходы которого 20 подключены к другим входам блока занесения кода слагаемого в сумматор, выходы переносов тетрад сумматора подключены к первым входам блока управления занесением 30

кода слагаемого в сумматор, первые и вторые выходы которого подключены к первым и вторым управляющим входам блока занесения кода слагаемого в сумматор, третий и четвертые выходы блока управления занесением кода слагаемого в сумматор подключены к входам прибавления шести и вычитания шести тетрад сумматора, выход знака результата сумматора подключен ко второму входу блока управления, первый и второй выходы которого подключены к управляющим входам сумматора, а третий, четвертый, пятый, шестой и седьмой выходы — ко второму, третьему, четвертому, пятому и шестому входам блока управления занесением кода слагаемого в сумматор.

Поставленная цель достигается также за счет того, что блок управления занесением кода слагаемого в сумматор состоит из n однотипных узлов управления занесением, каждый из которых содержит триггер, элементы И и ИЛИ, причем единичный вход триггера подключен к соответствующему первому входу блока, а нулевой вход — ко второму входу блока, третий вход которого подключен к первым входам первого и второго элементов И, выходы которых подключены к первым входам первого и второго элементов ИЛИ, четвертый вход блока подключен к первым входам третьего и четвертого элементов И, выходы которых подключены ко вторым входам первого и второго элементов ИЛИ, пятый и шестой входы блока подключены к первым входам пятого и шестого элементов И, вторые входы которых подключены соответственно к единичному и нулевому выходам триггера, а выходы — к соответствующим третьему и четвертому выходам блока, единичный выход триггера также подключен ко второму входу первого и четвертого элементов И, а нулевой — ко вторым входам второго и третьего элементов И, выходы первого и второго элементов ИЛИ соединены с соответствующими первым и вторым выходами блока.

На чертеже приведена схема предлагаемого устройства для случая сложения 3-разрядных десятичных операндов. Она включает: двоичный сумматор 1 для сложения двоичных кодов, имеющий выход знака результата 2, управляющий вход 3 сложения и управляющий вход 4 инвертирования, включающий тетрады 5, каждая из которых имеет входы прибавления и вычитания 6 и 7, 4-разрядный вход 8, вход переноса 9 и выход переноса 10; регистр слагаемого 11, имеющий управляющий вход 12 знака операнда, включающий тетрады 13, каждая из которых имеет четырехразрядные входы 14 и выходы 15; блок коррекции 16, имеющий управляющий вход 17 знака операнда, состоящий из тетрад 18, каждая из которых имеет четырехразрядные входы 19 и выходы 20 для приса в блок коррекции 16 кода слагаемого и выдачи из него скорректированного кода слагаемого; блок занесения кода слагаемого в сумматор

21, имеющий первые и вторые четырехразрядные входы 22 и 23, подключенные соответственно к 4-разрядным выходам 15 и 20 регистра слагаемого 11 и блока коррекции 16, 4-разрядные выходы 24, подключенные к соответствующим 4-разрядным входам 8 сумматора, и первые и вторые управляющие входы 25 и 26 по числу десятичных разрядов операндов; блок управления занесением кода слагаемого в сумматор 27, имеющий входы 28 переноса, подключенные к соответствующим выходам переносов 10 тетрад 5 сумматора 1, вход 29 сброса, парафазные входы 30, 31 и 32, 33 знака очередного слагаемого и знака результата, выходы 34 и 35 прибавления и вычитания шести, подключенные к соответствующим входам прибавления и вычитания шести 6 и 7 тетрад 5 сумматора 1, выходы 36 и 37 управления занесением по числу разрядов десятичных операндов, подключенные соответственно ко вторым и первым управляющим входам 26 и 25 блока занесения слагаемого в сумматор 21; кодовые шины слагаемых 38, подключенные к соответствующим входам 14 и 19 регистра слагаемого 11 и блока коррекции 16, шину знака слагаемого 39, подключенную к управляющим входам 12 и 17 знака операнда регистра слагаемого 11 и блока коррекции 16; блок управления 40, имеющий вход 41 начала сложения, вход 42 последнего операнда, сигналы на которых появляются соответственно при начале и конце циклического сложения, вход 43 знака операнда, подключенный к шине знака слагаемого 39, вход 44 знака результата в сумматоре, выход 45 инвертирования, и выход 46 сложения, подключенные к соответствующим управляющим входам 4 и 3 инвертирования и сложения сумматора 1, выход сброса 47, парафазные выходы 48, 49 и 50, 51 знака очередного операнда и знака результата в сумматоре, подключенные к соответствующим входам 29, 30, 31, 32, 33 блока управления занесением кода слагаемого в сумматор 27.

Блок занесения кода слагаемого в сумматор 21 состоит из однотипных узлов занесения кода 52 в тетрады 5 сумматора 1, каждый из которых содержит узел сборки 53, имеющий два информационных 4-разрядных входа и один 4-разрядный выход, подключенный к соответствующему выходу 24 блока занесения кода слагаемого в сумматор 21 и первый и второй узлы клапанирования 54 и 55, имеющие четырехразрядные информационные выходы, подключенные соответственно к первому и второму информационным входам узла сборки 53, информационные 4-разрядные входы и управляющие входы, причем информационный и управляющий входы первого узла клапанирования 54 подключены к соответствующим первому 4-разрядному и первому управляющему входам 22 и 25 блока занесения кода слагаемого в сумматор 21, информационный и управляющий входы второй схемы клапанирования 55 подключены соответствен-

но ко второму 4-разрядному и второму управляющему входам 23 и 26 блока занесения кода слагаемого в сумматор 21.

Блок управления занесением кода слагаемого в сумматор 27 состоит из однотипных (по числу десятичных разрядов) узлов управления занесением 56, каждый из которых содержит триггер 57 фиксации переноса, единственный вход которого связан с соответствующим входом 28 переноса блока управления занесением кода слагаемого в сумматор 27, а нулевой выход присоединен ко входу 29 сброса этого же блока, элементы ИЛИ 58 и 59, выходы которых соединены с соответствующими выходами 36 и 37 управления занесением блока управления занесением кода слагаемого в сумматор 27, элементы И 60, 61, 62, 63, 64, 65. При этом выходы элементов И 60 и 61 подключены ко входам элемента ИЛИ 58, выходы элементов И 62 и 63 подключены ко входам элемента ИЛИ 59, выходы элементов И 64 и 65 подключены к соответствующим выходам 35 и 34 вычитания и прибавления шести данного блока, первый вход элементов И 60, 62 и 65 подключен к единичному выходу триггера 57 переноса, к нулевому выходу которого подключены первые входы элементов И 61, 63 и 64, вторые входы элементов И 60 и 63 подключены к входу 30 блока управления занесением кода слагаемого в сумматор 27, который представляет собой прямую шину парафазного входа знака операнда, а вторые входы элементов И 61 и 62 подключены ко входу 31 того же блока, который представляет собой инверсную шину парафазного входа знака операнда, вторые входы элементов И 64 и 65 соединены соответственно со входами 32 и 33 блока управления занесением кода слагаемого в сумматор 27, прямую и инверсную шинами парафазного входа знака результата.

Устройство работает следующим образом.

В исходном состоянии во всех тетрадах 13 и 18 регистра слагаемого 11 и блока коррекции 16 И в триггерах 57 переноса блока управления занесением кода слагаемого в сумматор 27 устанавливается нулевое значение.

В тетрадах 5 сумматора 1 устанавливается код 0110. Циклическое суммирование *n* десятичных операндов начинается по сигналу блока управления 40, который появляется одновременно с поступлением по кодовым шинам слагаемых 38 первого слагаемого (операнда), который заносится в регистр слагаемого 11 и блок коррекции 16.

Если знак первого операнда отрицательный, то его тетрады фиксируются в блоке коррекции 16 в обратном коде, а в регистре слагаемого 11 — в инверсном коде. В этом случае на выходе 49 блока управления 40 будет присутствовать сигнал, что при нулевых значениях во всех триггерах 57 переноса приводит к передаче в сумматор 1 содержимого тетрад 18 блока коррекции 16 через узлы клапанирования 55 и сборки 53. Если знак первого

операнда положительный, то операнд заносится в регистр слагаемого 11 в прямом коде и фиксируется в блоке коррекции 16, с избытком 0110 во всех тетрадах 18. При этом имеет место сигнал на выходе 48 блока управления 40, что при нулевых значениях в триггерах 57 переноса приводит к передаче прямого кода из тетрад 18 через узлы клапанирования 57 и сборки 53 в тетрады 5 сумматора 1.

Одновременно с поступлением кодов на входы 8 тетрад 5 блок управления 40 вырабатывает сигнал на своем выходе 46, обеспечивающий двойное сложение содержимого сумматора 1 с кодом на входах 8 тетрад 5 и сигнал на выходе 47, обеспечивающий установку в нуль всех триггеров 57 переноса. В результате сложения первого операнда с содержимым сумматора 1 ни в одной тетраде 5 не возникает переноса, т. е. в триггерах 57 переноса блока управления занесением кода слагаемого в сумматор 27 сохраняются нулевые значения. Сразу же после пересылки кода первого операнда из регистра слагаемого 11 или блока коррекции 16 по кодовым шинам слагаемых 38 происходит занесение кода второго операнда в регистр слагаемого 11 и блока коррекции 16. Фиксация цифр второго операнда происходит так же, как и фиксация кода первого операнда. Таким образом, в конце первого такта прибавления первого слагаемого к содержимому сумматора 1 в регистре слагаемого 11 и блока коррекции 16 уже будет зафиксирован код второго слагаемого и по входу 43 в блок управления 40 будет передан его знак.

В процессе прибавления второго слагаемого к промежуточному результату, находящемуся в сумматоре 1, выполняются такие же действия, что и при прибавлении первого слагаемого. Отличие этого такта сложения заключается в том, что в некоторых тетрадах 5 сумматора 1 может возникнуть перенос, что будет зафиксировано за счет установки в соответствующих триггерах 57 блока управления занесением кода слагаемого в сумматор 27 единичных значений.

Третье слагаемое, которое на момент завершения такта прибавления второго слагаемого будет уже зафиксировано соответствующим образом в регистре слагаемого 11 и блока коррекции 16, передается в сумматор 1 для сложения следующим образом:

— если знак третьего слагаемого отрицательный (сигнал на выходе 49 блока управления 40), то в тетрады 5 сумматора 1, где во время предыдущего сложения был выработан перенос, передается значение соответствующей тетрады 13 регистра слагаемого 11 (в узле управления занесением 56 соответствующей тетрады триггер 57 переноса находится в единичном состоянии, присутствие сигнала на выходе 49 блока управления 40 открывает элемент И 62, и сигнал с выхода элемента ИЛИ 59 поступает на первый управляющий вход 25 блока занесения слагаемого в сумма-

тор 21 и откроет узел клапанирования 54 соответствующего узла занесения кода 52), а в тетрады 5 сумматора 1, где перенос отсутствовал, будут переданы значения на соответствующих тетрадах 18 блока коррекции 16 (нулевое значение триггера 57 переноса и наличие сигнала на выходе 49 блока управления 40 обуславливает появление на выходе элемента ИЛИ 58 сигнала, что, в свою очередь, приводит к открыванию второго узла клапанирования 55 узла занесения кода 52 в блоке занесения кода слагаемого в сумматор 21:

— если знак очередного операнда положительный (присутствует сигнал на выходе 48 блока управления 40, то в тетрады 5 сумматора 1, где на предыдущем такте был перенос, подаются значения из соответствующих тетрад 18 блока коррекции 16, а в тетрады 5 сумматора 1, где перенос отсутствовал, передаются значения из соответствующих тетрад 13 регистра слагаемого 11.

Описанный процесс будет повторяться для всех n слагаемых. Поступление последнего слагаемого на устройство сопровождается подачей на вход 42 блока управления 40 сигнала. После прибавления в сумматор 1 последнего операнда в тетрадах 5, где был перенос, будет зафиксировано истинное значение десятичных цифр искомой десятичной суммы, а в тетрадах 5, где перенос отсутствовал, будет зафиксировано значение соответствующих цифр искомой суммы с избытком 6 (0110). Понятие «истинный» в данном случае относится к прямому или обратному коду десятичного представления. Для получения в сумматоре окончательного результата необходимо содержимое в тетрадах 5, где есть избыток, уменьшить на шесть.

Кроме того, если полученный результат имеет отрицательный знак, необходимо преобразовать его обратный код, зафиксированный в сумматоре 1, в прямой код. Поэтому после прибавления последнего слагаемого осуществляется коррекция тетрад 5 сумматора 1 в зависимости от знака результата и от наличия переноса при последнем сложении, затем при отрицательном результате производится инвертирование значений во всех тетрадах 5 сумматора 1 (по сигналу на выходе 45 блока управления 40). При этом, если знак отрицательный, то координация осуществляется за счет прибавления кода 0110 в те тетрады 5 сумматора 1, где имел место перенос (сигнал на выходе 51 блока управления 40 и нулевое состояние триггера 57 переноса соответствующем узле управления занесением 56 через элемент И 65 обеспечивает подачу сигнала на вход прибавления шести 6 соответствующей тетрады 5 сумматора 1, если знак результата положительный, то при отсутствии переноса в тетраду 5 сумматора 1 подается сигнал вычитания кода 0110 (сигнал на выходе 50 блока управления 40, подаваемый на элемент И 64 соответствующего узла управления занесением 56).

После завершения описанной коррекции при отрицательном результате осуществляется инвертирование содержимого всех тетрад 5, что позволяет, независимо от знака результата, получать значение искомому десятичной суммы n слагаемых в прямом коде.

В рассматриваемом устройстве при циклическом сложении n слагаемых затраты времени $T_{\Sigma n}$ на формирование десятичной суммы составляет величину

$$T_{\Sigma n} = T_{\Sigma n} + T_{\Sigma 2(n-1)} + T_{\Sigma 4},$$

где $T_{\Sigma 4}$ — время, затрачиваемое на двоичное сложение 4-разрядных операндов (сложение тетрад первого операнда с кодом 0110, зафиксированного в тетрадах сумматора, или коррекции после сложения последнего операнда).

$T_{\Sigma 2}$ — время двоичного сложения представлений десятичных операндов.

В прототипе для накопления подобной операции необходимо затратить время

$$T_{\Sigma n} = 2(n-1)T_{\Sigma 2}.$$

Таким образом, в предлагаемом устройстве достигается поставленная цель.

Формула изобретения

1. Устройство для сложения десятичных чисел, содержащее сумматор, состоящий из n тетрад, последовательно соединенных между собой цепями переносов, регистр слагаемого, блок занесения кода слагаемого в сумматор и блок управления, причем кодовые шины слагаемых подключены ко входам регистра слагаемого, шина знака слагаемого подключена к управляющему входу регистра слагаемого и первому входу блока управления, выходы регистра слагаемого подключены к входам блока занесения кода слагаемого в сумматор, выходы которого подключены ко входам сумматора, отличающееся тем, что, с целью увеличения быстродействия, устройство содержит блок коррекции и блок управления занесением кода слагаемого в сумматор, причем ко входам блока коррекции подключены кодовые шины слагаемого, а шина знака слагаемого подключена к управляющему входу блока коррекции, выходы которого подключены к другим входам блока занесения кода слагаемого в сумматор, выходы переносов тетрад сумматора подключены к первым входам блока управления занесением кода слагаемого в сумматор, первые и вторые выходы которого подключены к первым и вторым управляющим входам блока занесения кода слагаемого в сумматор, третьи и четвертые выходы блока управления занесением кода слагаемого в сумматор подключены ко входам прибавления шести и вычитания шести тетрад сумматора, выход знака результата сумматора подключен ко второму входу блока управления, первый и второй выходы которого подключе-

ны к управляющим входам сумматора, а третий, четвертый, пятый, шестой и седьмой выходы — ко второму, третьему, четвертому, пятому и шестому входам блока управления занесением кода слагаемого в сумматор.

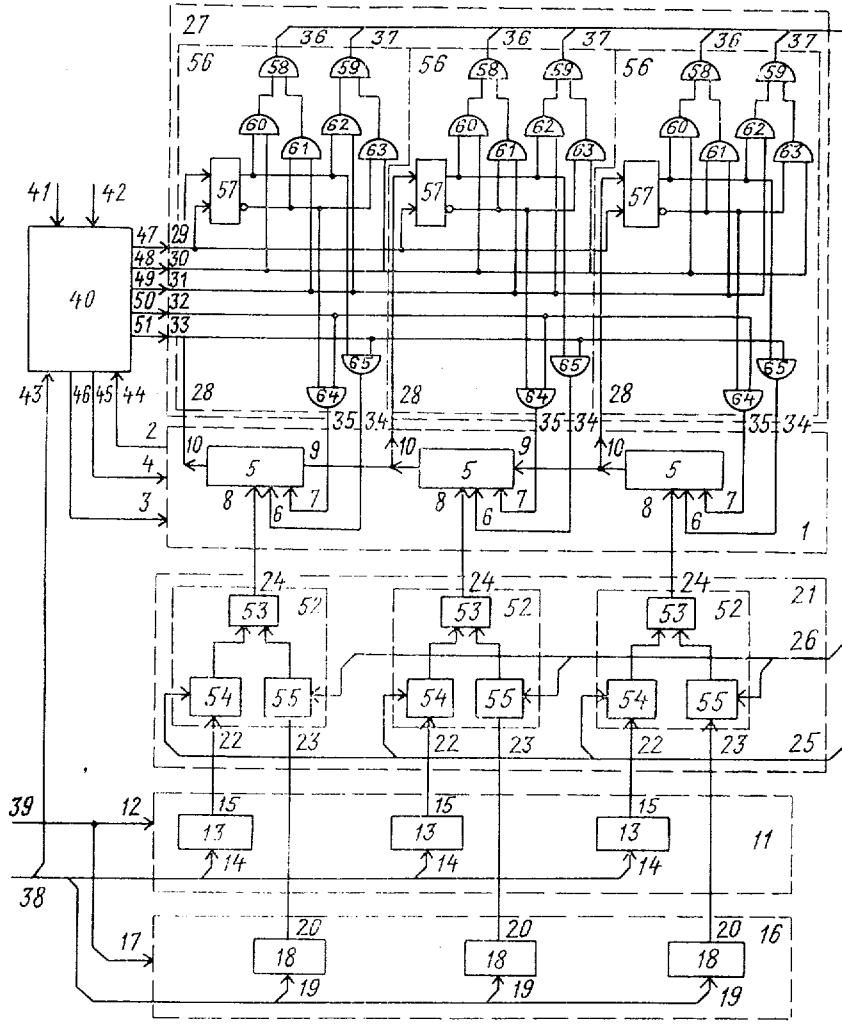
2. Устройство по п. 1, отличающееся тем, что блок управления занесением кода слагаемого в сумматор состоит из n однотипных узлов управления занесением, каждый из которых содержит триггер, элементы И и ИЛИ, причем единичный вход триггера подключен к соответствующему первому входу блока, а нулевой вход — ко второму входу блока, третий вход которого подключен к первым входам первого и второго элементов И, выходы которых подключены к первым входам первого и второго элементов ИЛИ, четвертый вход блока подключен к первым входам третьего и четвертого элементов И, выходы которых подключены ко вторым входам первого и второго элементов ИЛИ, пятый и

шестой входы блока подключены к первым входам пятого и шестого элементов И, вторые входы которых подключены соответственно к единичному и нулевому выходам триггера, а выходы — к соответствующим третьему и четвертому выходам блока, единичный выход триггера также подключен ко вторым входам первого и четвертого элементов И, а нулевой — ко вторым входам второго и третьего элементов И, выходы первого и второго элементов ИЛИ соединены с соответствующими первым и вторым выходами блока.

Источники информации,
принятые во внимание при экспертизе

1. А. Н. Преснухин и др. Цифровые вычислительные машины, М., «Высшая школа», 1974, с. 137—150.

2. Авторское свидетельство СССР № 441562, кл. G 06 7/385, 1972 (прототип).



Составитель В. Березкин

Редактор Р. Киселева

Техред Л. Гладкова

Корректоры: А. Степанова
и Л. Брахнина

Заказ 120/11

Изд. № 285

Тираж 841

Подписное

НПО Государственного комитета Совета Министров СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2