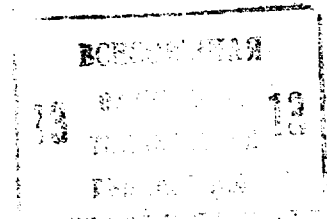




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3499219/24-24
(22) 14.10.82
(46) 23.11.85. Бюл. № 43
(71) Минский радиотехнический институт
(72) Л.Г.Лопато и А.А.Шостак
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1973.
Авторское свидетельство СССР № 623204, кл. G 06 F 7/52, 1977.
Авторское свидетельство СССР № 985783, кл. G 06 F 7/52, 1981.

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ n -РАЗРЯДНЫХ ЧИСЕЛ, содержащее регистры множимого и множителя, матрицу элементов И, группу элементов ИЛИ, накапливающий сумматор, группу элементов И и комбинационный сумматор, причем выходы разрядов регистра множимого подключены к первым входам элементов И соответствующих столбцов матрицы, прямые выходы разрядов регистра множителя соединены с первыми входами соответствующих элементов И группы, выходы которых соединены с вторыми входами элементов И соответствующих строк матрицы, выход первого элемента И первой строки матрицы соединен с входом первого разряда накапливающего сумматора, выход n -го элемента И n -й строки матрицы соединен с входом $(2n-1)$ -го разряда накапливающего сумматора,

выходы элементов И q -й диагонали матрицы ($q=2, \dots, 2n-2$) соединены с входами $(q-1)$ -го элемента ИЛИ группы, выход p -го элемента ИЛИ группы ($p=1, \dots, 2n-3$) соединен с входом $(p+1)$ -го разряда накапливающего сумматора, второй вход каждого элемента И группы соединен с выходом соответствующего разряда комбинационного сумматора, вход переноса которого соединен с входом начала операции устройства, инверсные выходы разрядов регистра множителя подключены к первым входам соответствующих разрядов комбинационного сумматора, отличающееся тем, что, с целью повышения быстродействия, оно содержит группу элементов задержки и элемент ИЛИ, а накапливающий сумматор выполнен в виде сумматора с запоминанием переносов, при этом выход l -го элемента И группы ($l=1, \dots, n-1$) через соответствующий элемент задержки группы соединен с вторым входом $(l+1)$ -го разряда комбинационного сумматора, выход переноса которого подключен к первому входу элемента ИЛИ, выход n -го элемента И группы через соответствующий элемент задержки группы соединен с вторым входом элемента ИЛИ, выход которого подключен к входу управления приведением переносов накапливающего сумматора и выходу конца операции устройства.

(SU) 1193667 A

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Цель изобретения - повышение быстродействия устройства.

На чертеже изображена структурная схема предлагаемого устройства для умножения n -разрядных чисел (для случая $n = 4$).

Устройство содержит регистр 1 множимого, регистр 2 множителя, накапливающий сумматор 3 (выполненный в виде сумматора с запоминанием переносов), комбинационный сумматор 4, группу элементов ИЛИ 5, матрицу элементов И 6, группу элементов И 7, группу элементов 8 задержки, элемент ИЛИ 9, вход 10 начала операции, выход 11 конца операции.

Устройство работает следующим образом.

Пусть требуется умножить n -разрядное множимое X на n -разрядный множитель $Y = Y_4 Y_3 Y_2 Y_1 = 1010$. В исходном состоянии в регистре 1 множимого хранится двоичный код числа X без знака, в регистре 2 множителя - двоичный код числа Y без знака, сумматор 3 обнулен.

Работа устройства начинается с момента подачи на вход 10 сигнала начала операции умножения (этот сигнал подается на вход 10 только один раз в начале операции, а появление сигнала на выходе 11 сигнализирует об окончании операции умножения чисел). После этого на выходе сумматора 4 формируется результат $S = C_4 C_3 C_2 C_1 = 0101 + 0000 + 0001 = 0110$ (первое слагаемое равно инверсному значению множителя Y ; второе слагаемое поступает с выходов элементов 8 задержки, третье слагаемое есть значение входного переноса сумматора 4). Так как только $C_2 \cdot Y_2 = 1$, то на выходе элемента И 7₂ формируется управляющий сигнал, который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 6 второй строки матрицы через элементы ИЛИ 5 в сумматор 3. Этот управляющий сигнал поступает на вход элемента 8₂ задержки и не меняет своего значения на протяжении всего времени суммирования первого частичного произведения в сумматоре 3. По истечении времени, равного вре-

мени суммирования первого частичного произведения в сумматоре 3, на выходе элемента 8₂ задержки появляется сигнал, который, поступая на соответствующий вход сумматора 4, образует его второе слагаемое 0100. При этом на выходе сумматора 4 формируется результат $S = C_4 C_3 C_2 C_1 = 0101 + 0100 + 0000 = 1001$, в результате чего на выходе элемента И 7₄ формируется управляющий сигнал (так как только $C_4 \cdot Y_4 = 1$), который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 6 четвертой строки матрицы через элементы ИЛИ 5 на входы сумматора 3. Этот управляющий сигнал поступает на вход элемента 8₄ задержки и не меняет своего значения на протяжении всего времени суммирования второго частичного произведения в сумматоре 3. По истечении этого времени на выходе элемента 8₄ задержки появляется сигнал, который через элемент ИЛИ 9 поступает на вход управления приведением переносов сумматора 3, разрешая суммирование в нем запоминающих переносов с целью формирования результата в однорядном коде, а также подается на выход 11, сигнализируя об окончании выполнения в нем операции умножения двух чисел.

Среднее время умножения двух n -разрядных двоичных чисел в устройстве примерно равно

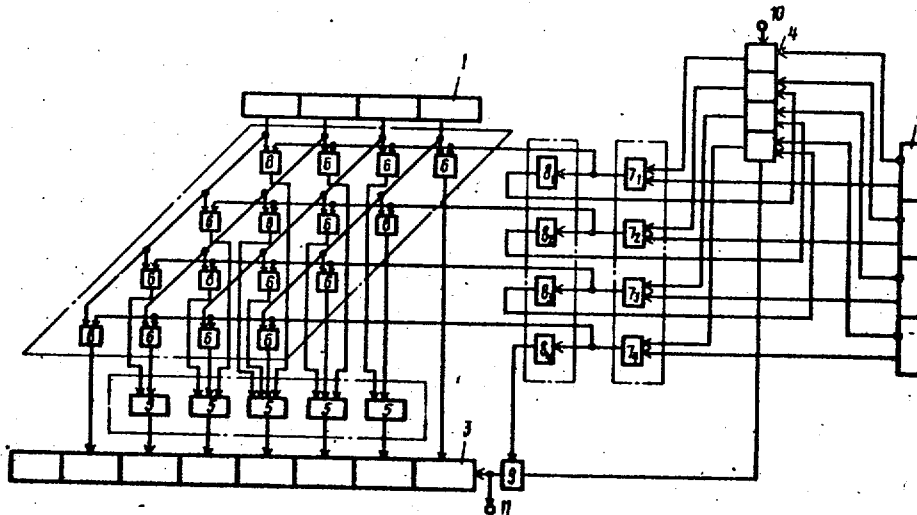
$$t_{\text{ср}}^n \approx \frac{n}{2} t_{\text{см}}^{3n} + t_{\text{см}}^{pn}$$

где $t_{\text{см}}^{3n}$ - время суммирования n -разрядных чисел в сумматоре 3 с запоминанием переносов; $t_{\text{см}}^{pn}$ - время, необходимое на суммирование n -разрядных чисел в сумматоре 4 с распространением переносов.

Первая составляющая в приведенном выражении определяет среднее число суммирований, выполняемых в устройстве на сумматоре 3, предполагая, что появление нулей и единиц в разрядных множителях равновероятно. Вторая составляющая характеризует задержку, которую вносит в общее время выполнения операции сумматор 4 (сигнал, который в начале выполнения операции поступает на вход 10

и который в дальнейшем осуществляет передачу соответствующим образом сдвинутых множимых в сумматор 3, в

процессе умножения фактически должен один раз пройти через весь сумматор 4).



Составитель В.Березкин
 Редактор С.Саенко Техред Ж.Кастелевич Корректор Г.Решетник

Заказ 7316/52 Тираж 709 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4