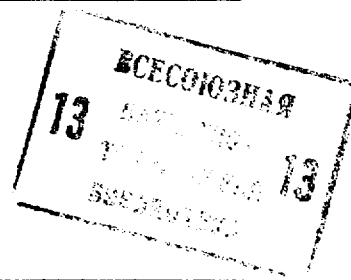




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3627636/24-24
(22) 21.07.83
(46) 07.01.86. Бюл. № 1
(71) Минский радиотехнический институт
(72) В. К. Конопелько и А. Н. Осипов
(53) 621.327.6(088.8)
(56) Авторское свидетельство СССР
№ 649044, кл. G 11 C 29/00, 1975.

Авторское свидетельство СССР № 877614,
кл. G 11 C 11/00, 1980.

(54) (57) 1. ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее основной блок памяти, входы первой группы которого соединены с выходами первой группы дополнительного блока памяти, входами первой группы блока тестового контроля и являются входами первой группы устройства, выходы второй группы блока тестового контроля соединены с входами первой группы блока сравнения, входами первой группы блока памяти дефектных адресов, входами дешифратора, выходы которого соединены с входами второй группы основного блока памяти, выход которого соединен с первым входом коммутатора, второй вход которого соединен с выходом дополнительного блока памяти, входы второй группы которого соединены с выходами блока сравнения, входами второй группы блока памяти дефектных адресов и входами первого элемента ИЛИ, выход которого соединен с третьим входом коммутатора, выход которого соединен с первым входом блока вывода и первым входом блока анализа ошибок, первый вход блока памяти дефектных адресов является первым управляющим входом устройства, входы третьей группы основного и дополнительного блоков памяти соединены с первым выходом блока управления, второй выход соединен с вторым входом блока вывода, выход которого является выходом устройства, отличающееся тем, что, с целью повышения быстродействия, оно содержит блок диагностики, блок анализа ошибок и блок приоритета, входы первой группы которого соединены с входами группы

блока сравнения и выходами блока памяти дефектных адресов, выходы блока приоритета соединены с входами третьей группы блока памяти дефектных адресов, первый, второй и третий входы блока диагностики являются соответственно вторым, третьим и четвертым управляющими входами устройства, четвертый вход блока диагностики соединен с первым выходом блока анализа ошибок, а пятый вход — с вторым входом блока анализа ошибок и первым выходом блока тестового контроля, первый, второй и третий выходы блока диагностики соединены соответственно с первым, вторым и третьим входом блока управления, первый вход блока тестового контроля соединен с четвертым выходом блока диагностики, вторым входом блока памяти дефектных адресов, третьим входом блока анализа ошибок, четвертый вход которого соединен с четвертым входом блока тестового контроля и вторым входом блока приоритета, выход коммутатора соединен с четвертым входом блока анализа ошибок, второй вход которого соединен с вторым входом блока тестового контроля, третьим входом блока памяти дефектных адресов и является вторым выходом устройства.

2. Устройство по п. 1, отличающееся тем, что блок диагностики содержит первый, второй, третий элементы И и второй элемент ИЛИ, первый вход которого является третьим входом блока, а выход — третьим выходом блока, первый вход второго элемента ИЛИ является первым входом блока и соединен с первым входом первого элемента И, выход которого является первым выходом блока, второй вход второго элемента И является вторым входом блока и соединен с первым входом третьего элемента И, выход которого является вторым выходом блока, второй вход второго элемента ИЛИ является третьим входом блока, второй вход первого элемента И является третьим входом

блока и соединен с выходом второго элемента И, второй вход третьего элемента И является четвертым выходом блока.

3. Устройство по п. 1, отличающееся тем, что блок анализа ошибок содержит первый и второй D-триггеры, сумматор по модулю два, четвертый, пятый, шестой, седьмой, восьмой, девятый, десятый элементы И и третий элемент ИЛИ, выход которого соединен с первым входом четвертого элемента И, второй вход которого соединен с первым входом пятого, первым входом шестого элементов И и является вторым входом блока, первый вход блока соединен соответственно с первым входом седьмого, вторым входом восьмого и вторым входом шестого элементов И, третий вход которого соединен с третьим входом седьмого элемента И, первым входом восьмого элемента И, вторым входом девятого элемента И, первым входом десятого эле-

мента И и является третьим входом блока, четвертый вход блока соединен с вторым входом пятого элемента И, выход пятого элемента И соединен с D-входами первого и второго D-триггеров, выход первого D-триггера соединен с первым входом девятого элемента И и первым входом сумматора по модулю два, выход которого соединен с вторым входом шестого элемента И, выход второго D-триггера соединен с вторым входом сумматора по модулю два и вторым входом десятого элемента И, выход которого соединен с первым входом третьего элемента ИЛИ, второй вход третьего элемента ИЛИ соединен с выходом девятого элемента И, выходы седьмого и восьмого элементов И соединены соответственно с синхровходами первого и второго D-триггеров, выход шестого элемента И и является вторым выходом блока.

1

Изобретение относится к вычислительной технике, а именно к запоминающим устройствам, и может быть использовано для повышения быстродействия устройства при отбраковке микросхем.

Цель изобретения — повышение быстродействия устройства.

На фиг. 1 представлена блок-схема запоминающего устройства; на фиг. 2 — функциональная схема блока диагностики; на фиг. 3 — функциональная схема блока анализа ошибок.

Запоминающее устройство содержит основной блок 1 памяти, входы первой группы которого соединены с входами первой группы дополнительного блока 2 памяти, выходами первой группы блока 3 тестового контроля и являются входами первой группы 4 устройства, выходы второй группы 5 блока 3 тестового контроля соединены с входами первой группы блока 6 сравнения, входами первой группы блока 7 памяти дефектных адресов, входами дешифратора 8, выходы 9 которого соединены с входами второй группы основного блока 1 памяти, выход 10 которого соединен с первым входом коммутатора 11, второй вход которого соединен с выходом 12 дополнительного блока 2 памяти, входы второй группы которого соединены с выходами 13 блока 6 сравнения, входами второй группы блока 7 памяти дефектных адресов и входами первого ИЛИ 14 элемента, выход 15 которого соединен с третьим входом коммутатора 11, выход 16 которого соединен с первым входом блока 17 вывода, первым

2

входом блока 18 анализа ошибок, первый 19 вход блока 7 памяти дефектных адресов является первым управляющим входом устройства, входы третьей группы основного 1 и дополнительного 2 блоков памяти соединены с первым выходом 20 блока 21 управления, второй выход 22 которого соединен с вторым входом блока 17 вывода, выход которого является первым выходом 23 устройства, первый 24, второй 25 и третий 26 выходы блока 27 диагностики соединены с соответствующими входами блока 21 управления, первый, второй и третий входы блока 27 диагностики являются вторым 28, третьим 29 и четвертым 30 управляющими входами устройства, четвертый вход блока 27 диагностики соединен с первым выходом блока 18 анализа ошибок, пятый вход 31 блока диагностики соединен с вторым входом блока 18 анализа ошибок и первым выходом блока 3 тестового контроля, первый вход блока 3 тестового контроля, соединенный с четвертым 32 выходом блока 27 диагностики, вторым входом блока 7 памяти дефектных адресов, третьим входом блока 18 анализа ошибок, четвертый вход которого соединен с вторым 33 выходом блока 3 тестового контроля и входом блока 34 приоритета, выходы которого соединены с входами третьей 35 группы блока памяти дефектных адресов, а входы соединены с входами второй группы блока сравнения и выходами 36 блока 7 памяти дефектных адресов, четвертый выход 37 блока 18 анализа ошибок соединен с вторым входом 38 блока 3 тестового контроля, вто-

рым входом блока 7 памяти дефектных адресов и является вторым 39 выходом устройства.

Блок диагностики 27 содержит первый 40, второй 41, третий 42 элементы И и элемент ИЛИ 43.

Блок 18 анализа ошибок содержит элементы И 44—50, элемент ИЛИ 51, D-триггеры 52 и 53 и сумматор 54 по модулю два.

Устройство работает следующим образом.

После подключения питания на шину 10 подается единичный сигнал на блок 7 памяти. Затем на шине 19 устанавливается нулевой сигнал и осуществляется диагностический режим, в результате которого происходит определение местоположения дефектов и подключение годных разрядов дополнительного блока 2 памяти вместо разрядов с дефектными элементами памяти (ЭП) основного блока 1 памяти.

Для организации диагностического режима на шину 28 выборки кристалла (ВК) и шину 29 разрешения записи (РЗ) подаются единичные сигналы в соответствии с таблицей, а на адресные входы устройства — нулевые сигналы

Вход 28 ВК	Вход 27 РЗ	Входы блока 21 логики управления		Режим работы
		Вход 24	Вход 25	
0	0	0	0	Запись
0	1	0	1	Чтение
1	0	1	0	Хранение
1	1	0	0	Контроль Запись

При этом на выходе 32 элемента И 41 блока 27 диагностической логики устанавливается единичный сигнал. Данный сигнал разрешает работу блока 7 и запускает блок 3. Сигнал с выхода 31 используется для синхронизации работы блока 18 анализа и блока 27 диагностики. Выход 33 используется для синхронизации работы блока 18 анализа и блока 34 приоритета. Причем младшему разряду кода адреса, поступающего с блока 3, соответствует младший разряд входной адресной шины, второму разряду кода адреса — второй разряд адресной шины и т. д. Таким образом, адрес опрашиваемого ЭП изменяется последовательно и построчно. Происходит опрос ЭП в соответствии с кодом адреса опрашиваемого ЭП. На всех выходах 13 блока 6 присутствуют нулевые сигналы, т. е. обращение к разрядам дополнительного блока памяти не происходит, все они отключены. Опрашивается основной блок памяти по адресу, задаваемому блоком 3. На выходе 24 элемента И 40 блока 27 диагностической логики устанавливается уровень логического «0». Сигнал на выходе 25 элемента И 42 меняется в такт с изменением сигнала на входе 31. В результате на входы 24 и 25 блока 21 управления в диагностическом режиме поступают сигналы, орга-

низирующие поочередно циклы записи и считывания в такт с изменением сигнала на выходе 31.

В первом такте работы на входах 24 и 25 блока 21 устанавливается соответственно нулевой и единичный сигналы. Происходит контрольное считывание информации с опрашиваемого ЭП. На всех выходах 13 устанавливаются уровни логического «0». На выходе 15 элемента ИЛИ 14 присутствует нулевой сигнал. Информация считывается из основного блока памяти по шине 10 через коммутатор на вход 16 блока 17. Считанная информация с выхода 16 поступает на инверсный вход элемента И блока 18 анализа, на второй вход которого поступает единичный сигнал с входа 32 блока 27. Проинвертированная информация с выхода элемента И 46 поступает на D-входы D-триггеров 52 и 53. На входы элементов И 48 и И 49 поступают синхриимпульсы с выходов 31 и 33 блока 3. В первом такте работы единичный сигнал появляется на выходе элемента И 48. Сигнал с выхода элемента И 48 поступает на синхровход D-триггера 52 и разрешает запись в него считанной проинвертированной информации.

Во втором такте работы устройства на выходе 31 блока 3 появляется единичный сигнал. Соответственно на входах 24 и 25 блока 21 устанавливаются уровни логического «0», что соответствует режиму контрольной записи. Информация с выхода D-триггера 52 через открытые элементы И 46, ИЛИ 51 и И 44 поступает на информационный вход блока 27. Происходит запись информации в ЭП основного блока 1 памяти по прежнему адресу.

В третьем такте работы устройства в диагностическом режиме на выходе 31 блока устанавливается нулевой сигнал, на входах 24 и 25 блока 21 — соответственно нулевой и единичный сигналы. Происходит контрольное считывание информации из ЭП основного блока памяти по прежнему адресу по шине 10 через коммутатор 11 на вход 16 выходного блока 17. Считанная информация с выхода 16 поступает на инверсный вход элемента И 45 блока 18 анализа. Восстановленная (вторично инвертированная информация) с выхода элемента И 45 заносится в D-триггер 53, на синхровход которого в третьем такте поступает единичный сигнал с выхода элемента И 49.

В четвертом такте работы на входах 25 и 24 блока 21 устанавливаются сигналы, соответствующие режиму контрольной записи. Информация с выхода D-триггера 53 через открытые элементы И 50, ИЛИ 51 и И 44 поступает на информационный вход блока 27. Происходит запись информации в ЭП основного блока памяти по прежнему адресу. В этот же период происходит сравнение информации, хранимой в D-триггерах 52 и 53, т. е. считанной в первом и

третьем тактах работы. Если информация не совпадает, т. е. опрашиваемый ЭП исправен, то на выходе 35 элемента И 47 присутствует нулевой сигнал. Тогда в следующем такте работы происходит изменение адреса опрашиваемого ЭП, контроль которого осуществляется аналогично описанному.

Если на дополнительном выводе 37 «обнаружение отказов» появляется единичный сигнал, то имеет место дефект ЭП типа «постоянное хранение «0» или «1». Этот сигнал поступает в блок 7, на вторые входы которого поступают сигналы с выходов 35 блока 34 приоритета. На выходе 36 устанавливается уровень логической «1», который осуществляет выбор младшего резервного разряда. Если в блоке дефектных адресов хранятся адреса отказавших разрядов, т. е. вместо отказавших разрядов подключены резервные, то на соответствующих выходах блока 34 устанавливаются единичные сигналы. В этом случае при контрольной записи при сравнении кода адреса, хранимого в блоке 7, с входным адресом в блоке 6 происходит совпадение, и на одном из выходов 13 появляется единичный сигнал, который выбирает соответствующий резервный разряд блока 2. Запись информации осуществляется в ЭП блоков 1 и 2. При контрольном считывании на выходе элемента ИЛИ 14 появляется единичный сигнал. Информация считывается из ЭП дополнительного блока 2 памяти по шине 12 через коммутатор 11 на вход 16 блока 17. Если при контроле

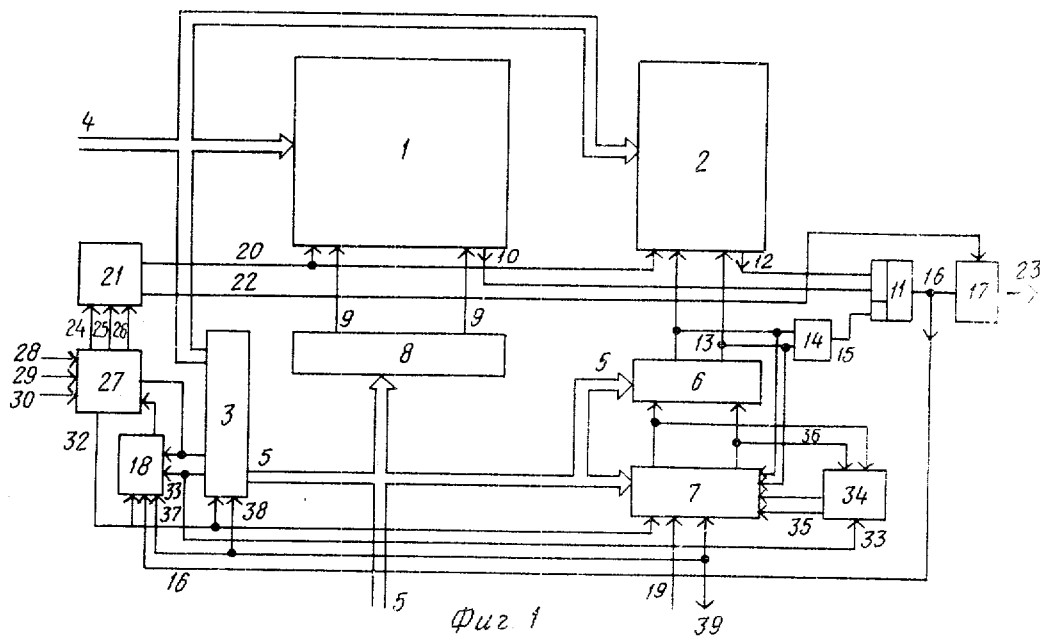
подключенного резервного разряда обнаруживается дефектный ЭП, то на выходе 37 блока 18 и на одном из выходов 13 блока 6 сравнения одновременно присутствуют единичные сигналы. После этого на соответствующем выходе 13 блока 6 всегда присутствует нулевой сигнал, т. е. происходит отключение дефектного резервного разряда.

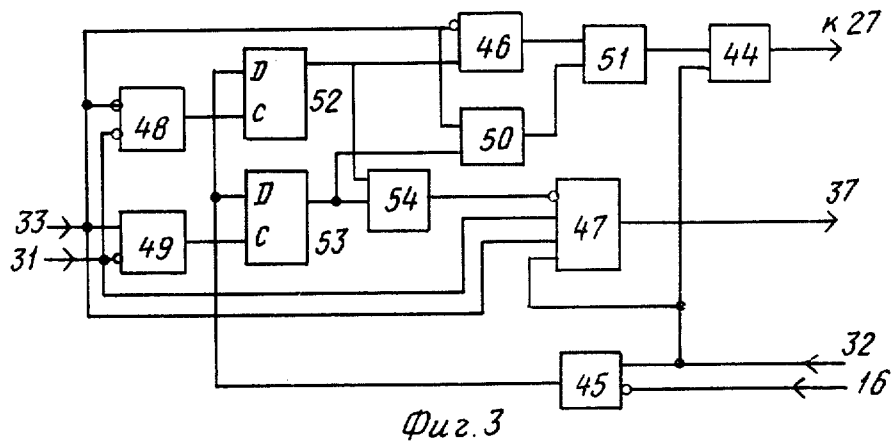
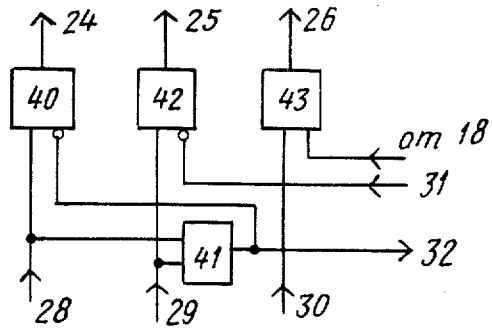
В рабочем режиме на входы 28 и 29 подаются сигналы в соответствии с таблицей. При этом на выходе 32 элемента И 41 устанавливается нулевой сигнал. Таким образом, адрес опрашиваемого ЭП задается с адресных входов 4 и 5 устройства.

При записи информации в исправный разряд, код адреса которого не хранится в блоке 7, что определяется тем, что на выходах 13 блока 6 сравнения присутствуют нулевые сигналы, информация обычным образом заносится в ЭП основного блока 1 памяти. Причем, поскольку на выходе элемента ИЛИ 14 в режиме считывания нулевой сигнал, то информация считывается правильной на выход 39 блока 17 по шине 10 через коммутатор 11.

При считывании при опросе дефектного разряда на выходе элемента ИЛИ 14 появляется единичный сигнал, и информация считывается из исправного резервного разряда по шине 12 через коммутатор 11 на выход 23 устройства.

Изобретение позволяет повысить быстродействие устройства путем уменьшения времени диагностики.





Редактор О. Головач
Заказ 8425/56

Составитель Г. Бородин
Техред И. Верес
Тираж 583

Корректор Г. Решетник
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4