



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 642704

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 10.11.74 (21) 2073894/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 15.01.79. Бюллетень №2

Дата опубликования описания 15.01.79

(51) М. Кл²

G 06 F 7/38

(53) УДК 681.325.5
(088.8)

(72) Авторы
изобретения

А. Н. Морозевич, А. Е. Леусенко и М. П. Толмачев

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЗАВИСИМОСТИ
ВИДА $Z = \sqrt{x^2 + y^2}$

1

Изобретение относится к области вычислительной техники, к стохастическим вычислительным машинам и устройствам, оперирующим унитарным (число-импульсным) кодом. Оно предназначено для вычисления зависимостей вида

$$Z = \sqrt{x^2 + y^2}$$

Известно устройство для вычисления зависимости вида $Z = \sqrt{x^2 + y^2}$, содержащее регистры, элементы И, элементы задержки [1]. Недостатком устройства является значительный объем оборудования.

Наиболее близким по технической сущности к данному изобретению является устройство [2], содержащее первый счетчик, два элемента И, причем первая входная шина устройства соединена с первым входом первого элемента И.

Недостатком известного устройства является его сложность.

Целью изобретения является упрощение устройства.

С этой целью в устройство введены четыре элемента "запрет", два элемента ИЛИ, второй счетчик, третий элемент И, делитель частоты и коммутатор, причем первая входная шина уст-

2

ройства соединена с первыми входами первого и второго элементов "запрет", вторая входная шина устройства соединена со вторыми входами первого элемента И, первого и второго элементов "запрет", выход первого элемента И соединен с первыми входами первого элемента ИЛИ, второго элемента И, третьего и четвертого элементов "запрет", выходы первого и второго элементов "запрет" соединены соответственно с первым и вторым входами коммутатора, первый выход которого соединен со вторым входом первого элемента ИЛИ и первым входом первого счетчика, а второй выход коммутатора соединен с первым входом второго элемента ИЛИ и вторым входом первого счетчика, выходы которого соединены со входами третьего элемента И, выход которого соединен с третьим входом коммутатора, выход первого элемента ИЛИ соединен со входом делителя частоты, выход которого соединен со вторыми входами второго элемента И, третьего и четвертого элементов "запрет", выходы которых соединены со вторым и третьим входами второго элемента ИЛИ, выход которого соединен с первым входом второго счетчика,

второй вход которого соединен с выходом второго элемента И, выход второго счетчика является выходом устройства.

На чертеже представлена блок-схема устройства для вычисления зависимости вида $Z = \sqrt{x^2 + y^2}$.

Устройство содержит элемент И 1, элементы "запрет" 2, 3, коммутатор 4, первый счетчик 5, элемент И 6, элемент ИЛИ 7, делитель частоты 8, элемент И 9, элементы "запрет" 10, 11, элемент ИЛИ 12, второй счетчик 13, входные шины 14, 15, выход устройства 16. В предлагаемом устройстве в основу функционирования заложено соотношение:

$$\sqrt{x^2 + y^2} \approx \begin{cases} x + \frac{1}{3}y, & \text{при } y \leq x \\ \frac{1}{3}x + y, & \text{при } y > x \end{cases}$$

для реализации которого необходимо: производить сравнения величин X и Y; производить суммирование значения большего числа с 1/3 величины меньшего.

Особенностью кодовых величин в стохастических машинах, а также в устройствах, оперирующих унитарным кодом, является то, что в общем случае длина кодов значений x и y различна и, кроме того, частота поступления импульсов (элементарные приращения величины значений x и y) не постоянна во времени. Поэтому в указанных вычислителях невозможно применение известных схем сравнения.

Устройство функционирует следующим образом. В исходном положении счетчики 5 и 13 находятся в "нулевом" состоянии. При подаче на входы 14 и 15 импульсных последовательностей величин X и Y элемент И 1 выделяет импульсы, одновременно поступившие на входы 14 и 15. Сигналы с выхода элемента И 1 поступают через элемент ИЛИ 7 на вход делителя частоты 8, где производится их деление по принципу деления частоты на величину выбранного коэффициента (1/3). С выхода делителя частоты 8 сигналы поступают на первые входы элемента И 9 и элементов "запрет" 10 и 11, на вторые входы которых поступают сигналы с выхода элемента И 1. При одновременном появлении сигналов на выходах элемента И 1 и делителя частоты 8 через элемент И 9 производится занесение импульса во второй разряд счетчика 13 (производится занесение +2). Если сигналы появляются только на выходе одной из схем 1 или 8, то в счетчике 13 производится занесение +1 через элементы "запрет" 10 или 11 и элемент ИЛИ 12.

Элементы "запрет" 2 и 3 выделяют сигналы, поступившие только на один из входов 14 или 15. Коммутатор 4 осуществляет функции управления занесением информации (суммирование либо вычитание) на счетчик 5, который выполнен как реверсивный. Причем, если реверсивный счетчик 5 находится в нулевом состоянии (т.е. на входе

элемента И 6 существует сигнал), то первый из поступивших сигналов с выхода элемента "запрет" 2 (или 3) поступают на суммирующий вход реверсивного счетчика 5. Последующие сигналы, поступающие на коммутатор 4 с того же элемента "запрет" 2 (или 3), продолжают увеличивать код на счетчике 5 (суммируются). Первый и последующие сигналы, поступившие после этого на коммутатор 4 с другого элемента "запрет" 3 (или 2), поступают а вычитающий вход счетчика 5. Вычитание производится до появления сигнала на выходе элемента И 6, т.е. до "обнуления" счетчика 5. Если и после этого на вход коммутатора 4 продолжают поступать сигналы с выхода того же элемента "запрет" 3 (или 2), то уже первый импульс после сигнала с выхода элемента И 6 поступает на сложение с содержимым счетчика 5. Если же после прихода серии импульсов со второго элемента "запрет" 3 (или 2) сигнал на выходе элемента И 6 не сформировался и на вход коммутатора 4 поступают импульсы с первого элемента "запрет" 2, то они по-прежнему поступают на сложение. Сигналы, поступающие на вычитание в счетчик 5, поступают также через элемент ИЛИ 7 на вход делителя частоты 8. Со второго выхода коммутатора 4 сигналы, которые поступают на сложение в счетчик 5, поступают через элемент ИЛИ 12 на счетчик 13.

Таким образом, через элемент И 1 происходит занесение в счетчик 13 величины $(A + 1/3 A)$, где

$$\begin{cases} 0 < A \leq x \\ 0 < A \leq y \end{cases} \quad (1)$$

В реверсивном счетчике 5 фиксируется текущая разность значений $(X-A) - (Y-A)$, если $X > Y$, либо $(Y-A) - (X-A)$, если $X < Y$. Превышение одного числа над другим сопровождается в каждом такте занесением +1 в счетчик 13, т.е. с учетом (1) формируется соотношение $z_i = (A + 1/3 A) + [(x_i - A) - (y_i - A)]$, если $X > Y$, либо $z_i = (A + 1/3 A) + [(y_i - A) - (x_i - A)]$, если $Y < X$.

Уменьшение разности $(X-Y)$ на величину Δ сопровождается увеличением содержимого счетчика 13 на величину 1/3.

Результат вычислений снимается с выхода 16. Устройство для вычисления зависимости вида $Z = \sqrt{x^2 + y^2}$ обладает существенными элементами новизны, заключающимися в устранении ряда блоков и во введении счетчика, коммутатора, делителя, двух элементов ИЛИ, четырех элементов "запрет", соединенных определенным образом. Это обеспечивает сокращение объема используемого оборудования.

Формула изобретения

Устройство для вычисления зависимости вида $Z = \sqrt{x^2 + y^2}$, содержащее первый счетчик, два элемента

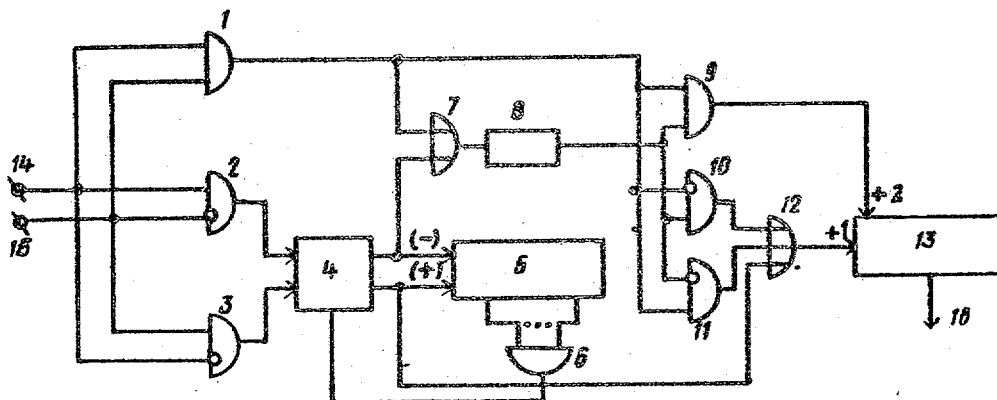
И, первая входная шина устройства соединена с первым входом первого элемента И, отличающемся тем, что, с целью упрощения устройства, в него введены четыре элемента "запрет", два элемента ИЛИ, второй счетчик, третий элемент И, делитель частоты и коммутатор, причем первая входная шина устройства соединена с первыми входами первого и второго элементов "запрет", вторая входная шина устройства соединена со вторыми входами первого элемента И, первого и второго элементов "запрет", выход первого элемента И соединен с первыми входами первого элемента ИЛИ, второго элемента И, третьего и четвертого элементов "запрет", выходы первого и второго элементов "запрет" соединены соответственно с первым и вторым входами коммутатора, первый выход которого соединен со вторым входом первого элемента ИЛИ и первым входом первого счетчика, а второй выход коммутатора соединен с первым входом второго элемента ИЛИ

и вторым входом первого счетчика, выходы которого соединены со входами третьего элемента И, выход которого соединен с третьим входом коммутатора, выход первого элемента ИЛИ соединен со входом делителя частоты, выход которого соединен со вторыми входами второго элемента И, третьего и четвертого элементов "запрет", выходы которых соединены со вторым и третьим входами второго элемента ИЛИ, выход которого соединен с первым входом второго счетчика, второй вход которого соединен с выходом второго элемента И, выход второго счетчика является выходом устройства.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 404082, кл. G 06 F 7/38, 16.06.71.

2. Авторское свидетельство СССР № 392494, кл. G 06 F 7/38, 02.07.71.



Редактор Д. Зубов

Составитель А. Уткин
Техред М.Келемеш

Корректор Е. Дичинская

Заказ 7761/46

Тираж 779

Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4