

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра электроники

А. Я. Бельский

ЭЛЕКТРОННЫЕ ПРИБОРЫ: ЦИФРОВЫЕ УСТРОЙСТВА

*Рекомендовано УМО вузов Республики Беларусь
по образованию в области информатики и радиоэлектроники
в качестве учебно-методического пособия
для студентов учреждений, обеспечивающих
получение высшего образования по специальностям
направления 40 Вычислительная техника*

Минск БГУИР 2011

УДК 621.382.213(075)

ББК 32.85я73

Б44

Р е ц е н з е н т ы:

заведующий кафедрой радиосвязи и радиовещания учреждения образования «Высший государственный колледж связи»,
кандидат технических наук, доцент А. И. Корзун;
заведующий кафедрой электротехники и электроники учреждения образования «Белорусский национальный технический университет»,
кандидат технических наук, доцент Ю. В. Бладыко

Бельский, А. Я.

Б44

Электронные приборы: цифровые устройства: учеб.-метод. пособие / А. Я. Бельский. – Минск. : БГУИР, 2011. – 128 с. : ил.
ISBN 978-985-488-458-5

В издании рассматривается элементная база устройств цифровой электроники. Представлены следующие разделы: «Электронные ключи», «Логические устройства», «Триггеры», «Счетчики импульсов», «Регистры», «Устройства преобразования информации», «Компараторы», разделы, посвященные устройствам импульсной техники.

Для студентов специальностей направления «Вычислительная техника», изучающих дисциплину «Электронные приборы». Может быть полезно студентам других специальностей, изучающих данную дисциплину.

**УДК 621.382.213(075)
ББК 32.85.я73**

ISBN 978-985-488-458-5

© Бельский А. Я., 2011
© УО «Белорусский государственный университет информатики и радиоэлектроники», 2011

СОДЕРЖАНИЕ

Введение.....	5
1. Электронные ключи.....	7
1.1. Ключи на биполярных транзисторах.....	7
1.2. Ключи на полевых транзисторах.....	16
1.3. Диодные ключи.....	19
2. Логические устройства.....	23
2.1. Основные правила алгебры логики.....	24
2.2. Основные параметры и характеристики логических схем.....	29
2.3. Базовые элементы логических схем.....	32
2.3.1. Резисторно-транзисторная логика (РТЛ).....	32
2.3.2. Диодно-транзисторная логика (ДТЛ).....	32
2.3.3. Транзисторно-транзисторная логика (ТТЛ).....	33
2.3.4. Эмиттерно-связанная логика (ЭСЛ).....	37
2.3.5. Транзисторно-транзисторная логика Шотки (ТТЛШ).....	37
2.3.6. Интегральная инжекционная логика И2Л.....	40
2.3.7. Логические элементы МОП и КМОП-структуры.....	42
2.3.8. Комбинационные логические устройства.....	51
3. Триггеры.....	56
3.1. Асинхронные триггеры.....	57
3.2. Синхронные триггеры.....	60
3.3. Двухступенчатые триггеры.....	64
3.4. Использование одного типа триггеров в качестве другого.....	66
4. Счетчики импульсов.....	69
4.1. Суммирующие счётчики.....	70
4.2. Вычитающие счетчики.....	71
4.3. Счетчики с параллельным переносом.....	72
4.4. Реверсивные счетчики.....	73
4.5. Кольцевые счетчики.....	74
4.6. Счетчики Джонсона.....	75
4.7. Интегральные счетчики.....	76
4.8. Интегральные счетчики-делители.....	79
4.9. Счетчики с некратным коэффициентом деления.....	80
5. Регистры.....	82
5.1. Регистры хранения.....	82
5.2. Регистры хранения и сдвига.....	83
5.3. Реверсивные регистры.....	86
5.4. Кольцевые регистры.....	86
5.5. Регистры на интегральных схемах.....	87
6. Устройства преобразования информации.....	88
6.1. Цифроаналоговые преобразователи.....	88
6.2. Аналого-цифровые преобразователи.....	92
7. Компараторы.....	96

7.1. Принципы построения компараторов.....	97
7.2. Интегральные компараторы.....	98
7.3. Двухпороговые компараторы.....	101
7.4. Регенеративные компараторы.....	102
7.5. Применение компараторов.....	103
7.6. Разновидности интегральных схем и параметры компараторов.....	105
7.7 Цифровые компараторы.....	107
8. Мультивибраторы.....	108
8.1. Мультивибраторы с коллекторно-базовыми связями.....	109
8.2. Мультивибраторы на основе ОУ.....	111
8.3. Мультивибраторы на логических элементах.....	112
9. Генераторы пилообразного напряжения.....	115
9.1. Принцип получения пилообразного напряжения.....	115
9.2. Схемы построения генераторов.....	116
9.3. Улучшение параметров генераторов пилообразного напряжения.....	118
Заключение	126
ЛИТЕРАТУРА.....	128

ВВЕДЕНИЕ

В настоящем издании рассматриваются элементная база устройств цифровой электроники, примеры их построения и практическое применение.

Еще в 1854 году английский математик Дж. Буль предложил оценивать все человеческие рассуждения с помощью специальных логических операций, что положило начало так называемой «булевой алгебре», в которой используются два основных понятия «ДА» (Истинно) и «НЕТ» (Ложно). В цифровой электронике эти два понятия реализуются в виде высокого и низкого уровня напряжений. Для нее формулируются основные законы и аксиомы алгебры логики. Приводится методика составления карт Карно и минимизация с их помощью логических выражений.

Простейшим устройством, реализующим высокие и низкие логические уровни («1» и «0»), является электронный ключ. С раздела, посвященного электронным ключам, начинается изложение материала по элементной базе цифровой электроники. На основе теории заряда рассчитывается быстродействие электронного ключа и проводится анализ улучшения его динамических характеристик, приводятся схемы улучшения быстродействия, сравниваются характеристики и параметры ключей на биполярных и полевых транзисторах.

Электронный ключ входит в состав более сложных устройств – логических элементов. В пособии рассматриваются общие параметры и характеристики логических устройств, а также способы их схемной реализации: резисторно-транзисторная логика (РТЛ), диодно-транзисторная логика (ДТЛ), транзисторно-транзисторная логика (ТТЛ), эмиттерно-связанная логика (ЭСЛ), транзисторно-транзисторная логика Шотки (ТТЛШ), интегральная инжекционная логика (ИИЛ), а также логика на основе комплементарных МДП (металл-диэлектрик-полупроводник) структур (КМДП-логика). Дается понятие об элементах ЗУ (запоминающих устройств), построенных на основе МНОП (металл-нитрид кремний-окисел-полупроводник) и ЛИЗМОП (с лавинной инжекцией заряда в структуре металл-окисел-полупроводник) технологии, и флэш-памяти.

Один из разделов посвящен построению триггерных устройств на основе базовых логических элементов. Приводится таблица переключений простейшего триггера, показывается построение наиболее элементарных разновидностей триггерных устройств: RS-триггера с инверсными и прямыми входами, E-триггера и JK-триггера. Показано, как на их основе строятся более сложные триггеры: динамические D-триггеры, синхронные, двухступенчатые и другие разновидности этих устройств.

Триггеры являются элементной базой пересчетных устройств. В издании рассматриваются счетчики прямого и обратного счета, реверсивные, с программируемым коэффициентом счета, кольцевые и счетчики Джонсона, приводятся их реализации на основе интегральных схем.

Для создания регистров хранения и сдвига используются также триггерные устройства. Приводятся схемы с последовательным и параллельным вводом и выводом информации, а также кольцевых регистров.

Очень важную роль при обработке сигналов играют аналого-цифровые (АЦП) и цифроаналоговые (ЦАП) преобразователи. В издании рассматриваются способы их построения и разновидности схемного решения.

Далее в издании рассматриваются способы создания устройств сравнения – компараторов, их разновидности, основные схемы применения, приводятся параметры отечественных и зарубежных аналогов.

Элементная база цифровой электроники используется также для создания устройств импульсной техники, таких, как мультивибраторы, генераторы пилообразного напряжения, высокостабильные кварцевые генераторы. Эти вопросы рассматриваются в последних разделах учебно-методического пособия.

1. ЭЛЕКТРОННЫЕ КЛЮЧИ

Электронными ключами называются устройства, предназначенные для коммутации электрических цепей. Они могут быть выполнены на диодах либо транзисторах, однако независимо от этого транзисторный ключ является одним из наиболее распространенных элементов цифровой техники. В ключевом режиме транзистор работает в логических схемах, триггерах, счетчиках, мульти-вibrаторах, коммутаторах, блокинг-генераторах и т.д. Поэтому рассмотрим работу транзисторных ключей более подробно.

1.1. Ключи на биполярных транзисторах

Простейший транзисторный ключ можно представить в виде схемы рис. 1.1, а, а его передаточная характеристика приведена на рис. 1.1, б.

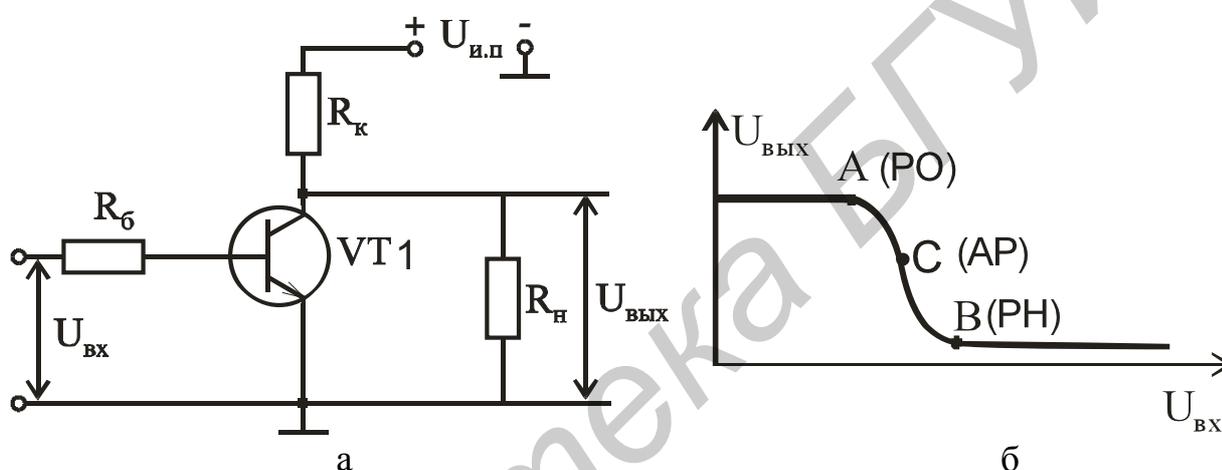


Рис. 1.1

Транзисторный ключ имеет два основных состояния: разомкнутое, соответствующее режиму отсечки (точка «А» на рис. 1.1, б), и замкнутое, соответствующее режиму насыщения (точка «В» на рис. 1.1, б). В процессе переключения между точками «А» и «В» транзистор работает в активном режиме (точка «С» на рис. 1.1, б). В целом же переходные процессы в транзисторном ключевом каскаде носят нелинейный характер.

Входная цепь транзисторного ключа характеризуется следующими параметрами:

- 1) входной ток закрытого транзистора;
- 2) напряжение управления, необходимое для надежного запираения ключа;
- 3) минимальный перепад управляющего сигнала, необходимый для обеспечения надежного отпираения транзистора;
- 4) входное сопротивление транзистора в открытом состоянии (или напряжение, необходимое для отпираения транзистора).

Для построения передаточной характеристики строим нагрузочную прямую на выходных статических характеристиках (рис. 1.2, а) и используем входную характеристику для расчёта уровня входного сигнала (рис. 1.2, б).

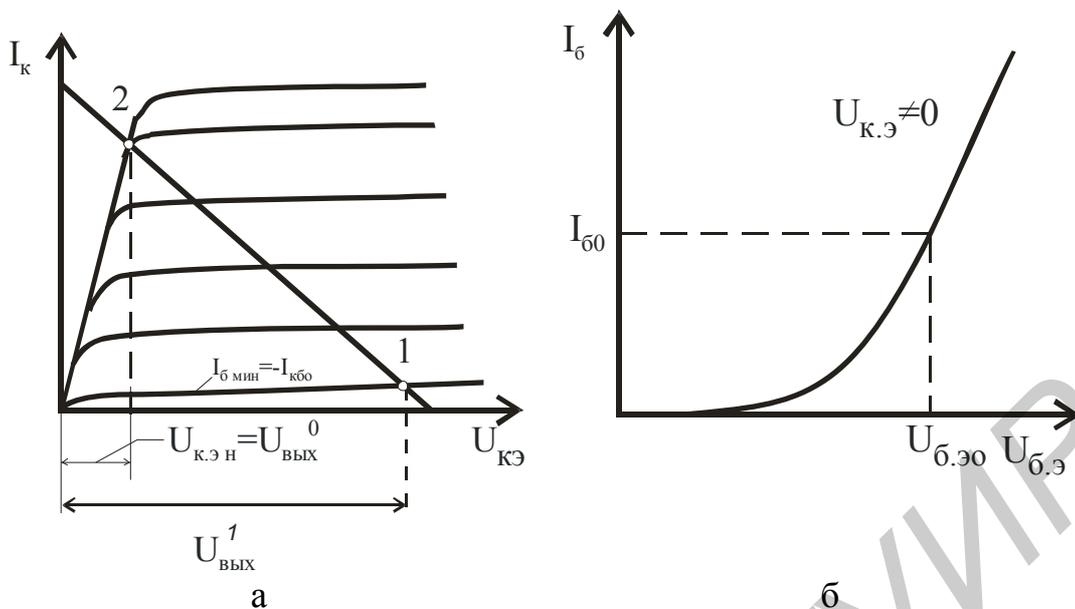


Рис. 1.2

Выходное напряжение определяется выражениями:

$$U_{\text{ВЫХ}} = U_{\text{И.П}} - (I_{\text{К}} + I_{\text{Н}})R_{\text{К}}, \quad (1.1)$$

$$U_{\text{ВЫХ}} = U_{\text{И.П}} - (I_{\text{К}} + U_{\text{ВЫХ}}/R_{\text{Н}})R_{\text{К}}, \quad (1.2)$$

$$U_{\text{ВЫХ}} = \frac{U_{\text{И.П}} - I_{\text{К}}R_{\text{К}}}{1 + R_{\text{К}}/R_{\text{Н}}}. \quad (1.3)$$

Для входного сигнала можно записать:

$$U_{\text{ВХ}} = U_{\text{б.э}} + I_{\text{б}}R_{\text{б}}.$$

Исходя из вышеприведенных выражений и графиков (рис. 1.2), строится зависимость $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$, (см. рис. 1.1, б).

Выходные параметры транзисторного ключа:

- 1) выходное сопротивление ключа $R_{\text{ВЫХ}}$,
- 2) максимальный ток открытого ключа (ток насыщения);
- 3) минимальное (остаточное) напряжение на коллекторе транзистора в открытом состоянии $U_{\text{К.Э Н}}$ (десятыи доли вольта, см. рис. 1.2, а);
- 4) максимальное напряжение на коллекторе закрытого транзистора;
- 5) коэффициент использования напряжения питания.

Процесс переключения транзисторного ключа

Предположим, что на вход транзистора, включенного по схеме с общим эмиттером, подан идеальный прямоугольный импульс $I_{\text{б}}$ (рис. 1.3).

После подачи на вход транзистора импульса тока прямой полярности выходной ток – ток коллектора – появится не сразу из-за конечного времени заряда барьерных емкостей и из-за конечного времени перемещения неосновных носителей до коллекторного перехода. Время, на которое появление коллекторного тока отстает от тока базы, называется временем задержки t_3 . Затем ток

коллектора начинает возрастать, и одновременно происходит процесс накопления неосновных носителей заряда в базе транзистора. Время, в течение которого импульс тока коллектора нарастает от 0,1 до 0,9 максимального значения, называется длительностью переднего фронта $t_{\phi 1}$. Если в цепь коллектора включено сопротивление, то его ток не может возрастать неограниченно, а достигает насыщения

$$I_{к.н} = \frac{E_k - \Delta U}{R_k}, \quad (1.4)$$

где ΔU – падение напряжения на переходе коллектор – эмиттер.

Обычно

$$|E_k| \gg |\Delta U|$$

$$I_{к.н} \approx \frac{E_k}{R_k}. \quad (1.5)$$

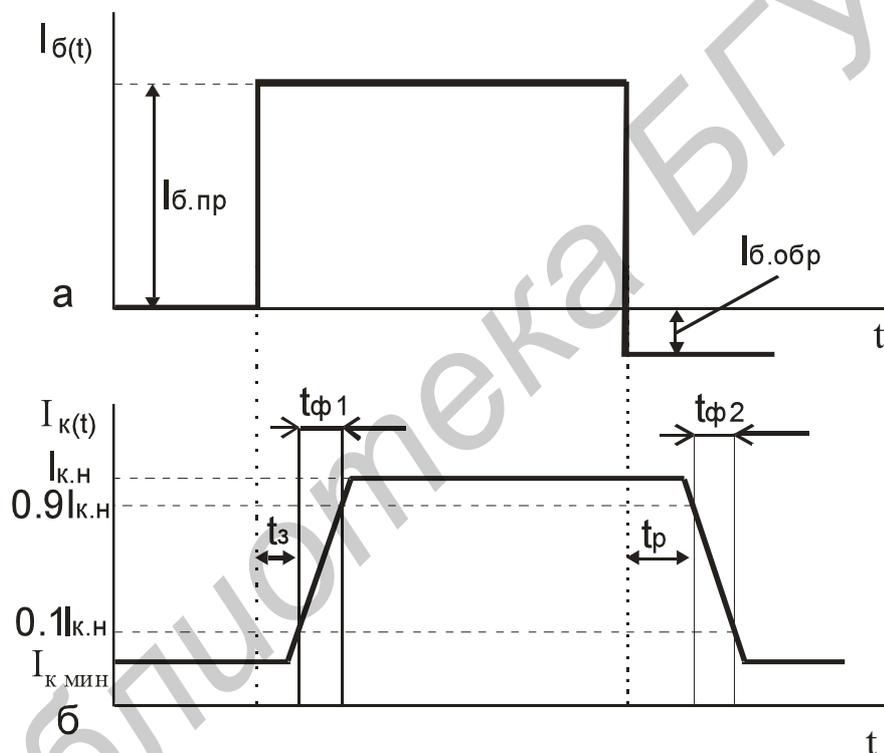


Рис. 1.3

После того как транзистор войдет в режим насыщения, в течение некоторого времени еще происходит накопление неосновных носителей в базе. Степень насыщения транзистора, как известно, характеризуется коэффициентом насыщения

$$S = \beta \frac{I_b}{I_{к.н}}$$

После изменения направления тока базы начинается рассасывание неосновных носителей, накопленных в базе транзистора за время его нахождения в режиме насыщения. При этом в момент изменения направления тока базы про-

исходит небольшое скачкообразное увеличение тока коллектора из-за изменения полярности падения напряжения на объемном сопротивлении базы. Затем ток коллектора не изменяется до тех пор, пока неосновные носители не уйдут через переходы или же рекомбинируют. Время, в течение которого транзистор находится в режиме насыщения после окончания импульса прямого тока базы, называется временем рассасывания t_p .

После того как концентрация неосновных носителей в базе на границах с переходами уменьшится до равновесной, наблюдается резкий спад тока коллектора за время $t_{\phi 2}$.

Время, в течение которого импульс уменьшается с 0,9 до 0,1 от максимального значения, называется длительностью заднего фронта $t_{\phi 2}$.

Аналогичные процессы происходят при включении транзистора с общей базой.

Расчет времен переключения с помощью теории заряда

Процесс управления транзистором осуществляется благодаря инжекции неосновных носителей в базу (рис. 1.4).

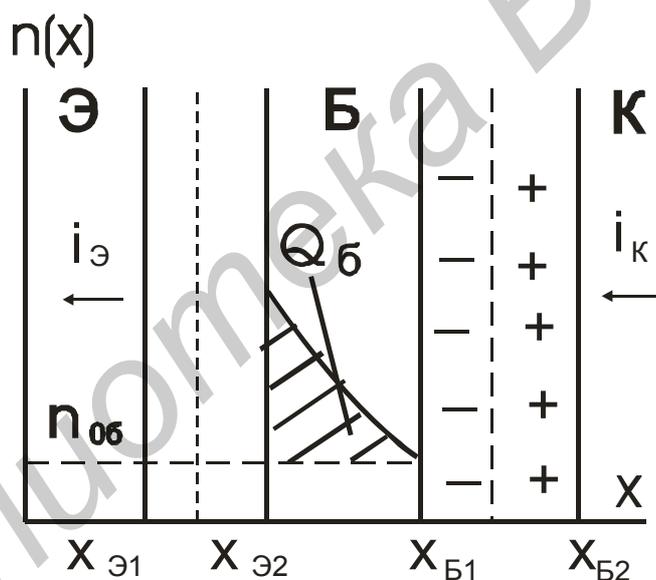


Рис. 1.4

Процесс включения. Время задержки t_3 , как правило, много меньше других временных параметров. Заряд емкости C_3 осуществляется током $I_{\phi 1}$ ($I_{\phi,пр}$):

$$I_{\phi 1} = \frac{d(C_3 U_{\phi,э})}{dt}. \quad (1.6)$$

Если положить, что в момент включения ($t = 0$) переход эмиттер - база был заперт отрицательным напряжением $-U_{\phi,э}$, а по истечении времени t_3 к нему приложено положительное напряжение $U_{\phi,э}$ в прямом направлении, тогда интегрируя (1.6), получим

$$t_3 = \frac{1}{I_{б1} - U_{б,э}} \int_{-U_{б,э}}^{U_{б,э}} dC_э(U_{б,э})U_{б,э}. \quad (1.7)$$

Параметры быстродействия ключа можно рассчитать на основе теории заряда. При подаче на вход импульса прямой полярности $I_{б.пр}$ уравнение заряда будет иметь вид

$$I_{б.пр} = \frac{dQ_б}{dt} + \frac{Q_б}{\tau_б} + \frac{dQ_к}{dt}, \quad (1.8)$$

где $Q_б$ – заряд в области базы; $Q_к$ – заряд в области коллектора; $\tau_б$ – постоянная времени базы.

Уравнение (1.8) можно переписать в виде

$$I_{б.пр} = \frac{dQ_б}{dt} + \frac{Q_б}{\tau_б} + C_к R_к \frac{dI_к}{dt}. \quad (1.9)$$

Поскольку

$$C_к R_к \frac{dI_к}{dt} = C_к \times R_к \frac{\beta_0 \times dI_б}{dt} = \frac{\beta_0 R_к C_к}{\tau_б} \frac{dQ_б}{dt}, \text{ то} \quad (1.10)$$

$$I_{б.пр} = \frac{dQ_б}{dt} + \frac{Q_б}{\tau_б} + \frac{\beta_0 R_к C_к}{\tau_б} \frac{dQ_б}{dt}. \quad (1.11)$$

Отсюда получаем

$$\left(1 + \frac{\beta_0 R_к C_к}{\tau_б}\right) \frac{dQ_б}{I_{б.пр} - Q_б / \tau_б} = dt. \quad (1.12)$$

Проводя интегрирование, получим

$$t = -(\tau_б + \beta_0 R_к C_к) \ln(\tau_б I_{б.пр} - Q_{бt}) + C. \quad (1.13)$$

Постоянную интегрирования получим при условии $t = 0$:

$$C = (\tau_б + \beta_0 R_к C_к) \ln(\tau_б I_{б.пр} - Q_{б0}).$$

Тогда выражение (1.13) примет вид

$$t = (\tau_б + \beta_0 R_к C_к) \ln\left(\frac{\tau_б \times I_{б.пр} - Q_{б0}}{\tau_б \times I_{б.пр} - Q_{бt}}\right). \quad (1.14)$$

В момент $t = t_3, Q_{б0} = 0$.

$$\text{В момент } t = t_{\phi 1}; 0,9Q_{бt} = 0,9Q_{б.н} = 0,9I_{б.н}\tau_б = 0,9\frac{I_{к.н}}{\beta_0}\tau_б.$$

Учитывая, что время нарастания переднего фронта отсчитывается на уровне $0,9I_{к.н}$, находим

$$t_{\phi 1} = (\tau_б + \beta_0 R_к C_к) \ln \frac{\beta_0 \times I_{б.пр}}{\beta_0 \times I_{б.пр} - 0,9I_{к.н}}, \quad (1.15)$$

ИЛИ

$$t_{\phi 1} = (\tau_{\delta} + \beta_0 R_k C_k) \ln \frac{1}{1 - 0,9 I_{k.n} / (\beta_0 \times I_{\delta.pr})}. \quad (1.16)$$

Так как коэффициент насыщения транзистора определяется выражением $S = \beta \cdot I_{\delta.pr} / I_{k.n}$,

то уравнение (1.16) примет вид

$$t_{\phi 1} = (\tau_{\delta} + \beta_0 R_k C_k) \ln \frac{S}{S - 0,9}. \quad (1.17)$$

Отсюда следует, что чем больше амплитуда импульса тока прямой полярности, т.е. чем больше коэффициент насыщения S , тем меньше время включения.

В течение времени рассасывания t_p ток коллектора практически не изменяется и тогда $\frac{dI_k}{dt} = 0$, несмотря на то, что подан на вход ключа импульс тока базы отрицательной полярности. Тогда уравнение заряда (1.9) примет вид

$$-I_{\delta.obr} = \frac{dQ_{\delta}}{dt} + \frac{Q_{\delta}}{\tau_{\delta}}. \quad (1.18)$$

Отсюда

$$-\frac{\tau_{\delta} \cdot dQ_{\delta}}{\tau_{\delta} I_{\delta.obr} + Q_{\delta}} = dt. \quad (1.19)$$

Интегрируя (1.19), получим

$$t = -\tau_{\delta} \ln(\tau_{\delta} I_{\delta.obr} + Q_{\delta}) + C. \quad (1.20)$$

Постоянная интегрирования находится из условия $t = t_p = 0$:

$$C = \tau_{\delta} \ln(\tau_{\delta} I_{\delta.obr} + Q_{\delta 0}).$$

Таким образом, время рассасывания

$$t_p = \tau_H \ln \frac{\tau_{\delta} \cdot I_{\delta.obr} + Q_{\delta 0}}{\tau_{\delta} I_{\delta.obr} + Q_{\delta(t)}}, \quad (1.21)$$

где τ_H — постоянная времени накопления цепи базы ($\tau_H \approx \tau_{\beta} / 2$).

Поскольку $Q_{\delta 0} = I_{\delta.pr} \times \tau_{\delta}$, $Q_{\delta t} = \frac{I_{k.n}}{\beta_0} \tau_{\delta}$, то

$$t_p = \tau_H \ln \frac{I_{\delta.obr} + I_{\delta.pr}}{I_{\delta.obr} + I_{k.n} / \beta_0}, \quad (1.22)$$

или

$$t_p = \tau_H \ln \frac{1 + I_{\delta.pr} / I_{\delta.obr}}{1 + I_{k.n} / (\beta_0 I_{\delta.obr})}. \quad (1.23)$$

Тогда

$$t_p = \tau_H \ln \frac{1 + I_{\delta.obr} / I_{\delta.pr}}{1 / S + I_{\delta.obr} / I_{\delta.pr}}. \quad (1.24)$$

Время рассасывания тем меньше, чем больше амплитуда тока обратной полярности и чем меньше насыщен транзистор при подаче импульса прямой полярности.

В течение стадии спада ток коллектора снова изменяется, и уравнение заряда примет вид

$$-I_{\bar{b}.обр} = \frac{dQ_{\bar{b}}}{dt} + \frac{Q_{\bar{b}}}{\tau_{\bar{b}}} + C_k R_k \frac{dI_k}{dt}. \quad (1.25)$$

Проведя решение, так же как и для выражения (1.9), получим

$$t_{\phi 2} = (\tau_{\bar{b}} + \beta_0 R_k C_k) \ln \frac{\tau_{\bar{b}} \times I_{\bar{b}.обр} + Q_{\bar{b}0}}{\tau_{\bar{b}} I_{\bar{b}.обр} + Q_{\bar{b}(t)}}. \quad (1.26)$$

Так как $Q_{\bar{b}0} = \frac{I_{k.н}}{\beta_0} \tau_{\bar{b}}$, а время спада определяется на уровне $0,1I_{k.н}$ то

$$Q_{t\phi 2} = 0,1 \frac{I_{k.н}}{\beta_0} \tau_{\bar{b}}.$$

Тогда

$$t_{\phi 2} = (\tau_{\bar{b}} + \beta_0 R_k C_k) \ln \frac{\beta_0 \cdot I_{\bar{b}.обр} + I_{k.н}}{\beta_0 I_{\bar{b}.обр} + 0,1 I_{k.н}}, \quad (1.27)$$

или

$$t_{\phi 2} = (\tau_{\bar{b}} + \beta_0 R_k C_k) \ln \frac{1 + I_{k.н} / \beta_0 I_{\bar{b}.обр}}{1 + 0,1 I_{k.н} / \beta_0 I_{\bar{b}.обр}}. \quad (1.28)$$

Чем больше амплитуда импульса обратной полярности, тем меньше время выключения транзисторного ключа в соответствии с (1.24) и (1.28).

Для схемы включения транзистора с общей базой временные параметры импульса тока коллектора рассчитываются по формулам:

$$t_{\phi 1} = (\tau_{\alpha} + \alpha_0 R_k C_k) \ln \frac{\alpha_0 I_{\bar{a}1}}{\alpha_0 I_{\bar{a}1} - 0,9 I_{k.н}}, \quad (1.29)$$

$$t_p = \tau_n \ln \frac{(I_{\bar{a}1} + I_{\bar{a}2})}{\alpha_0 I_{\bar{a}2} + I_{k.н}}, \quad (1.30)$$

$$t_{\phi 2} = (\tau_{\alpha} + \alpha_0 R_k C_k) \ln \frac{\alpha_0 (I_{k.н} + I_{\bar{a}2})}{\alpha_0 I_{\bar{a}2} + 0,1 I_{k.н}}, \quad (1.31)$$

где α_0 , как и β_0 , – коэффициент передачи по току в режиме сильного сигнала.

Ненасыщенные ключи

Для ускорения быстродействия биполярного ключа транзистор не вводят в режим глубокого насыщения. Такие ключи называют ненасыщенными. Транзистор работает на границе активной области, для этого в схему вводят нелинейную обратную связь (рис. 1.5, а).

Цель введения обратной связи заключается в том, чтобы переход коллектор – база был всегда смещён в обратном направлении, что обеспечивает работу ключа в активном режиме. Если бы диод был идеальным и открывался при напряжении, близком к 0, то источник $U_{см}$ можно было бы не подключать. Но поскольку диод открывается при напряжения $U_{пр} = 0,3...0,4$ В, то необходим источник смещающего напряжения $U_{пр} = 0,5...0,7$ В. При открывании транзистора диод будет запертым до тех пор, пока потенциал на его коллекторе не приблизится к $U_{см}$. Затем диод открывается и шунтирует коллекторный переход. Это приращение коллекторного тока замыкается через источник входного сигнала. Ток базы при этом уменьшается примерно в $(1 + h_{21Э})$ раз. Накопленный в базе заряд в этом случае будет меньше, чем в обычной схеме, что приводит к уменьшению времени рассасывания. Необходимо помнить, что надо использовать диод с малым временем рассасывания. Поэтому часто используют ДБШ, имеющие время восстановления до 0,1 нс, малое напряжение отпирания около 0,25 В и малое сопротивление в открытом состоянии – около 10 Ом. Здесь отпадает необходимость в источнике смещения, так как напряжение отпирания ДБШ меньше падения напряжения коллектор – база (рис. 1.5, б).

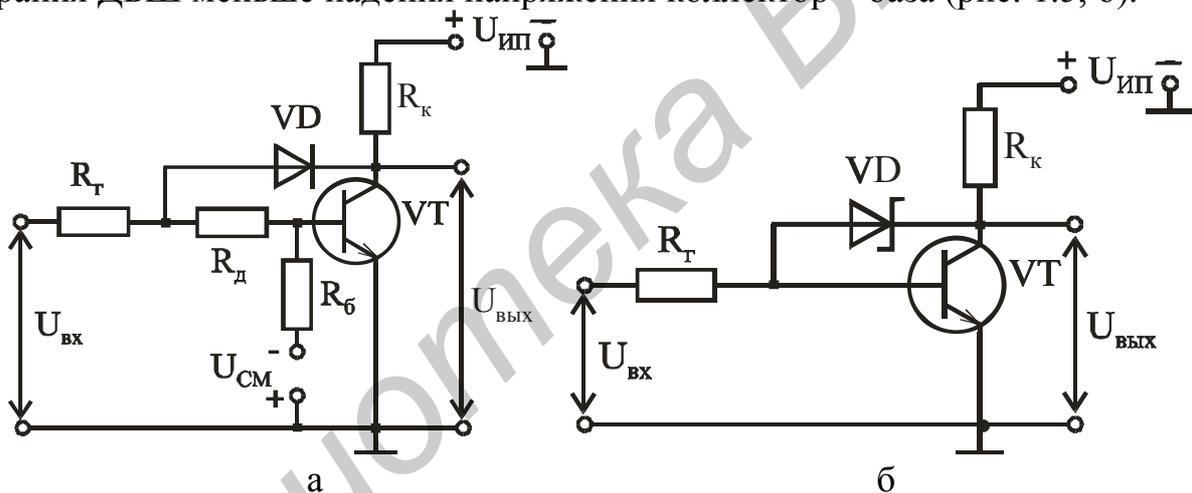


Рис. 1.5

Недостатки ненасыщенного ключа: большое падение напряжения $U_{к.э}$, низкая помехоустойчивость, худшая температурная стабильность.

Транзисторный ключ с форсирующей ёмкостью

С целью уменьшения времени переключения используется схема транзисторного ключа с форсирующей ёмкостью (рис. 1.6).

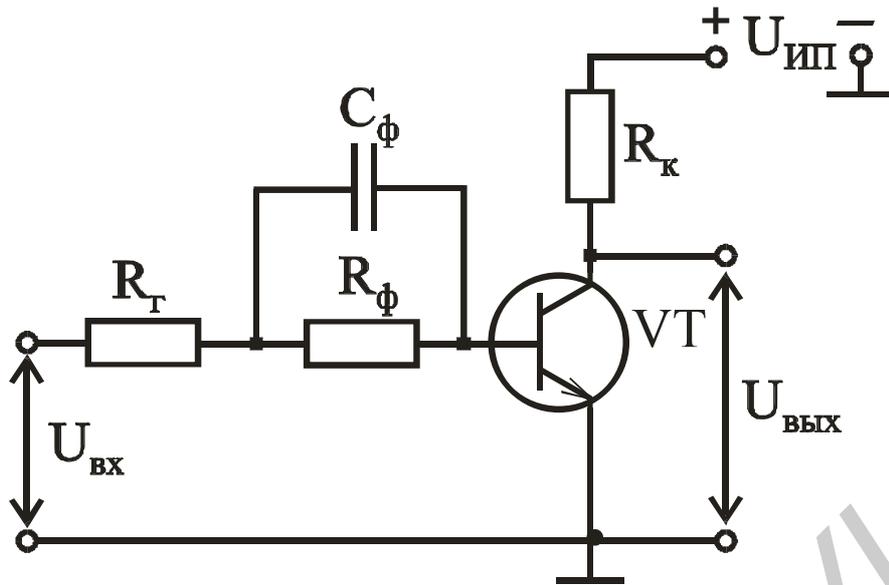


Рис. 1.6

Рассмотрим работу схемы. При подаче прямоугольного импульса входной сигнал частично дифференцируется, в результате чего появляется выброс переднего и заднего фронта импульса. Емкость ускоряющего конденсатора выбирается из соображений

$$C_{\Phi} \gg \frac{\tau_{\beta}}{r_{\delta}}, \quad (1.32)$$

где $\tau_{\beta} = 1/\omega_{\beta}$.

Величина тока насыщения

$$I_{\text{к.н}} = E_{\text{к}}/R_{\text{к}} \leq I_{\text{к.доп}}.$$

Ток базы, который обеспечивает необходимую степень насыщения транзистора,

$$I_{\delta 1} = \frac{SI_{\text{к.н}}}{\beta_{\text{мин}}}. \quad (1.33)$$

Величина резистора в цепи базы также находится из условия насыщения:

$$R_{\Phi} = E_{\Gamma}/I_{\delta 1} - (R_{\Gamma} + r_{\delta}), \quad (1.34)$$

где r_{δ} – омическое сопротивление базы, имеющее величину 50...200 Ом для маломощных транзисторов, E_{Γ} – ЭДС источника входного сигнала.

Длительность переднего фронта:

$$t_{\Phi} = t_{\delta} \ln \frac{I_{\delta 1}(0)}{I_{\delta 1}(0) - 0,9I_{\text{к.н}}/\beta}, \quad (1.35)$$

где $I_{\delta 1} = E_{\Gamma 1}/(R_{\Gamma} + r_{\delta})$ – начальный ток заряда конденсатора C_{Φ} .

$E_{\Gamma 1}$ – амплитуда прямого импульса.

Постоянная времени цепи базы:

$$\tau_{\delta} = C_{\delta} (R_{\Gamma} r_{\delta} / (R_{\Gamma} + r_{\delta})). \quad (1.36)$$

Процесс рассасывания носителей в базе также будет определяться постоянной времени τ_{δ} :

$$t_{\text{рас}} = \tau_{\delta} \ln \left(1 - \frac{SI_{\text{к.н}}}{\beta(I_{\delta 1} + I_{\delta 2})} \right). \quad (1.37)$$

Время спада импульса тока коллектора:

$$\tau_c = \tau_{\delta} \ln \frac{I_{\delta 1} + I_{\delta 2}(0)}{I_{\delta 2}(0)}, \quad (1.38)$$

$$I_{\delta 2}(0) = \frac{E_{\Gamma 2}}{R_{\Gamma} + r_{\delta}}, \quad (1.39)$$

где $I_{\delta 2}(0)$ – обратный запирающий ток базы в начальный момент отрицательного выброса; $E_{\Gamma 2}$ – амплитуда обратного импульса.

1.2. Ключи на полевых транзисторах

Ключ на полевом транзисторе с индуцированным каналом

Принципиальная электрическая схема приведена на рис. 1.7, а, эквивалентная схема – на рис. 1.7, б.

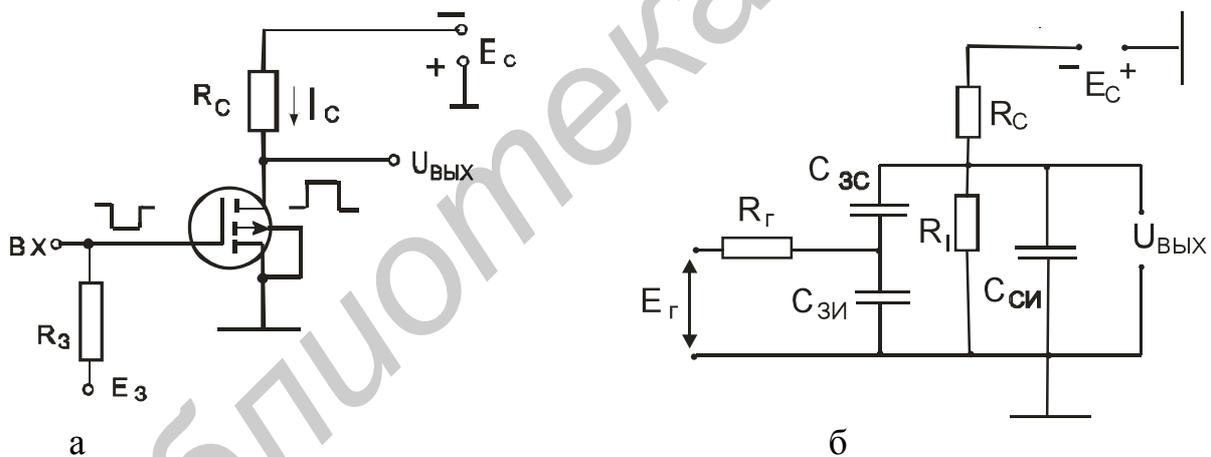


Рис. 1.7

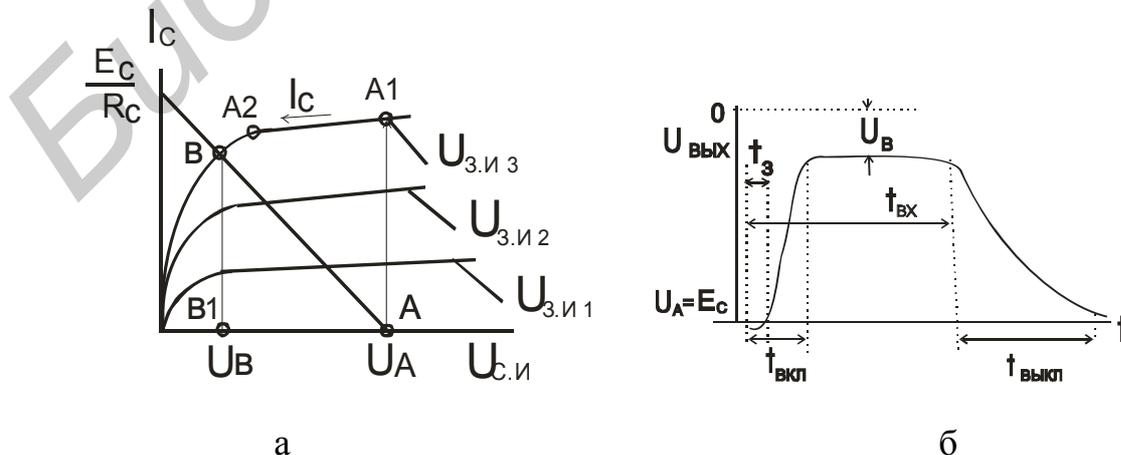


Рис. 1.8

Статическое состояние характеризуется нагрузочной прямой (рис. 1.8, а), построенной на выходных статических характеристиках транзистора. В рабочем режиме ключ может находиться в одном из двух состояний: в открытом (точка В) или закрытом (точка А). При подаче на вход управляющего импульса отрицательной полярности и по абсолютной величине больше порогового уровня транзистор открывается и через него начинает протекать ток. разряда выходной емкости $C_{с.и}$, которая была заряжена при закрытом состоянии транзистора до напряжения источника питания E_c . Процесс включения транзистора рассмотрим с помощью идеализированного графика (рис. 1.8, а), на котором показан процесс перемещения рабочей точки из положения А в положение В. В течение времени задержки (рис. 1.8, б) формируется проводящее состояние ключа. Это время зависит от величины паразитных емкостей транзистора, а также от уровня порогового напряжения и приближенно оценивается выражением

$$t_3 \approx \frac{C_{з.и} \cdot U_{пор}}{I_{вх}} = \frac{C_{з.и} \cdot U_{пор}}{U_{вх}} \cdot R_r \quad (1.40)$$

Затем рабочая точка скачком перемещается сначала в положение А1 так как выходное напряжение не может измениться мгновенно вследствие разряда выходной емкости $C_{с.и}$. Рабочая точка по мере разряда емкости $C_{с.и}$ в течение времени t_1 перемещается в положение А2. Ток разряда определяется выражением

$$I_p = C_{с.и} \cdot \frac{dU_{с.и}}{dt} \quad (1.41)$$

в случае низкоомного источника сигнала. Таким образом, используя выражение для ВАХ транзистора, получим

$$t_1 = 2C_{с.и} / S \cdot (E_c / (U_{з.и3} - U_{пор}) - 1). \quad (1.42)$$

Время t_2 определяется разрядом емкости $C_{с.и}$ через сопротивление открытого канала $R_{кo}$

$$t_2 \approx 2,3 \cdot R_{к.о} \cdot C_{с.и} \quad (1.43)$$

Тогда полное время включения

$$t_{вкл} = t_3 + t_1 + t_2 \quad (1.44)$$

Таким образом, для уменьшения времени включения следует использовать транзисторы с малым сопротивлением открытого канала и низким пороговым напряжением.

Снижение порогового напряжения достигается путем замены металлического затвора кремниевым, что позволяет достигнуть значения $U_{пор} \leq 1,5$ В. В процессе уменьшения входного напряжения ниже пороговой величины рабочая точка переходит из положения В в положение В1. Время перехода обычно мало и зависит от величины внутреннего сопротивления источника сигнала и значения входной емкости транзистора. Затем происходит заряд выходной емкости

от источника E_c через резистор R_c , время заряда приближенно оценивается соотношением

$$t_{\text{зар}} \approx 2,3 R_c C_{c.и} \cdot \quad (1.45)$$

Это время фактически является временем выключения транзисторного ключа: $t_{\text{выкл}} \approx t_{\text{зар}}$. Время включения чаще всего меньше времени выключения, так как обычно $R_r < R_c$ (рис. 1.8, б).

Ключи на комплементарных парах полевых транзисторов

Комплементарные МДП-транзисторы представляют собой совокупность двух МДП-транзисторов с каналами разного типа проводимости (с n- и p-каналами): такая комплементарная пара МДП-транзисторов имеет общие затворы и общие стоки (рис. 1.9).

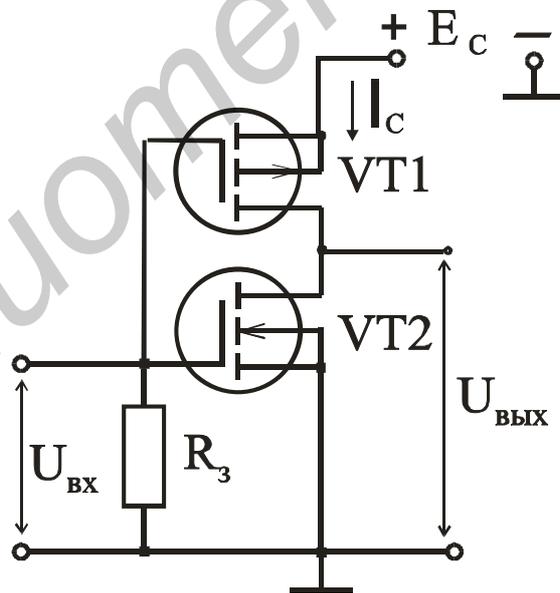
Пусть в исходном состоянии управляющее напряжение на входе комплементарной пары равно нулю ($U_{\text{вх}} = 0$), тогда

$$U_{з.и2} = 0, \quad U_{з.и1} = -E_c. \quad (1.46)$$

Следовательно, транзистор VT2 комплементарной пары (n-канальный) заперт, а транзистор VT1 (p-канальный) открыт, $U_{\text{вых}} = +E_c$.

Пусть теперь напряжение на затворе комплементарной пары принимает значение

$$U_{\text{вх}} = E_c, \quad \text{тогда } U_{з.и1} = 0; U_{з.и2} = E_c. \quad (1.47)$$



При таких значениях напряжений n-канальный транзистор VT2 открыт, а p-канальный VT1 закрыт, $U_{\text{вых}} = 0$. В обоих рассмотренных состояниях выходной ток стока $I_c = I_{c.ост}$, так как всегда один из транзисторов комплементарной пары заперт, и мощность в выходной цепи практически не потребляется. Снижение выходного тока до значения $I_{c.ост}$ в «открытом» статическом состоянии комплементарного МДП-транзистора обеспечивает одновременно рез-

кое уменьшение значения остаточного напряжения на открытом ключе до единиц – десятков микровольт и менее:

$$U_{\text{ост}} = U_{\text{ост.кан}} \approx I_{\text{ост}}/b(E_c - U_{\text{пор}}). \quad (1.48)$$

Для типичных значений, входящих в (1.48), $I_{\text{ост}} = 10^{-9}$ А, удельной крутизны $b = 0,1 \text{ мА/В}^2$, $E_c - U_{\text{пор}} = 5 \text{ В}$, получим, например, $U_{\text{ост}} = 2 \text{ мкВ}$.

Особенностью динамики переключения комплементарной пары является практически полная симметричность процессов заряда и разряда емкости нагрузки: заряд происходит через открытый транзистор VT1 (при запертом VT2). Поэтому длительности отрицательного и положительного фронтов импульса выходного напряжения при переключении комплементарной пары почти одинаковы (с точностью до разброса параметров транзисторов, составляющих комплементарную пару):

$$t_{\phi}^+ = t_{\phi}^- \approx E_c C_n / I_{\text{с.нас}}. \quad (1.49)$$

Сравнив (1.44 и 1.45) и (1.49), можно сделать вывод, что комплементарная пара в ключевом режиме эксплуатации имеет лучшее быстродействие, чем одиночный МДП-транзистор.

Такого типа ключи являются основой для построения экономичных цифровых устройств различного назначения.

Аналоговые ключи (коммутаторы) различного назначения выпускаются в виде отдельных микросхем. Это серии ИС К176КП1; К561КП1,2; 547КП1, К190КТ1, К190КТ2, в состав которых входят полевые транзисторы с индуцированным каналом. В новых разработках используют ключи на ИС серий 590, 543, 591, 1104, 733, 546 и др.

Для ключей на полевых транзисторах характерны высокие входные сопротивления при малой частоте коммутации $10^8 \dots 10^9$ Ом с р-п-переходом, $10^{12} \dots 10^{14}$ Ом на МОП-структурах, малое сопротивление в проводящем состоянии $7 \dots 30$ Ом, хорошая электрическая развязка цепи управления и коммутируемых цепей.

1.3. Диодные ключи

Диодные ключи предназначены для работы в устройствах коммутации электрических сигналов. Схема диодного ключа и его статическая передаточная характеристика показаны на рис.1.10, а, б соответственно:

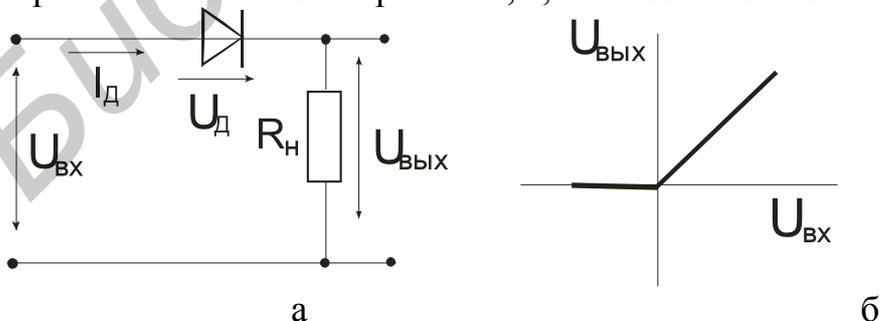


Рис. 1.10

При положительном входном напряжении диод открыт и ток через него

$$i_{\text{пр}} = U_{\text{вх}} / (R_{\text{пр}} + R_{\text{н}}), \quad (1.50)$$

где $R_{пр}$ – прямое сопротивление диода.

Выходное напряжение

$$U_{вых} = R_n \cdot i_{пр} = R_n \frac{U_{вх}}{R_{пр} + R_n}. \quad (1.51)$$

Обычно $R_{пр} \ll R_n$, тогда $U_{вых} \approx U_{вх}$. При отрицательном входном напряжении ток через диод равен

$$i_{обр} = U_{вх} / (R_{обр} + R_n), \quad (1.52)$$

где $R_{обр}$ – обратное сопротивление диода.

При этом выходное напряжение

$$U_{вых} = R_n \cdot i_{обр} = R_n \frac{U_{вх}}{R_{обр} + R_n}. \quad (1.53)$$

Как правило, $R_{обр} \gg R_n$ и $U_{вых} = R_n \frac{U_{вх}}{R_{обр}} \ll U_{вх}$. При изменении полярности включения диода график функции $U_{вых} = f(U_{вх})$ повернется на угол π вокруг начала координат.

Приведенной выше схеме соответствует нулевой уровень включения (уровень входного напряжения, определяющий запирающее напряжение диода). Для изменения уровня включения в цепь ключа вводят источник напряжения смещения E_0 (рис. 1.11, а, б). В этом случае при $U_{вх} > E_0$ диод открыт и $U_{вых} \approx U_{вх}$, а при $U_{вх} < E_0$ – закрыт и $U_{вых} = E_0$. Если изменить полярность источника E_0 , то график функции приобретет вид, показанный пунктирной линией на рис. 1.11, б.

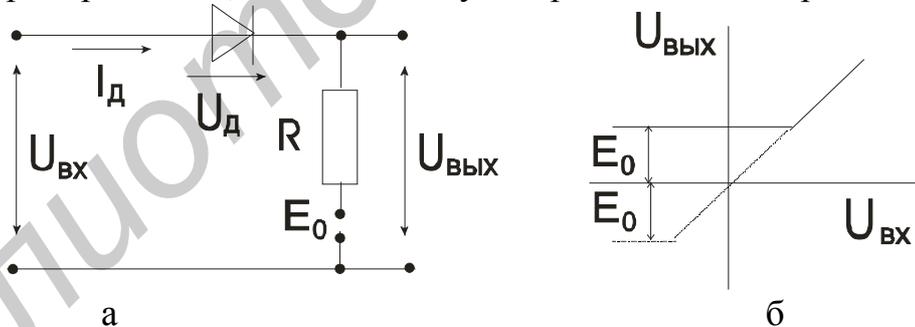


Рис. 1.11

В качестве источника E_0 часто используют резистивный делитель напряжения, подключенный к общему для электронного устройства источнику питания. Применяя переменный резистор как регулируемый делитель напряжения, можно изменять уровень включения.

Принцип работы диодного электронного ключа основан на изменении величины дифференциального сопротивления полупроводникового диода в окрестностях порогового значения напряжения на диоде $U_{пор}$. На рис. 1.12, а приведена реальная вольт-амперная характеристика полупроводникового диода, на которой показано значение $U_{пор}$.

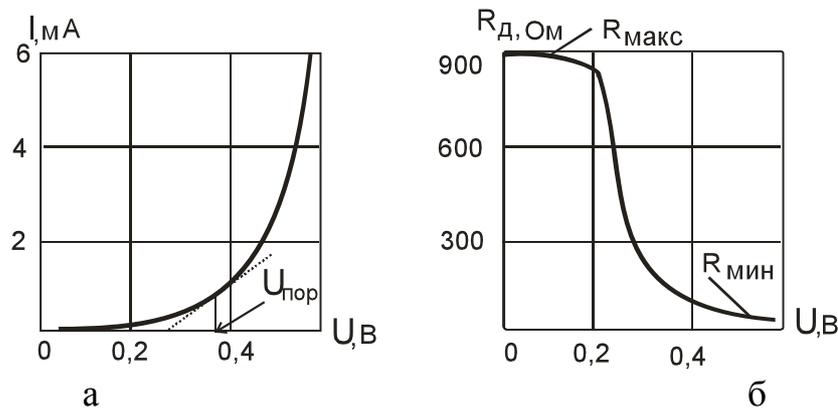


Рис. 1.12

Это значение находится на пересечении оси напряжений с касательной, проведенной к восходящему участку вольт-амперной характеристики. На рис. 1.12, б показана зависимость дифференциального сопротивления от напряжения на диоде. Из рисунка следует, что в окрестности порогового напряжения около 0,3 В происходит резкое изменение дифференциального сопротивления диода с крайними значениями 900 и 35 Ом ($R_{\text{мин}} = 35$ Ом, $R_{\text{макс}} = 900$ Ом).

В состоянии «включено» диод открыт и $U_{\text{ВЫХ}} \approx U_{\text{ВХ}}$.

В состоянии «выключено» диод закрыт и $U_{\text{ВЫХ}} \approx U_{\text{ВХ}} R_n / R_{\text{макс}} \ll U_{\text{ВХ}}$.

Теперь рассмотрим работу диодного ключа в режиме переключения.

Особенностью является то, что при больших уровнях переключающего сигнала проявляются эффекты накопления и рассасывания носителей заряда.

При подаче на диод прямого импульса напряжения ток через диод не мгновенно достигает максимальной величины, так как требуется определенное время для инжекции носителей через переход. В результате этого передний фронт импульса тока оказывается искаженным (рис. 1.13, а). Инжекция носителей приводит к снижению сопротивления прилегающих к р-п-переходу областей, и ток достигает максимального значения.

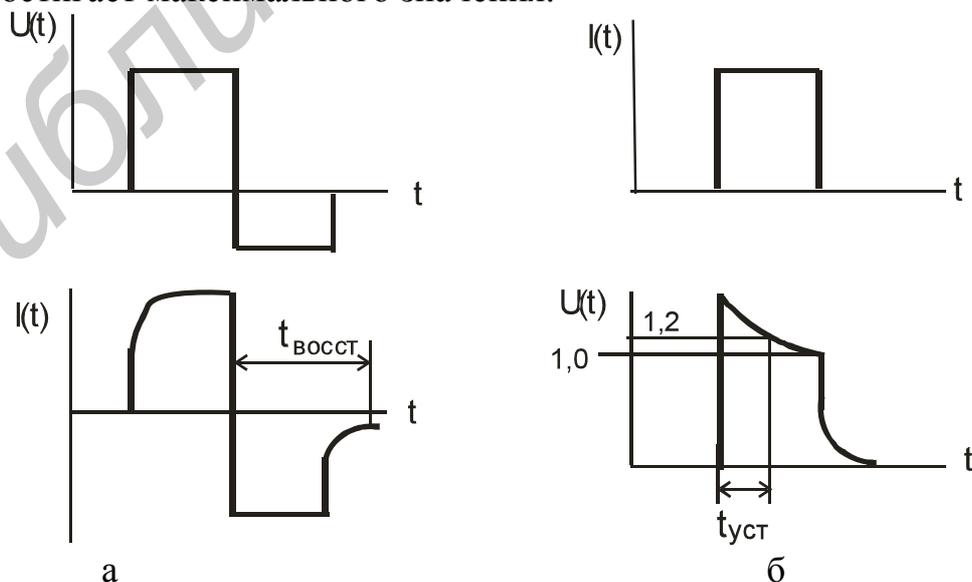


Рис. 1.13

При переключении диода с прямого напряжения на обратное в первый момент обратный ток достигает большой величины, так как накопленные носители заряда не могут мгновенно рассосаться, и его величина ограничивается сопротивлением внешней нагрузки, а также сопротивлением растекания r_s . После этого обратный ток уменьшается до своего стационарного значения $I_{нас}$, вследствие рекомбинации неосновных носителей или ухода их через переход. Поэтому для импульсных диодов вводится такой параметр, как время восстановления обратного сопротивления – $t_{восст}$, которое равно интервалу времени от момента подачи импульса обратной полярности до момента, когда обратный ток достигнет заданной величины.

Теперь подадим импульс прямого тока через диод и будем исследовать форму импульса напряжения (рис. 1.13, б). В первый момент наблюдается выброс импульса напряжения вследствие повышенного сопротивления базы диода, а затем его постепенное уменьшение до какой-то стационарной величины из-за инжекции носителей и понижения сопротивления прилегающих к переходу областей. В связи с этим вводят еще один временной параметр – время установления прямого сопротивления $t_{уст}$ – интервал времени от начала протекания тока через диод до момента, когда напряжение на нем понизится до 1,2 от установившейся величины. После прекращения действия импульса прямого тока на р-п- переходе сохраняется остаточное напряжение, вызванное ранее инжектированными носителями, которые исчезают после их рекомбинации.

В режиме переключения ток через диод определяется на основании теории заряда следующим выражением:

$$i_d = \frac{Q_b}{\tau_b} + \frac{dQ_b}{dt} + C \frac{dU_{p-n}}{dt}, \quad (1.54)$$

где Q_b – объемный заряд в области базы диода; τ_b – время жизни неосновных носителей в области базы диода; $C_{зар}$ – зарядная (барьерная) емкость диода; U_{p-n} – падение напряжения на р-п-переходе.

Первое слагаемое в этом выражении связано с рекомбинацией неосновных носителей в области базы диода, второе определяет изменение во времени объемного заряда неосновных носителей в области базы, третье обусловлено перезарядом барьерной емкости р-п-перехода при изменении входного сигнала во времени. Так как сопротивление эмиттера очень мало вследствие высокой концентрации в нем носителей заряда, то дифференциальное сопротивление р-п-перехода определяется объемным сопротивлением материала базы, т.е. $r_d = r_b$.

Время установления прямого сопротивления на уровне 1,2 от установившегося значения напряжения на диоде, как показывает анализ выражения (1.54), примерно равно

$$t_y \approx 2,3\tau_b. \quad (1.55)$$

Максимальное прямое напряжение на диоде будет равно

$$U_{д.пр.макс} \approx \varphi_k + I_{пр} \rho_{\delta} \frac{w}{l}. \quad (1.56)$$

В этом выражении φ_k – контактная разность потенциалов; ρ_{δ} – удельное сопротивление материала области базы; l – длина области базы, w – ее поперечное сечение.

В установившемся режиме в области базы диода накапливается избыточный заряд неосновных носителей $Q_{\delta} = I_{пр} \tau_{\delta}$. По мере удаления от перехода концентрация избыточных носителей заряда падает. Величина прямого тока через диод составит величину

$$I_{пр} = (U_{вх.пр} - U_{д.пр}) / (r_{д.пр} + R_n). \quad (1.57)$$

При изменении полярности напряжения на диоде некоторое время он будет находиться в проводящем состоянии и обратный ток будет велик. Уравнение заряда для этого отрезка времени, определяемого как время рассасывания, примет вид

$$i_d = Q_{\delta} / \tau_{\delta} + dQ_{\delta} / dt = -I_{обр}. \quad (1.58)$$

Решая это уравнение с учетом того, что концентрация избыточных носителей в конце стадии рассасывания падает до нуля, получим

$$\tau_{рас} \approx \tau_{\delta} \ln(1 + I_{пр} / I_{обр.макс}). \quad (1.59)$$

Стадия спада характеризуется тем, что обратный ток уменьшается до своей стационарной величины. Время спада в сильной степени зависит от технологических факторов и приближенно оценивается следующим образом:

$$t_{сп} \approx (0,1 \dots 1) \tau_{\delta}. \quad (1.60)$$

Суммарное время $t_{рас} + t_{сп} = t_{вос}$ является временем восстановления обратного сопротивления диода и приводится в его справочных данных.

С целью уменьшения времени переключения используются диоды с малой емкостью перехода порядка 0,5–2,0 пФ, при этом обеспечивается время выключения порядка 0,5...0,05 мкс. Для улучшения быстродействия используют диоды с накоплением заряда (ДНЗ) и диоды Шоттки.

Диодные ключи не позволяют электрически в достаточной степени разделить управляющую и управляемую цепи, что часто требуется в практических схемах, и это ограничивает их применение.

2. ЛОГИЧЕСКИЕ УСТРОЙСТВА

Как уже отмечалось, основные логические операции для исследования процессов человеческих рассуждений предложены Дж. Булем и основаны на созданной им булевой алгебре. В алгебре логики используются два понятия «Да (истина)» и «Нет (ложь)».

Основные логические операции следующие:

«НЕ»(NOT)– операция инверсии (отрицания)	$y = \bar{x}$
«И»(AND) – операция умножения (конъюнкции)	$y = x_1 \cdot x_2$

«ИЛИ»(OR) – операция сложения (дизъюнкции)	$y = x1 + x2$
«И-НЕ»(NOT AND) – инверсия операции «И»	$y = \overline{x1 \cdot x2}$
«ИЛИ-НЕ»(NOT OR) – инверсия операции «ИЛИ»	$y = \overline{x1 + x2}$

2.1. Основные правила алгебры логики

Алгебра логики определяется следующей системой аксиом:

$$\left. \begin{array}{l} x = 0, \text{ если } x \neq 1, \\ x = 1, \text{ если } x \neq 0 \end{array} \right\} \quad (2.1)$$

$$\left. \begin{array}{l} 1 + 1 = 1, \\ 0 \cdot 0 = 0 \end{array} \right\} \quad (2.2)$$

$$\left. \begin{array}{l} 0 + 0 = 0, \\ 1 \cdot 1 = 1 \end{array} \right\} \quad (2.3)$$

$$\left. \begin{array}{l} 0 + 1 = 1 + 0 = 1, \\ 1 \cdot 0 = 0 \cdot 1 = 0 \end{array} \right\} \quad (2.4)$$

$$\left. \begin{array}{l} \bar{0} = 1, \\ \bar{1} = 0. \end{array} \right\} \quad (2.5)$$

Аксиома (2.1) утверждает, что в алгебре логики рассматриваются только двоичные переменные. Аксиомы (2.2) – (2.4) определяют операции дизъюнкции и конъюнкции, а аксиома (2.5) – операцию отрицания.

Если в аксиомах (2.2) – (2.4), заданных парами, произвести взаимную замену операций дизъюнкции и конъюнкции, а также элементов «0» и «1», то из одной аксиомы пары можно получить другую. Это свойство называется принципом двойственности.

С помощью аксиом алгебры логики можно доказать целый ряд теорем. Одним из эффективных методов доказательства теорем является метод перебора всех значений переменных. Если теорема истинна, то с учетом аксиом (2.2) – (2.5) при подстановке любых значений переменных в обе части выражения, формирующего утверждение теоремы, должно получаться тождество.

В ряде случаев метод перебора не очень трудоемок ввиду того, что переменные могут принимать только два значения: «0» и «1». Методом перебора доказываются следующие теоремы:

1) идемпотентные законы:

$$\left. \begin{array}{l} x + x = x, \\ x \cdot x = x \end{array} \right\} \quad (2.6)$$

2) коммутативные законы:

$$\left. \begin{array}{l} x + y = y + x, \\ x \cdot y = y \cdot x \end{array} \right\} \quad (2.7)$$

3) ассоциативные законы:

$$\left. \begin{aligned} (x + y) + z &= x + (y + z) = x + y + z, \\ (x \cdot y) \cdot z &= x \cdot (y \cdot z) = x \cdot y \cdot z \end{aligned} \right\} \quad (2.8)$$

4) дистрибутивные законы:

$$\left. \begin{aligned} x \cdot (y + z) &= (x \cdot y) + (x \cdot z) = xy + xz, \\ x + (y \cdot z) &= x + yz = (x + y) \cdot (x + z) \end{aligned} \right\} \quad (2.9)$$

5) законы отрицания:

$$\left. \begin{aligned} x + \bar{x} &= 1, \\ x \cdot \bar{x} &= 0 \end{aligned} \right\} \quad (2.10)$$

$$\left. \begin{aligned} 0 + x &= x, \\ 1 \cdot x &= x \end{aligned} \right\} \quad (2.11)$$

$$\left. \begin{aligned} 1 + x &= 1, \\ 0 \cdot x &= 0. \end{aligned} \right\} \quad (2.12)$$

8) законы двойственности (теорема де Моргана):

$$\left. \begin{aligned} \overline{x + y} &= \bar{x} \cdot \bar{y}, \\ \overline{x \cdot y} &= \bar{x} + \bar{y} \end{aligned} \right\} \quad (2.13)$$

9) закон двойного отрицания:

$$\overline{\overline{x}} = \bar{\bar{x}} = x. \quad (2.14)$$

Теоремы (2.6) – (2.13) записаны парами, причем по принципу двойственности из одной теоремы можно получить другую взаимной заменой операций дизъюнкции и конъюнкции, а также элементов «0» и «1». Теорема (2.14) самодвойственна, так как не изменяется по принципу двойственности. Теорему (2.14) используют для формального доказательства некоторых других теорем и тождеств, не прибегая к методу перебора. Следует отметить, что в этих теоремах вместо переменных x , y и z можно использовать логические выражения (функции), составленные из переменных с помощью операций алгебры логики. Как и в обычной алгебре, при преобразовании логических выражений должен соблюдаться определенный порядок выполнения операций (порядок старшинства): сначала отрицание, затем конъюнкция, и после этого дизъюнкция. Кроме того, в сложных логических выражениях порядок выполнения операций задается с помощью скобок.

Для упрощения логических выражений используют тождества:

1) законы поглощения

$$\left. \begin{aligned} x + x \cdot y &= x, \\ x \cdot (x + y) &= x \end{aligned} \right\} \quad (2.15)$$

2) операции склеивания

$$\left. \begin{aligned} x \cdot y + x \cdot \bar{y} &= x, \\ (x + y) \cdot (x + \bar{y}) &= x \end{aligned} \right\} \quad (2.16)$$

3) операции обобщенного склеивания

$$\left. \begin{aligned} xy + \bar{x}z + yz &= xy + \bar{x}z, \\ (x + y)(\bar{x} + z)(y + z) &= (x + y)(\bar{x} + z) \end{aligned} \right\} \quad (2.17)$$

$$\left. \begin{aligned} x + \bar{x} \cdot y &= x + y, \\ x \cdot (\bar{x} + y) &= x \cdot y. \end{aligned} \right\} \quad (2.18)$$

Все тождества записаны парами на основании принципа двойственности.

Операция “штрих Шеффера” (операция И-НЕ) обозначается кривой чертой и определяется соотношением

$$x/y = \overline{x \cdot y} = \overline{x \wedge y}.$$

Операция «стрелка Пирса» (операция ИЛИ-НЕ) обозначается символом \downarrow и определяется соотношением

$$x \downarrow y = \overline{x \vee y} = \overline{x + y}. \quad (2.19)$$

Операция «по модулю два» (исключающее ИЛИ, логическая неравнозначность) обозначается символом \oplus и определяется соотношением

$$x \oplus y = x \cdot \bar{y} + \bar{x} \cdot y = (x \vee y)(\bar{x} \vee \bar{y}).$$

Для операции \oplus справедливы следующие тождества:

$$\left. \begin{aligned} 0 \oplus 0 &= 1 \oplus 1 = 0, \quad 0 \oplus 1 = 1 \oplus 0 = 1, \\ x \oplus 0 &= x, \quad x \oplus 1 = \bar{x}, \quad x \oplus x = 0, \quad x \oplus \bar{x} = 1, \\ x \oplus y &= y \oplus x, \quad (x \oplus y) \oplus z = x \oplus (y \oplus z) = x \oplus y \oplus z, \\ \overline{x \oplus y} &= x \cdot y + \bar{x} \cdot \bar{y} = (x + \bar{y})(\bar{x} + y) = x \oplus \bar{y} = \bar{x} \oplus y. \end{aligned} \right\} \quad (2.20)$$

Отношение эквивалентности удовлетворяет следующим условиям:

- а) $x = x$ – рефлексивность;
- б) если $x = y$, то $y = x$ – симметричность;
- в) если $x = y$, а $y = z$, то $x = z$ – транзитивность.

Важнейшим вспомогательным средством для определения наиболее простой логической функции является таблица (карта) Карно. Это не что иное, как измененная запись таблицы переключений. В этом случае значения входных переменных не просто записываются рядом друг с другом, а размещаются по горизонтали и вертикали таблицы, деля ее, наподобие шахматной доски, на отдельные квадраты. При четном количестве входных переменных половину из них записывают по горизонтали, а половину – по вертикали. При нечетном числе переменных по горизонтали размещается на одну переменную больше, чем по вертикали (или наоборот).

Порядок размещения различных комбинаций значений входных переменных следует выбрать таким, чтобы при переходе от одной ячейки к соседней

изменялась лишь одна переменная. В эти ячейки заносятся те значения выходной переменной Y , которые соответствуют значениям входных переменных. В качестве примера приведена таблица истинности для функции I (табл. 2.1) и соответствующая ей таблица Карно (табл. 2)

Таблица 2.1

X_1	X_2	Y
0	0	0
1	0	0
0	1	0
1	1	1

Таблица 2.2

X_1	X_2	0	1
0	0	0	0
1	0	0	1

Таблица Карно является лишь упрощенной формой записи таблицы истинности, поэтому на ее основании можно составить дизъюнктивную нормальную форму искомой логической функции, пользуясь описанным выше методом. Преимуществом таблиц Карно является простота обнаружения возможных упрощений логической функции. Рассмотрим это на примере, представленном в табл. 2.3 (таблица истинности) и 2.4 (таблица Карно).

При составлении дизъюнктивной нормальной формы в первую очередь следует составить логическое произведение всех входных переменных для каждой ячейки, в которой стоит единица. Для ячейки, расположенной в левом верхнем углу, получается

$$K_1 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4. \quad (2.21)$$

Для ячейки, расположенной правее, следует записать

$$K_2 = \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4. \quad (2.22)$$

Когда, наконец, будет составлена логическая сумма всех произведений, помимо других, в ней встретится и такой фрагмент:

$$K_1 + K_2 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4. \quad (2.23)$$

Он упрощается следующим образом:

$$K_1 + K_2 = \bar{x}_1 \bar{x}_3 \bar{x}_4 (\bar{x}_2 + x_2) = \bar{x}_1 \bar{x}_3 \bar{x}_4. \quad (2.24)$$

Отсюда следует общее правило упрощения логических функций для таблиц Карно: если в двух, четырех, восьми и т.д. ячейках, ограниченных прямоугольным или квадратным контуром, стоят только единицы, можно записывать непосредственно логическое произведение для всей этой группы, причем в это произведение должны входить лишь те входные переменные, которые остаются неизменными для всех ячеек данной группы.

Таблица 2.3

x_1	x_2	x_3	x_4	y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Таблица 2.4

x_1x_2	00	01	11	10
x_3x_4	00	1 B 1	0	A 1
01	1	0	0	0
11	D 1	0	1	1
10	1	0	1	C 1

Таким образом, в этом примере логическое произведение для группы В, состоящей из двух ячеек, равно

$$K_B = \bar{x}_1 \bar{x}_3 \bar{x}_4, \quad (2.25)$$

что соответствует ранее полученной функции. В одну группу связываются также те ячейки, которые находятся на левом и правом краях одной строки или в верхней и нижней частях одного столбца.

Для столбца D, состоящего из четырех ячеек, можно записать:

$$K_D = \bar{x}_1 \bar{x}_2. \quad (2.26)$$

Для контура С, имеющего квадратную форму и состоящего также из четырех элементов, получим следующее логическое произведение:

$$K_C = x_1 x_3. \quad (2.27)$$

Еще одна единица осталась в правом верхнем углу. Она может быть связана, например, с единицей в нижней части рассматриваемого столбца в группу K_A , содержащую две ячейки. Другая возможность состоит в объединении единиц, находящихся на левом и правом краях первой строки. Однако если принять во внимание, что в каждом углу таблицы Карно находится единица, то возможно наиболее простое решение. Связывая эти единицы в одну четырехэлементную группу, получим

$$K'_A = \bar{x}_2 \bar{x}_4. \quad (2.28)$$

Для дизъюнктивной нормальной формы сразу найдем максимально упрощенный результат:

$$y = K'_A + K_B + K_C + K_D, \quad (2.29)$$

$$y = \bar{x}_2 \bar{x}_4 + \bar{x}_1 \bar{x}_3 \bar{x}_4 + x_1 x_3 + \bar{x}_1 \bar{x}_2. \quad (2.30)$$

Приведенные логические выражения и таблицы Карно можно использовать для анализа и упрощения логических функций, а также для описания работы схем цифровой электроники.

2.2. Основные параметры и характеристики логических схем

К основным параметрам логических схем относят: мощность потребления, уровни выходных напряжений, время задержки распространения сигнала, время задержки включения и выключения, входные токи, статическую помехозащищенность, коэффициент объединения, коэффициент разветвления, передаточную характеристику, реализуемую логическую функцию и ряд других. В некоторых случаях задается максимальная частота переключения (для триггерных схем на основе логических элементов).

1. Мощность потребления. В данном случае используют среднюю мощность потребления схемы, которая получается путем усреднения мгновенной мощности за достаточно большой промежуток времени. В большинстве случаев время переключения составляет небольшую часть полного времени работы схемы. При этом среднюю мощность определяют, учитывая только статические состояния, несмотря на то, что мощность переключения превышает ее:

$$P_{\text{пот.ср}} = 0,5(P_{\text{пот}}^1 + P_{\text{пот}}^0) \quad (2.31)$$

где $P_{\text{пот}}^1$ и $P_{\text{пот}}^0$ – мощности потребления в состоянии «1» и «0».

Для схем, выполненных на полевых транзисторах с изолированным затвором, мощность переключения может в десятки раз превышать мощность потребления. Для таких схем используют оценку средней мощности при максимально допустимой частоте переключения.

Для одной интегральной схемы мощность потребления на один корпус колеблется от долей до сотен милливольт.

2. Уровни выходных напряжений $U_{\text{вых}}^1$, $U_{\text{вых}}^0$. Эти параметры для потенциальных элементов, у которых сигнал «1» более положителен, чем сигнал «0», показывают следующее: элемент считается годным, если при допустимой нагрузке и в нормированных условиях эксплуатации выходной сигнал «1» у него не менее $U_{\text{вых}}^1$, а сигнал «0» – не более $U_{\text{вых}}^0$. Для ИС эти уровни составляют от долей до единиц вольт ($U_{\text{вых.макс}}^0 \leq U_{\text{вых.доп}}^0$ и $U_{\text{вых.мин}}^1 \geq U_{\text{вых.доп}}^1$).

3. Время задержки распространения сигнала $t_{\text{зд.р}}^{1-0}$ и $t_{\text{зд.р}}^{0-1}$. Этот параметр определяет быстродействие схем и обычно задается в виде задержки распространения сигналов, представляющих собой интервал времени между сменой уровней входного и выходного сигналов. Для ИС чаще всего применяют метод

отсчета по уровню 0,5 (рис. 2.1). Здесь показаны времена нарастания $t_{зд.р}^{0-1}$ и спада $t_{зд.р}^{1-0}$.

В зависимости от типа «ИС» времена задержки могут составить от единиц (иногда долей) до сотен наносекунд.

Среднее время задержки определяют как

$$t_{зд.р.ср} = (t_{зд.р}^{0-1} + t_{зд.р}^{1-0}) / 2. \quad (2.32)$$

4. Входные токи $I_{вх}^0$, $I_{вх}^1$. Эти параметры определяют нагрузку со стороны схемы на источник сигналов.

В некоторых случаях схемы потребляют ток по входу, а в других случаях отдают его. Схемы ТТЛ при подаче на вход «0» – отдают ток по входу, а при подаче на вход «1» потребляют его. Наименьшие токи по входу имеют микросхемы на полевых транзисторах, наибольшие – элементы ЭСЛ типа (до единиц миллиампер).

5. Статическая помехозащищенность $U_{п.ст.}$. Характеризуется наибольшим значением напряжения помехи, воздействующей на вход ИС и не вызывающей ее ложного срабатывания. Различают помехоустойчивость по уровню «0» ($U_{п0}$) и по уровню «1» ($U_{п1}$). Значения $U_{п0}$ и $U_{п1}$ определяются из анализа передаточных характеристик, которые имеют разброс вследствие разброса элементов, входящих в ИС. Поэтому передаточная характеристика представляет не одну кривую, а некоторую пространственную область (рис. 2.2 а, б) для инвертирующей и неинвертирующей логической схемы соответственно.

Помехоустойчивость $U_{п0}$ определяется как разность между входным напряжением в точке А, соответствующим перегибу нижней передаточной характеристики, и входным напряжением, соответствующим максимальному уровню логического «0»: $U_{п0} = U_{вх.А} - U_{вх.макс}^0$.

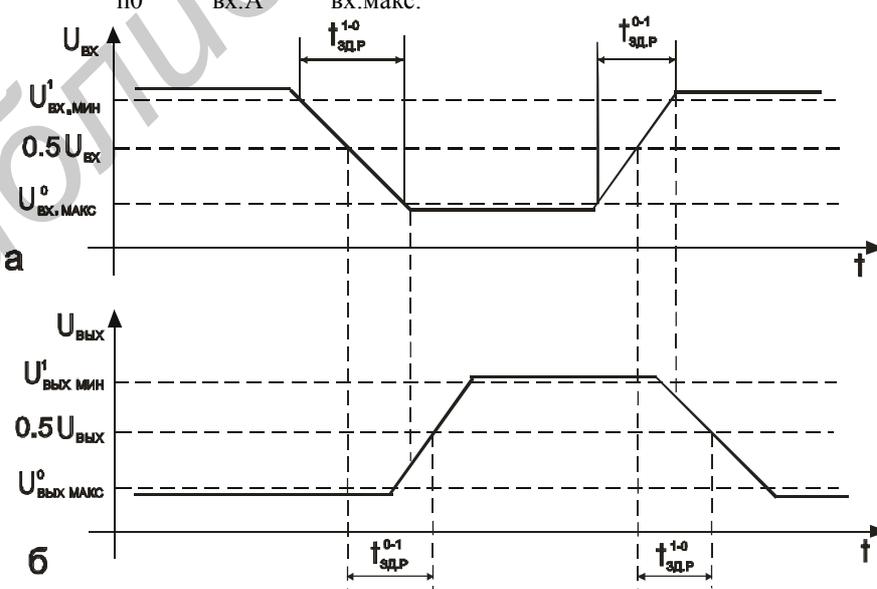


Рис. 2.1

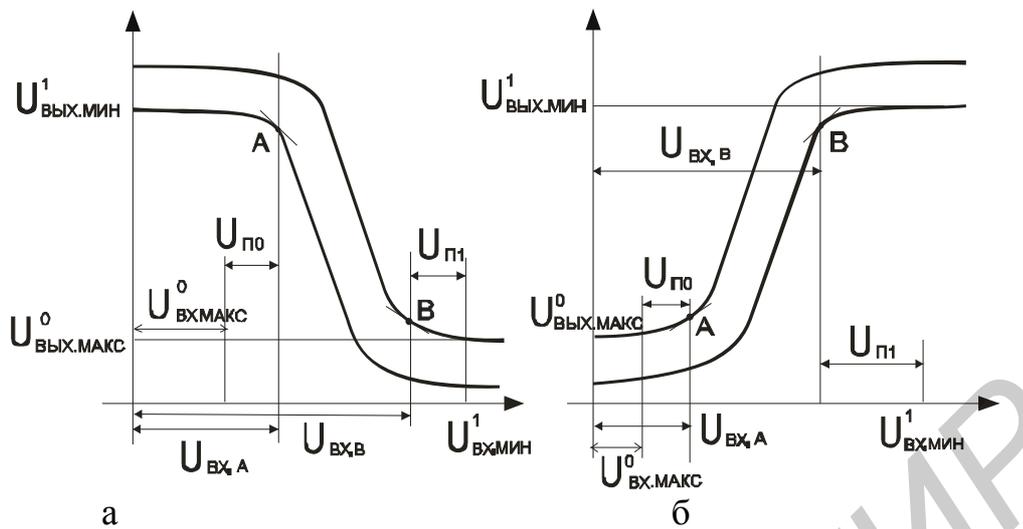


Рис. 2.2

Помехоустойчивость $U_{П1}$ находится как разность между напряжением минимального уровня логической «1» и напряжением, соответствующим точке перегиба верхней передаточной характеристики: $U_{П1} = U^1_{ВХ.МИН} - U_{ВХ.В}$.

6. Динамическая помехоустойчивость определяется длительностью, амплитудой и формой сигнала помехи, а также статической помехоустойчивостью ИС. Динамическая помехоустойчивость определяется с помощью запоминающего элемента – триггера путем изменения амплитуды и длительности импульсных помех, воздействующих на вход триггера. Критической считается такая длительность помех, при которой амплитуда импульса равна уровню статической помехоустойчивости. Динамическая помехоустойчивость в ТУ на ИС не приводится.

7. Коэффициент объединения по входу характеризует максимальное число входов, при котором еще реализуется заданная логическая функция. Большинство ИС имеет $K_{об} = 2...4$. Для увеличения коэффициента объединения по входу предусматривают специальные входы для подключения расширителя, который обеспечивает увеличение коэффициента объединения по входу до 10 и более.

8. Коэффициент разветвления по выходу или нагрузочная способность определяет максимальное число входов других ИС, которое может быть подключено к выходу данной ИС без нарушения ее работоспособности. Однако увеличение числа нагрузок уменьшает быстродействие и ухудшает помехоустойчивость, что приводит к увеличению потребляемой мощности. Обычно $K_{раз} = 4...10$. Подключение буферных элементов позволяет получить $K_{раз} = 20...30$.

9. Коэффициент объединения по выходу определяет число однотипных микросхем, которые можно объединить выходами для создания дополнительной (монтажной) функции «ИЛИ». Объединение по выходу (т.е. непосредственное соединение выходов нескольких микросхем) допускают логические элементы не всех серий. Объединение по выходу увеличивает потребляемую мощность и уменьшает быстродействие.

10. Энергия переключения определяется как произведение средней мощности, потребляемой логическим элементом, на среднее время задержки распространения импульса:

$$\mathcal{E}_{\text{пот}} = P_{\text{пот.ср}} \cdot t_{\text{зд.р.ср.}} \quad (2.33)$$

Значение этого параметра принято выражать в пикоджоулях (пДж) и его величина находится в пределах от нескольких единиц до сотен.

Важными характеристиками логических элементов также являются: входная $I_{\text{вх}} = f(U_{\text{вх}})$, выходная $I_{\text{вых}} = f(U_{\text{вых}})$, которая снимается при двух состояниях выхода «0» и «1», и передаточная $U_{\text{вых}} = f(U_{\text{вх}})$.

2.3. Базовые элементы логических схем

2.3.1. Резисторно-транзисторная логика (РТЛ)

Простейшим элементом РТЛ является схема ИЛИ-НЕ, показанная на рис. 2.3. Небольшое базовое сопротивление обеспечивает полное открывание транзисторов при малом потреблении тока. Логическая операция выполняется следующим образом: если на одном или двух входах имеет место уровень логической единицы, то один или оба транзистора открыты, что соответствует нулевому сигналу на выходе. И только при наличии нулевого сигнала на входах X_1 и X_2 одновременно оба транзистора закрыты и на выходе уровень напряжения близок к величине напряжения питания, т. е. $Y = 1$. Однако схемы РТЛ обладают низкой нагрузочной способностью и малым быстродействием.

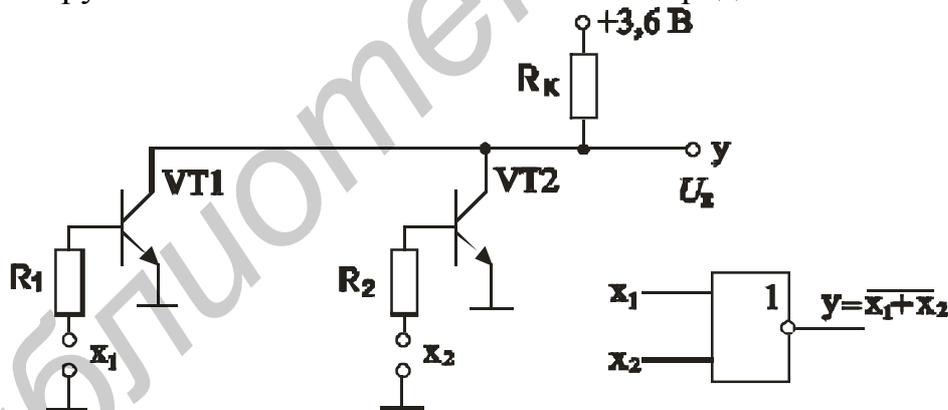


Рис. 2.3

2.3.2. Диодно-транзисторная логика (ДТЛ)

Схема диодно-транзисторной логики имеет вид, представленный на рис. 2.4. В этой схеме ток базы транзистора VT1 создается только в том случае, если заперты оба входных диода VD1 и VD2, т.е. по позитивной логике здесь реализуется функция И-НЕ. При протекании тока по резистору R_1 на диодах VD3 – VD4 падает напряжение $\approx 1,2$ В. Вместе с напряжением на базе открытого транзистора это составит величину $1,2 + 0,6 = 1,8$ В. Если входное напряжение не превышает величину 1,2 В, то соответствующий диод открыт, потенциал

VD3 снижается, а диоды VD3 и VD4 закрываются. Можно считать, что транзистор надежно закрыт при напряжении, не превышающем 1 В. Минимальный уровень выходного напряжения составляет величину около 0,1В, поэтому запас помехоустойчивости $S_{\Pi}^0 = V_{\text{вх}}^0 - V_{\text{вых}}^0$ равен 0,9 В. Высокий уровень выходного напряжения равен значению напряжения питания V^+ . Минимальный уровень логической единицы $U_{\text{НОМ}}$ составляет около 2 В, поэтому запас помехоустойчивости для логической единицы получается равным $S_{\Pi}^1 = V_{\text{мин}}^0 - V_{\text{мин}}^1$, $S_{\Pi}^0 = V^+ - 2$ В. Следовательно, V^+ должно быть не менее 3 В. Обычно $V^+ = 5$ В. В модифицированных схемах ДТЛ два диода VD3 – VD4 заменяются стабилитроном, благодаря чему повышается уровень логического нуля до 7 В, тогда запас помехоустойчивости для логического нуля превышает величину 6 В. Если минимальный уровень логической единицы будет 8 В, а напряжение питания 12 В, то запас помехоустойчивости для логической единицы составит 4 В. Такой тип логических схем называется высокопороговой логикой.

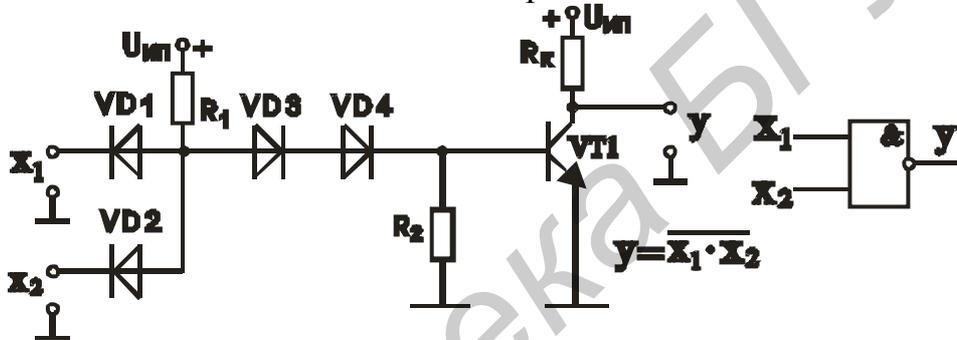


Рис. 2.4

2.3.3. Транзисторно-транзисторная логика (ТТЛ)

В отличие от ДТЛ диоды входной схемы «И» заменены многоэмиттерным транзистором (МЭТ). Этот транзистор включен инверсно (рис. 2.5).

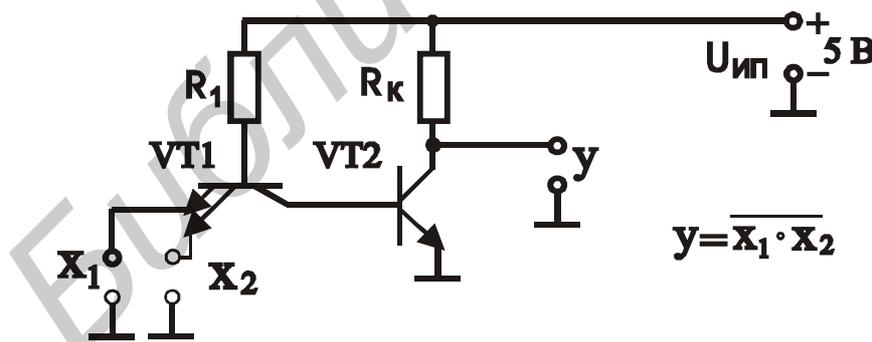


Рис. 2.5

Если все входные напряжения имеют высокий уровень, то ток, проходящий через резистор R_1 по открытому в прямом направлении переходу база – коллектор входного транзистора, течет в базу транзистора VT2 и приводит его в открытое состояние. Напряжение на коллекторе входного транзистора составляет величину $\sim 0,6$ В. Если только на один из входов подано низкое напряже-

ние, то соответствующий переход база – эмиттер открывается и отбирает базовый ток транзистора VT2. При этом транзистор VT2 запирается и выходное напряжение принимает величину, соответствующую высокому уровню. Коэффициент усиления обычного транзистора, включенного инверсно, составляет величину около 10. Однако при этом получается достаточно большой входной ток, который может быть значительно снижен за счет особой геометрии эмиттерного перехода, что приводит к снижению коэффициента передачи до 0,1. Обычно многоэмиттерные транзисторы не выпускаются отдельно, а используются только в ИС.

В ИС выходной транзистор VT2 заменяется специальным выходным каскадом, который имеет большой выходной ток. Эта схема представлена на рис. 2.6.

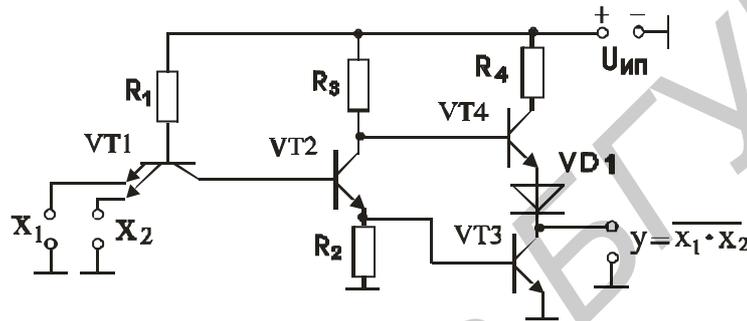


Рис. 2.6

Если транзистор VT2 закрыт, то потенциал его эмиттера равен «0» и транзистор VT3 также закрыт. Через эмиттерный повторитель VT4 на выход схемы подается высокий уровень напряжения. Если же VT2 открыт, то ток базы VT3 имеет такую величину, что транзистор VT3 находится в состоянии насыщения. $U_{\text{вых}}$ при этом составляет величину, близкую к 0,1 В. Потенциалы баз VT3 и VT4 лежат в интервале (0,6 – 0,7) В. Для предотвращения открывания транзистора VT4 при единичных сигналах на входах (VT2 открыт) включается диод VD1. В момент переключения схемы кратковременно открыты транзисторы VT3 и VT4. Величина тока при этом ограничивается резистором R_4 . Этот импульс тока вызывает помехи по цепи питания. Для уменьшения влияния помех используют низкоомные шины питания и сглаживающие конденсаторы.

Рассмотрим некоторые особенности микросхем ТТЛ серии 155. На рис. 2.7, а приведена принципиальная схема четырехходового элемента, выполняющего функцию «И-НЕ» (К155ЛА1), а на рис. 2.7, б – его условное обозначение.

Особенностью этой схемы в отличие от рассмотренной выше является наличие корректирующей цепочки, состоящей из транзистора VT5 и резисторов R_4 и R_5 , которые позволяют получить более прямоугольную передаточную характеристику и повысить помехоустойчивость по уровню логической «1». На входе многоэмиттерного транзистора VT1 включены диоды VD1 – VD4 для повышения помехоустойчивости. ТТЛ-логика имеет сравнительно высокое быстродействие ($t_{\text{зд.р}}^{1-0} = t_{\text{зд.р}}^{0-1} = 10...15$ нс). Эти схемы хорошо работают на емкост-

ную нагрузку, так как имеют малое выходное сопротивление и перезарядка емкостей происходит быстро.

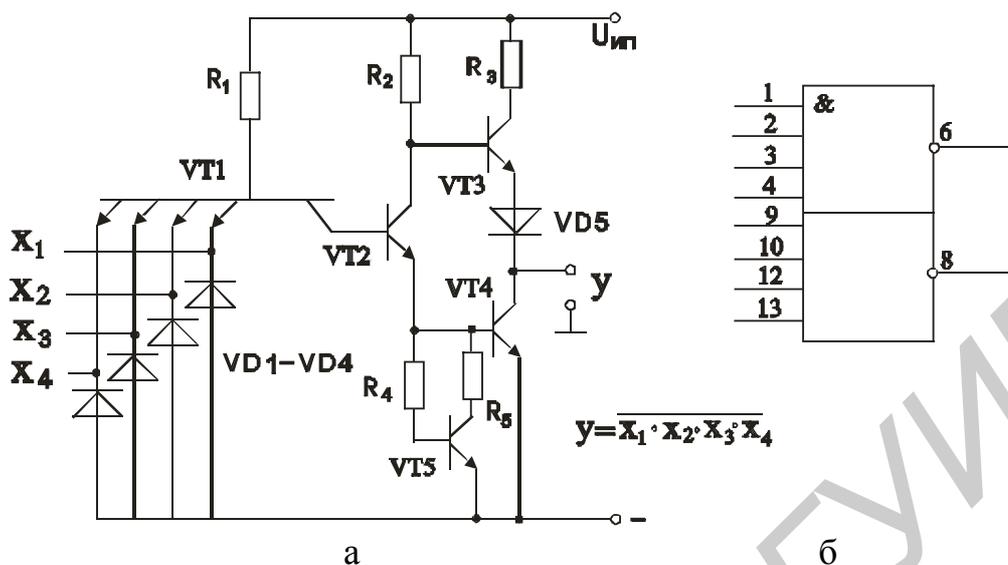


Рис. 2.7

Кроме рассмотренной базовой схемы, есть элемент «И-НЕ» с открытым коллектором (К155ЛА8, рис. 2.8, а), его условное обозначение приведено на рис. 2.8, б. Для получения функции «И-НЕ» в коллектор включается резистор 1...3 кОм, к которому подводится напряжение питания (рис. 2.8, в). Такие устройства используются в основном в цепях индикации, где в качестве нагрузки используется лампочка накаливания или светодиод (рис. 2.8, г). Они могут использоваться в качестве буферных каскадов, допускают объединение по выходу для получения функции «ИЛИ».

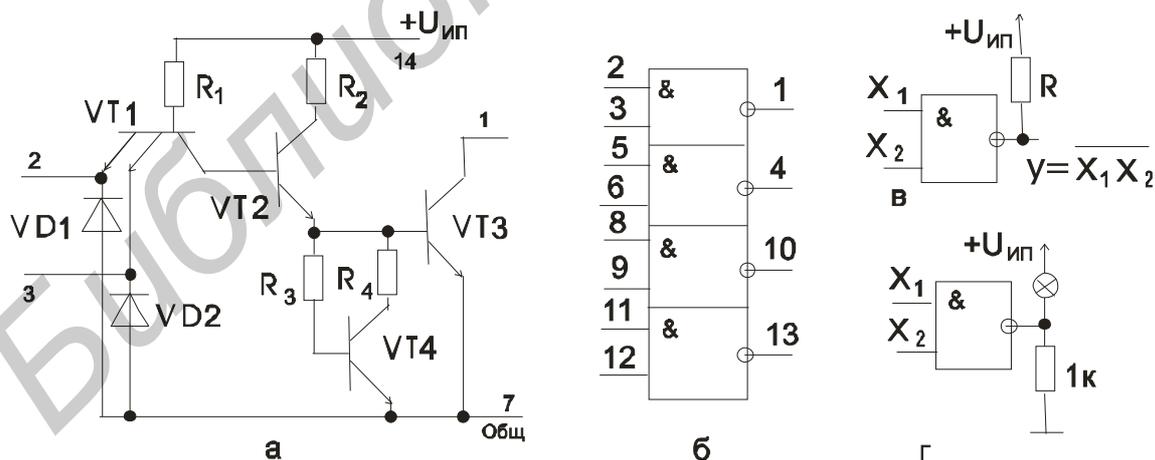


Рис. 2.8

Для расширения возможностей одной микросхемы выпускаются логические ячейки, выполняющие три логические функции «И-ИЛИ-НЕ». Примером

может служить микросхема К155ЛР1 (рис. 2.9, а), ее условное графическое обозначение – рис. 2.9, б.

Функцию «И» на входе выполняют многоэмиттерные транзисторы VT1 и VT4, а «ИЛИ-НЕ» – нормально включенные транзисторы VT2 и VT3, которые являются также фазорасщепляющими каскадами. При появлении на всех входах одного из МЭТ (или одновременно обоих) уровня логической «1» один из транзисторов фазорасщепляющего каскада (или оба) будет открытым. На выходе «Y» в этом случае будет уровень логического «0», т.е. данная «ИС» выполняет функцию $Y = \overline{X_1 \cdot X_2 + X_3 \cdot X_4}$.

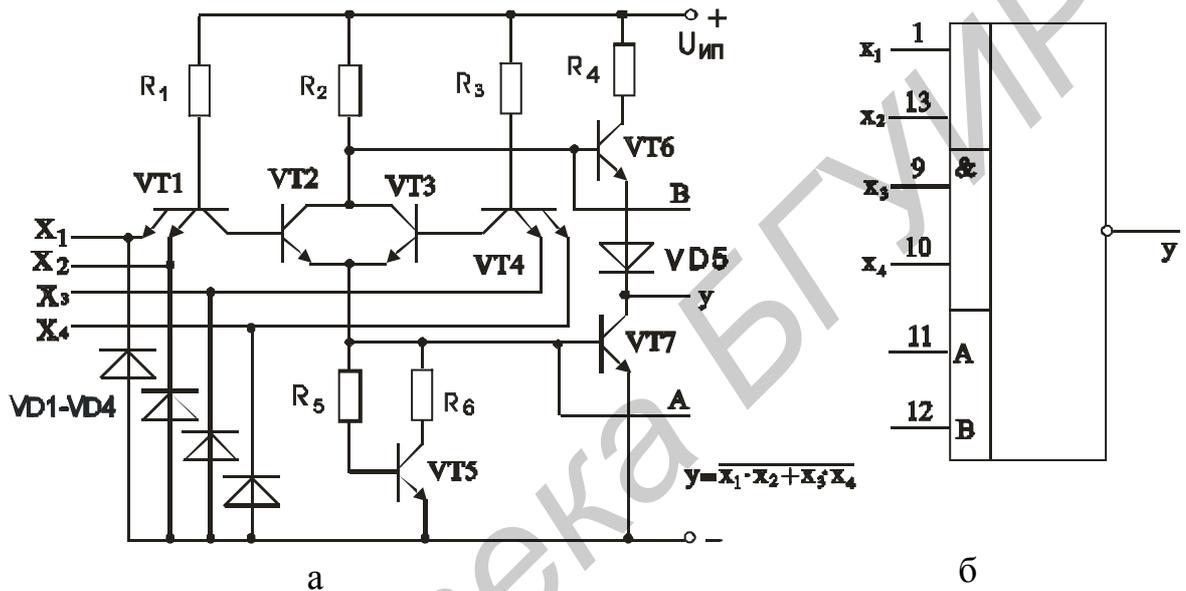


Рис. 2.9

Одна из разновидностей специального расширителя по «ИЛИ» приведена на рис. 2.10, а; условное графическое обозначение – на рис. 2.10, б (ИС К155ЛД1).

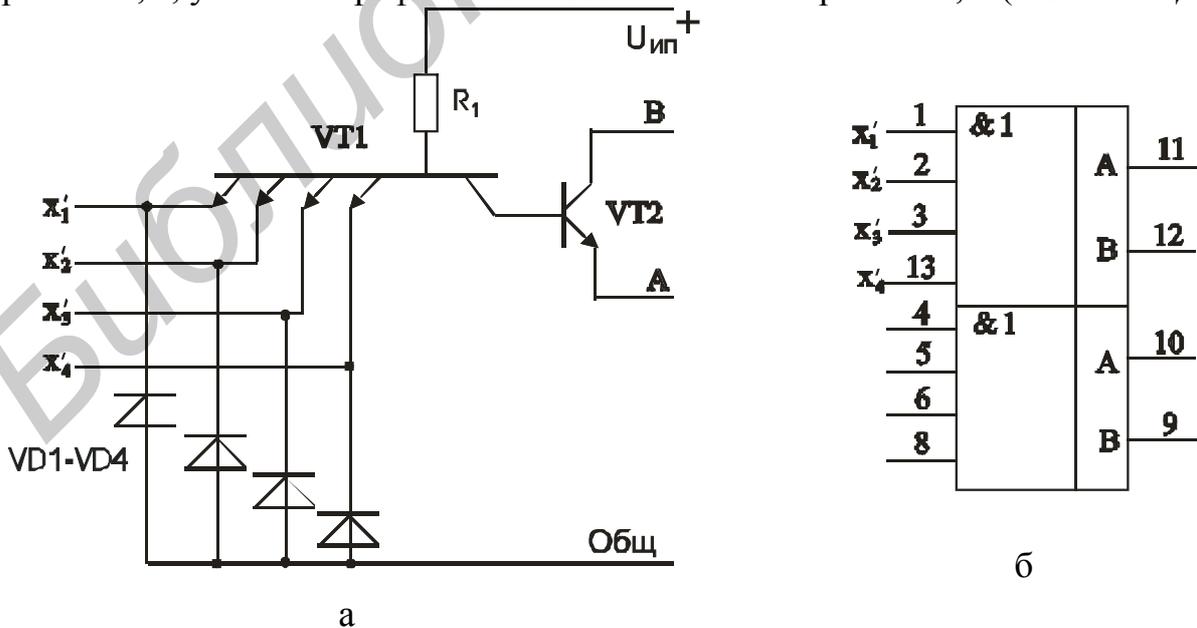


Рис. 2.10

Обычно расширители по «ИЛИ» не являются самостоятельными ЛЭ и используются совместно со схемами «И-ИЛИ-НЕ», имеющими входы для подключения расширителя (Вх. А и В).

2.3.4. Эмиттерно-связанная логика (ЭСЛ)

Эти схемы имеют высокое быстродействие, высокое входное и малое выходное сопротивление. Большое быстродействие этих схем обусловлено тем, что они работают в активном режиме. Низкое выходное сопротивление получается за счет введения в схему эмиттерных повторителей. Недостатком ЭСЛ является низкая помехоустойчивость, так как перепады уровней единицы и нуля малы («1» – 0,96 В, «0» – 1,65 В). В качестве базового элемента используются схемы «ИЛИ», «ИЛИ-НЕ».

Рассмотрим работу схемы на примере ИС К500ЛМ109. На рис. 2.11, а приведена принципиальная схема, а на рис. 2.11. б – условное обозначение.

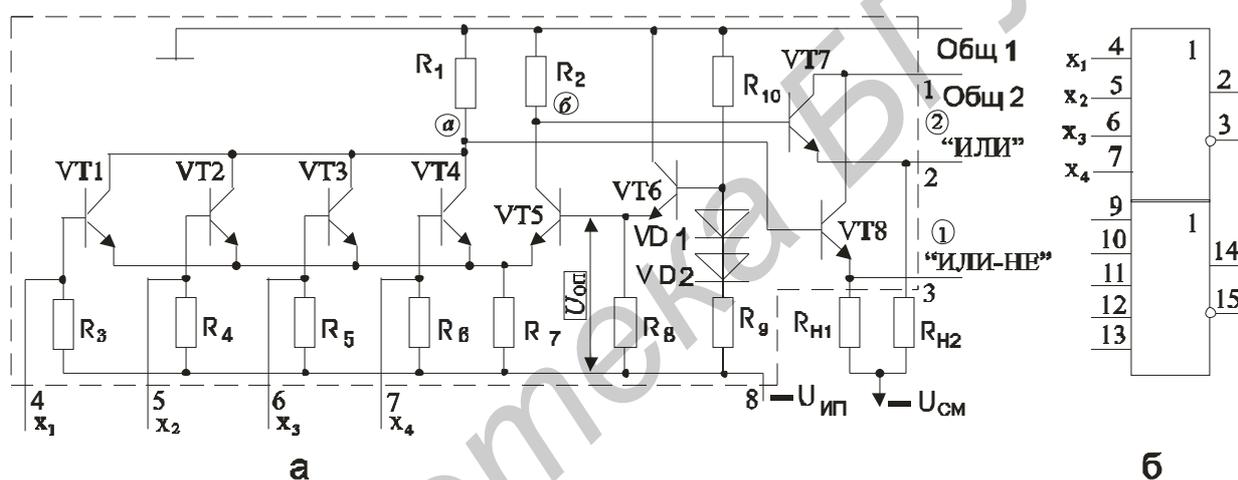


Рис. 2.11

Схема содержит дифференциальный усилитель $VT_1 \dots VT_4$ – левое плечо, VT_5 – правое плечо. Транзисторы $VT_1 \dots VT_4$ выполняют функцию «ИЛИ» по входу. Нагрузкой дифференциального усилителя являются резисторы R_1 и R_2 . Напряжения на выход передаются с помощью эмиттерных повторителей, выполненных на транзисторах VT_7 и VT_8 . Нагрузочными навесными элементами являются резисторы R_{N1} и R_{N2} .

2.3.5. Транзисторно-транзисторная логика Шотки (ТТЛШ)

С целью уменьшения времени рассасывания, которое при пассивном выключении составляет значительную часть стадии выключения биполярного транзистора в логических схемах стали применять диоды и транзисторы Шотки. Напомним, что наиболее радикальным методом уменьшения инерционности ключа, обусловленной рассасыванием неосновных носителей в базовой облас-

ти, является использование ненасыщенного режима его работы. Это наиболее просто достигается шунтированием коллекторного перехода диодом Шотки.

Диод Шотки имеет существенно меньшее пороговое напряжение открытия, чем р-n-переход транзистора. Поэтому во время действия входного импульса диод Шотки открывается раньше, чем коллекторный переход транзистора, предотвращая накопление избыточного заряда в его базовой области. Накопления заряда в самом диоде Шотки не происходит, так как ток этого диода обусловлен переносом основных носителей заряда. Таким образом, включение параллельно коллекторному переходу транзистора диода Шотки при подаче насыщающего входного напряжения автоматически фиксирует напряжение коллектор – база на уровне, близком к нулевому. Транзистор при этом работает вблизи границы режима насыщения. Работа транзистора с диодом Шотки в активном режиме приводит к увеличению напряжения на его переходах, что несколько снижает потребляемую элементом мощность и изменяет уровни логического нуля и логической единицы.

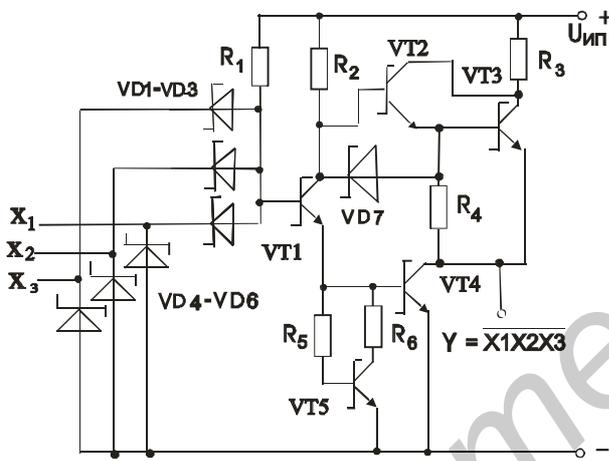


Рис. 2.12

Данное схемотехническое решение реализовано в схемах базовых логических элементов, именуемых ТТЛШ. На рис. 2.12 приведена принципиальная электрическая схема ТТЛШ серии 555. Особенностью этой схемы является применение в выходном двухтактном каскаде усилителя мощности на составном транзисторе, что способствует повышению быстродействия, и выполнение входного каскада на диодах Шотки, реализующих логическую операцию «И». Операция «И» в данном элементе выполняется с использованием диодных ключей на элементах VD1, VD2, VD3.

При подаче на все входные выходы элемента напряжения высокого уровня диоды VD1, VD2, VD3 входных диодных ключей смещаются в обратном направлении. Поэтому ток резистора R₁ насыщает транзисторы VT1 и VT4, формируя на выходе элемента сигнал низкого уровня.

Если хотя бы на один вход схемы подано низкое напряжение, соответствующий диод смещается в прямом направлении. Ток резистора R₁ замыкается на общую шину, минуя эмиттерные переходы транзисторов VT1 и VT4. Последние запираются. При этом ток резистора R₂ насыщает составной транзистор VT2, VT3, формируя на выходе напряжение высокого уровня.

Следует отметить, что повышение быстродействия, достигнутое применением в схеме БЛЭ диодов и транзисторов Шотки, позволило разработать серию ИС ТТЛ с уменьшенным потреблением мощности при быстродействии,

соизмеримом со стандартными элементами. Последнее важно с точки зрения повышения функциональных возможностей ИС.

Действительно, при использовании заданного корпуса мощность, которую может рассеять одна ИС при заданных параметрах окружающей среды, строго задана. Это значит, что задано и то предельное количество полупроводниковых приборов, которое может быть размещено в данной ИС независимо от совершенства используемой технологии их изготовления. Следовательно, ограничена и конечная функциональная сложность схемы, которая может быть реализована на этих элементах.

Мощность, необходимая для работы схемы ТТЛШ с уменьшенным энергопотреблением, примерно в 5 раз меньше, чем у стандартной схемы ТТЛ. Поэтому, если позволяет технология, в том же корпусе можно разместить в 5 раз больше полупроводниковых элементов и значительно повысить сложность разрабатываемой ИС, а также круг решаемых с её помощью задач.

Аналогичная зарубежная серия имеет название 74LS (low Schotky – что можно трактовать как экономичная серия с применением переходов Шотки). Для микросхем серии К555 мощность, потребляемая одним элементом, $P_{\text{пот}} = 2$ мВт при времени $t_{\text{зд.р.сп}} = 9,5$ нс, поэтому потребляемая энергия переключения

$$\mathcal{E}_{\text{пот}} = 19 \text{ пДж.}$$

На рис. 2.13 показана схема высокоскоростного логического элемента, применяемого как основа микросхем серии К531. От обычной серии ТТЛ она отличается тем, что на входе операцию «И» выполняет многоэмиттерный транзистор Шотки, остальные каскады также выполнены на транзисторах Шотки.

Аналогичная зарубежная серия называется 74S, здесь S – начальная буква фамилии немецкого физика

Шотки (Schotky), открывшего физический эффект, оказавшийся для электроники столь важным. Время задержки распространения для схем серии К531 снижено до 3 нс, что обусловило потребление энергии на 1 бит информации $\mathcal{E}_{\text{пот}} = 19 \cdot 3 = 57$ пДж.

Основные параметры некоторых ИС логических элементов приведены в табл. 2.5.

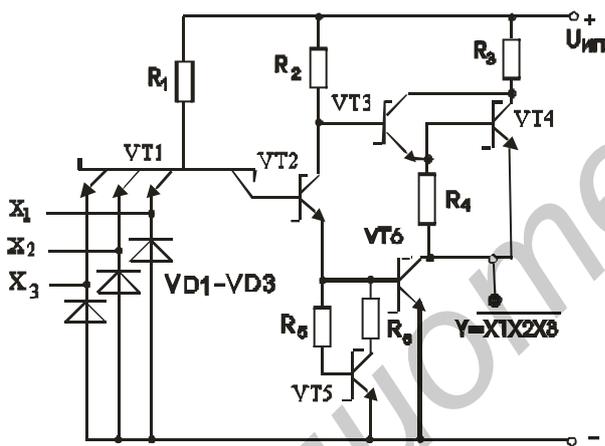


Рис. 2.13

Таблица. 2.5

Серия ТТЛ		Параметр			Нагрузка	
отечественная	зарубежная	$P_{\text{пот}},$ мВт	$t_{\text{зд.р}},$ нс	$\Delta_{\text{пот}},$ пДж	$C_{\text{н}},$ пФ	$R_{\text{н}},$ кОм
K134	74L	1	33	33	50	4
K155	74	10	9	90	15	0,4
K131	74Н	22	6	132	25	0,28
K555	74LS	2	9,5	19	15	2
K531	74S	19	3	57	15	0,28
K1533	74ALS	1,2	4	4,8	15	2
K1531	74F	4	3	12	15	0,28

Из таблицы следует, что наилучшими характеристиками обладают схемы серии K1533 и K1531.

2.3.6. Интегральная инжекционная логика И2Л

И2Л-схемы являются третьим широко распространённым схемотехническим направлением биполярной технологии. Прежде всего необходимо отметить, что если ТТЛ- и ЭСЛ-элементы были разработаны для реализации интегральных схем, то И2Л-схемы – для создания БИС и СБИС на основе биполярных транзисторов. Схемы малой и средней степени интеграции на И2Л-элементах не выпускаются. Принципы, на которых основано «конструктивное» и схемное отличие И2Л-элементов от других биполярных схем, заключаются в использовании совмещения электрически связанных однородных областей полупроводника в одном кристалле. В этих схемах традиционный способ питания цепей базы и коллектора транзисторов через резисторы заменен непосредственным введением избыточных подвижных носителей заряда в базу переключаемых транзисторов.

Разработанные вначале как логические элементы для БИС и СБИС И2Л-элементы сейчас широко применяются для создания БИС памяти микропроцессорных наборов, базовых кристаллов разнообразных аналоговых устройств.

Базовый И2Л-элемент содержит р-п-р-транзистор, который генерирует постоянный ток (через внешний резистор), поступающий на базу многоколлекторного переключающего п-р-п-транзистора (рис. 2.14, а). Логический вход «0» или «1» соответствует закороченной или разомкнутой цепи в базе транзистора VT2. С помощью трёх инверторов, как показано на рис. 2.14, б, можно организовать логический элемент «ИЛИ». Для изготовления подобных структур можно использовать технологический процесс с четырьмя фотошаблонами, эквивалентный по сложности базовой технологии схем МДП-типа. Стремление к увеличению быстродействия таких схем и их логической гибкости привело к разработке большого числа интегральных структур и разнообразных схемотехнических вариантов базового ключа. Одним из важнейших направлений развития инжекционных схем стало использование в них диодов Шотки. При этом дос-

стигается увеличение быстродействия благодаря ограничению степени насыщения ключевого n-p-n-транзистора (шунтирование перехода база – коллектор), использованию в качестве перехода база–коллектор диода Шотки (транзистор с металлическим коллектором), уменьшению логических перепадов в схеме (последовательное включение диодов Шотки в цепь «коллектор предыдущего n-p-n-транзистора – база последующего»).

С использованием диодов Шотки возможно увеличение функциональной логической гибкости – объединение входов с помощью диодов Шотки (логическая функция «И» рис. 2.15, а). Результирующая логическая функция, которую выполняет элемент, – функция «И-НЕ».

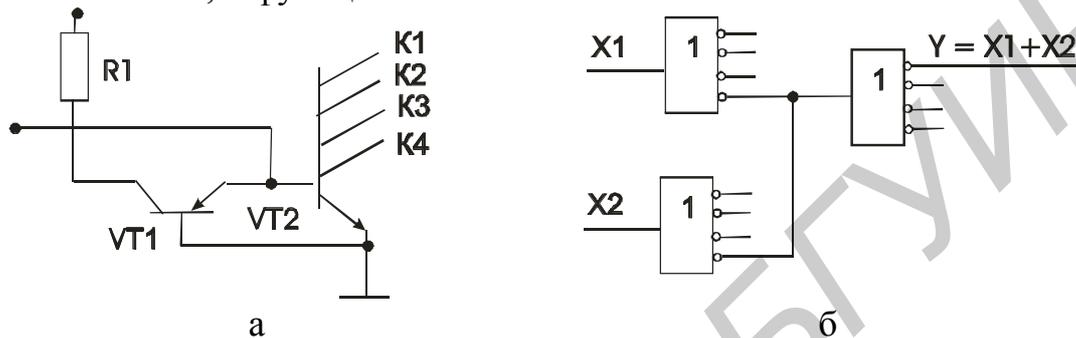


Рис. 2.14

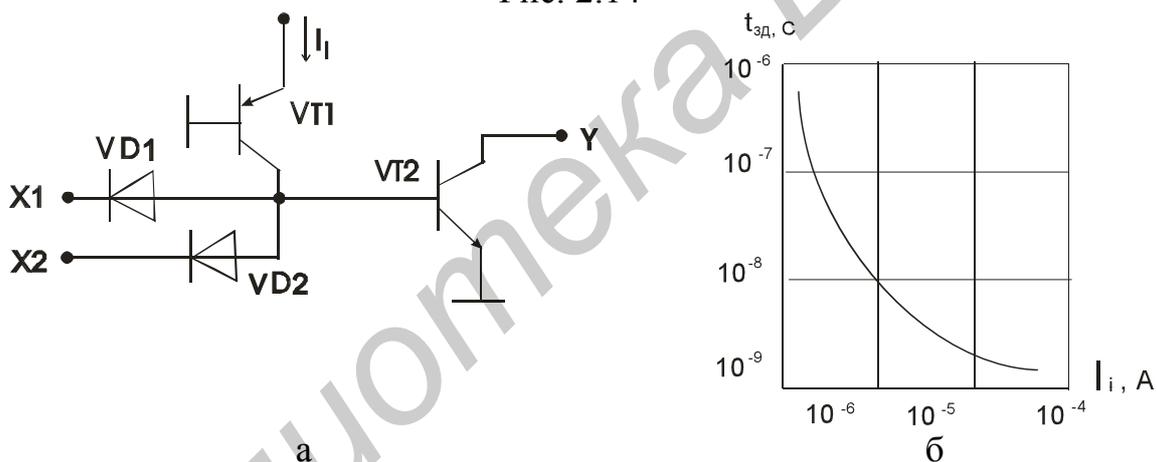


Рис. 2.15

Малая площадь ИС, занимаемая на кристалле, получается вследствие того, что одна область р-типа служит функциональным элементом одновременно для двух диодов, для коллектора транзистора VT1 (структуры p-n-p) и для базы транзистора VT2 (структуры n-p-n), другая область n-типа является базой VT1 и эмиттером VT2. Он очень похож на элемент ДТЛ, однако здесь базовый ток выходного транзистора протекает не через резистор, а через p-n-p-транзистор, который работает в режиме источника постоянного тока. Такая комбинация p-n-p- и n-p-n-транзисторов, реализуемая с помощью специального технологического процесса, занимает на кристалле очень малую площадь.

На рис. 2.15, б приведен график зависимости между временем задержки и инжектируемым током. Инжектируемый ток I_i может изменяться в широких пределах применительно к различным потребностям. Чем больше его величина, тем меньше время задержки распространения сигнала.

К достоинствам И2Л-элементов можно отнести:

- возможность работы в широком диапазоне токов ($10^{-9} \dots 10^{-2}$ А);
- возможность сохранения логического состояния И2Л-схем переводом в режим микротоков, когда они не работают в предельном частотном режиме или вообще должны находиться в нерабочем состоянии;
- простоту разветвления сигнала на выходе за счёт добавления коллекторов в ключевом транзисторе, чрезвычайно низкую мощность рассеяния, высокую плотность компоновки ($3 \cdot 10^2$ мкм²) и малую площадь на кристалле, что делает её идеальной для СБИС;
- возможность создания инжекционно-полевых структур, для чего ключевой транзистор заменяют на полевой в вертикальном канале (в этом направлении ведутся большие исследования).

Основной недостаток И2Л-элемента: площади коллекторов меньше площади эмиттера, т. е. транзистор работает в инверсном включении. Это в значительной степени определяет технологию изготовления И2Л-элементов и создаёт основные трудности при их реализации. К другим недостаткам интегральных схем инжекционно-полевой логики следует отнести прежде всего технологические трудности получения и воспроизведения геометрических размеров канала при массовом производстве схем. Несмотря на большие успехи в области разработки БИС и СБИС на И2Л-элементах, разработчикам и технологам предстоит решить ещё много сложных задач.

Основные требования, предъявляемые к элементной базе БИС и СБИС, – высокая плотность элементов на кристалле, малая мощность рассеяния и технологичность структур при достаточно высоком выходе годных приборов и низкой их стоимости. Для повышения плотности компоновки совершенствуют полупроводниковую технологию. В частности, уменьшают линейные размеры компонентов, увеличивают площадь кристалла до такой степени, когда производство базовых кристаллов ещё экономически целесообразно, а также увеличивают функциональные возможности базового элемента, применяют схемотехнику, обеспечивающую большую плотность компоновки в интегральном исполнении, упрощают схему, в частности исключением буферных усилителей на входе или выходе логических элементов. Снижение мощности рассеяния кристаллов БИС и СБИС возможно при уменьшении напряжения питания, уменьшении логического перепада, совершенствовании добротности полупроводниковых компонентов, применении многоярусных схем на переключателях тока. Оценивая современное положение в области технологии биполярных схем, необходимо отметить, что она переживает подлинное возрождение в связи с переходом в область субмикронных размеров.

2.3.7. Логические элементы МОП- и КМОП- структуры

Схема инвертирующего логического элемента на полевом транзисторе с индуцированным n-каналом приведена на рис. 2.16, а, а его передаточная характеристика на рис. 2.16, б.



Рис. 2.16

При подаче на вход уровня логической единицы выходной сигнал будет определяться выражением

$$U_{\text{вых}}^0 = U_{\text{и.п}} R_{\text{к}} / (R_{\text{с}} + R_{\text{к}}), \quad (2.34)$$

где $R_{\text{к}}$ – сопротивление канала открытого транзистора.

Если подать на затвор нулевой потенциал, т.е. низкий уровень, p-канал разомкнется (поскольку затвор и исток будут короткозамкнуты, между ними не будет разности потенциалов). На выходе появится напряжение высокого логического уровня – потенциал $U_{\text{и.п}}$, точнее выходная цепь через $R_{\text{с}}$ окажется соединенной с положительным полюсом источника питания.

Впоследствии выяснилось, что РТЛ-цифровые элементы сами по себе как базовые оказались непрактичными для массовых микросхем прежде всего из-за низкого быстродействия. Действительно, при $R_{\text{с}} = 100$ кОм и емкости нагрузки $C_{\text{н}} = 30$ пФ время переключения составит

$$t_{\text{зд}}^{1,0} = 2,2 R_{\text{н}} C_{\text{н}} = 6,6 \text{ мкс}. \quad (2.35)$$

Иначе говоря, быстродействие микросхем на базе полевых ключей с резистивной нагрузкой не должно превышать 150 кГц.

Увеличить быстродействие на порядок позволяет последовательное (столбиком) соединение p- и n-канальных МОП-транзисторов. Тогда резистор $R_{\text{с}}$ в схеме не нужен, а заряд и разряд паразитных нагрузочных емкостей будет происходить через относительно небольшие сопротивления p- и n-каналов $R_{\text{к}}^{\text{p}}$ и $R_{\text{к}}^{\text{n}}$.

Чтобы получить более полное представление о свойствах входной и выходной цепей КМОП-инвертора, полезно рассмотреть поперечное сечение того участка кремниевой n-подложки, где он расположен. Такой эскиз показан на рис. 2.17, а. Следует учесть, что по горизонтали размер этой структуры не более 50 мкм, а по вертикали менее 10 мкм (толщина в буквальном смысле несущей n-подложки 300 мкм). Вблизи поверхности подложки расположена диффузионная область p-примеси, чтобы сделать «карман». Знаками p^+ обозначены области истока и стока p-канального МОП-транзистора с повышенной концентрацией дырок. Для n-канального МОП-транзистора сделаны в «кармане» две высоколегированные n^+ -области. Здесь избыток электронов – это области истока и стока. С помощью металлизации поверхности кристалла элементы структуры соединяются в схему инвертора (рис. 2.17, б). К затворам присоединен защит-

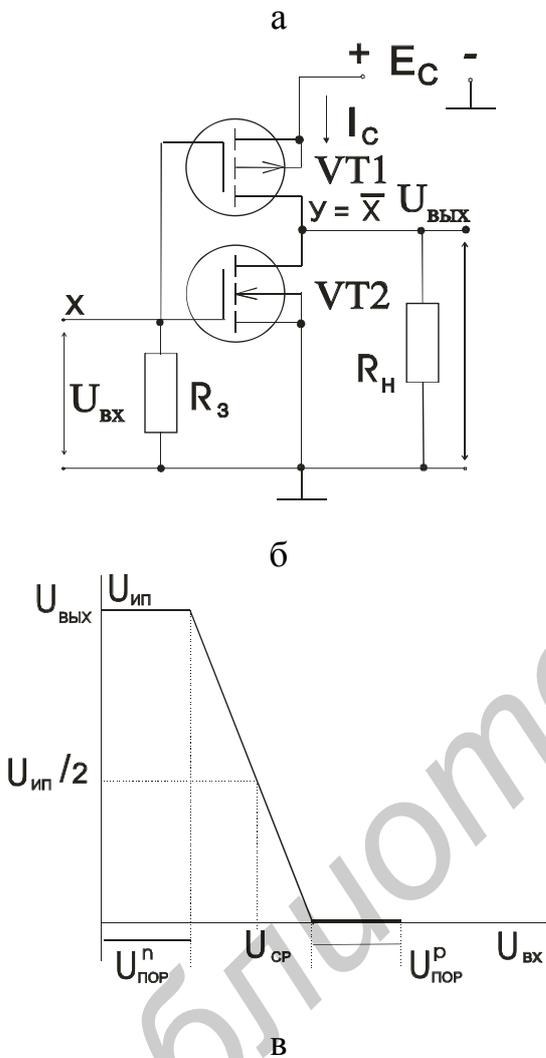
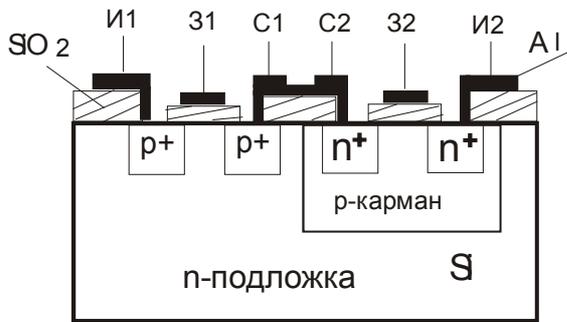


Рис. 2.17

каналльного, так и р-канального транзистора: сопротивление канала $R_K \ll R_H$. Это условие выполняют для специально конструируемых мощных инверторов КМОП, работающих на выходах микросхем. Напомним, что малое сопротивление канала R_K равноценно повышенной крутизне усиления S полевого транзистора. Пределы $I_{\text{ВЫХ}}^0$ и $I_{\text{ВЫХ}}^1$ для окончных буферных инверторов обычно оговариваются. Если их превысить, структура может разрушиться. Оконечные транзисторы с большой крутизной занимают значительную часть площади кристалла микросхемы.

ный стабилитрон. На рисунках стабилитрон не показан, но он присутствует в структуре обязательно, иначе вход инвертора будет пробит статическим электричеством. Природу пробоя тонкого окисного слоя SiO_2 можно уяснить, вспомнив формулу заряда конденсатора $C = q/U$. Затвор и поверхность подложки суть обкладки конденсатора C . Если в нем накопится случайный заряд q , потенциал между обкладками станет U . Если заряд станет чрезмерным, напряжение на конденсаторе U превысит напряжение пробоя тонкого слоя диэлектрика SiO_2 (толщина примерно равна 1 мкм). Величина входной емкости составляет величину 5...15 пФ.

Цифровые микросхемы должны быть крайне устойчивы к таким явлениям, как пробой от статического или наведенного от силовых сетей электричества. Защита прежде всего гарантируется их структурой. Стоковое напряжение (плюс источника питания) подключается на n -подложку. Низкий уровень напряжения питания присоединяется к специальной шине, соединяющей «карманы» (см. рис. 2.17, а).

Чтобы высокий и низкий уровни $U_{\text{ВЫХ}}^1$ и $U_{\text{ВЫХ}}^0$ инвертора максимально приближались к напряжениям $U_{\text{и.п}}$ и 0 В, необходимо выполнить следующее условие как для n -

Передаточная характеристика логического элемента «НЕ» приведена на рис. 2.17, в.

Если технологическими способами уравнивать R_K^p и R_K^n , то выходные фронты ЛЭИ $t_{0,1}$ и $t_{1,0}$ окажутся одинаковыми.. При $t_{0,1} \approx t_{1,0} \leq 150$ нс можно ожидать быстродействия логических устройств на уровне 3...5 МГц.

Чтобы сохранить эти скорости обработки данных при обслуживании большого числа входов внешних ЛЭН (это входы других корпусов микросхем КМОП), требуется, чтобы ЛЭИ, работающие на выходах микросхем (буферные элементы), имели малые сопротивления каналов. Наибольшие импульсные токи $I_{\text{ВЫХ}}^0$ и $I_{\text{ВЫХ}}^1$ отдают выходы ЛЭИ, обслуживающие шины данных системы, т. е. провода, к которым присоединяется с одной стороны много выходов ЛЭИ, а с другой – много входов ЛЭН. Такие шины иногда называют тяжело нагруженными. Для их обслуживания следует применять специальные буферные элементы – шинные формираторы.

Необходимо принимать особые меры защиты элементов КМОП. Во-первых, все входные сигналы не должны выходить за пределы напряжения питания $U_{\text{ип}}$. Если проектируются мультивибраторы (автогенераторы и ждущие), в них следует ограничивать токи перезарядки конденсаторов микроамперными уровнями, включая последовательные резисторы. Во-вторых, входы КМОП не должны оставаться неприсоединенными. Реально опасны случаи разъединения печатных плат, находящихся под питанием, когда через разъем сигналы от одной платы поступают на другую. Здесь следует предусматривать шунтирующие резисторы (к проводам $U_{\text{ип}}$ или нулевому). В-третьих, многие микросхемы КМОП могут работать от сигналов ТТЛ. Здесь следует подключать резисторы утечки от входа КМОП на питание ТТЛ 5 В.

Следует принимать меры защиты выходов микросхемы КМОП. Надо избегать случайных замыканий выходов буферных элементов с повышенным выходным током на провод питания. Нельзя соединять выходы обычных элементов непосредственно, поскольку произойдет замыкание одного из каналов на источник питания.

Если требуется параллельное соединение входов и выходов элементов, они должны быть в одном корпусе микросхемы. Нельзя применять емкости нагрузки $C_H > 5000$ пФ для буферных и высоковольтных оконечных элементов, поскольку такой незаряженный конденсатор равноценен перемычке короткого замыкания.

Микросхемы КМОП выпускались серийно. Первые микросхемы такой структуры были низковольтными. Это отечественная серия К176 и аналогичная зарубежная CD4000 А. Напряжение питания для микросхем этих серий было равно 9 В. Оно лимитировалось напряжением пробоя n-кармана (см. рис. 2.17, а). Принципиальная схема логического элемента К176ЛП1 представлена на рис. 2.18, а. На его основе можно создать схемы, выполняющие логическую операцию ЗИ- НЕ (рис. 2.18, б) либо ЗИЛИ - НЕ (рис. 2.18, в).

Последующая эволюция технологии позволила повысить предел напряжения питания $U_{\text{ип}}$ до 15 В. Вместе с тем нижний предел $U_{\text{ип}}$ составляет

3 В. Быстродействие микросхем КМОП растет пропорционально увеличению напряжения питания. Поэтому для усовершенствованных серий К561 (аналог – серия CD4000 В) при $U_{\text{ип}} = 15 \text{ В}$ типовое значение времени $t_{\text{зд.р.ср}} = 50 \text{ нс}$ на логический элемент, при статической рассеиваемой мощности 0,4 мкВт на элемент.

Перспективная, так называемая HCMOS-логика (здесь H – первая буква слова high – высококачественная) выполняется с помощью процессов ионной имплантации, заменяя металлические пленки областей затворов на поликремниевые. Микросхемы такого исполнения конкурируют по быстродействию (10...15 нс) с микросхемами на структурах с барьером Шотки, конкретно с ТТЛ-серией 74LS (К555).

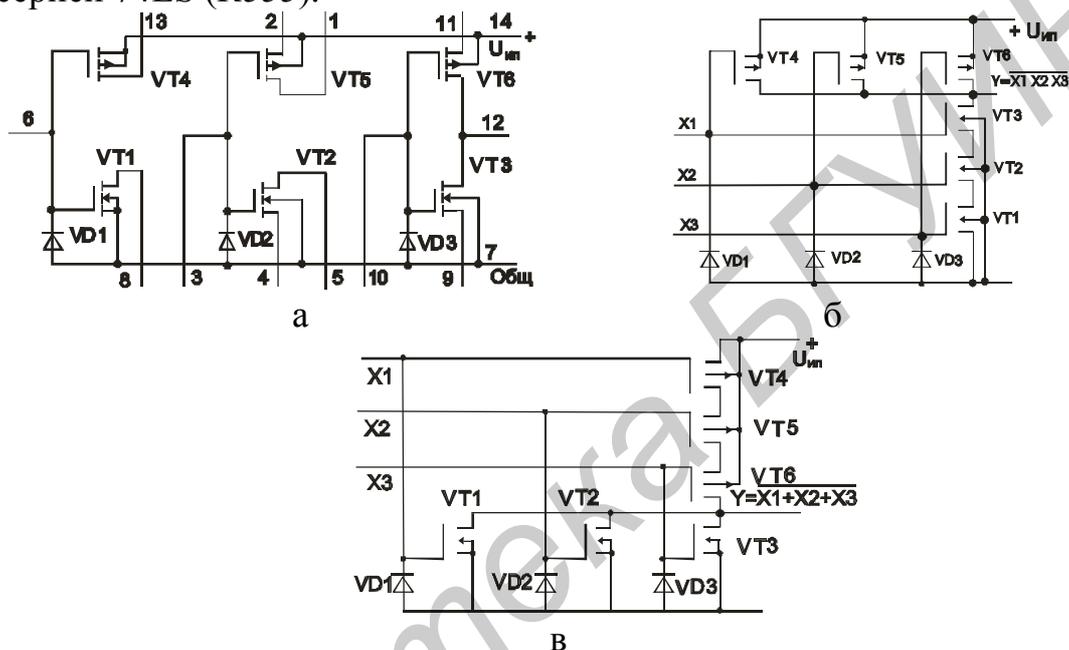


Рис. 2.18

Некоторые примеры использования транзисторных структур и логических элементов. На базе МОП-транзисторов с индуцированным n-каналом строятся ячейки динамических запоминающих устройств. Электрическая схема такого элемента памяти и его структура приведены на рис. 2.19, а, б соответственно.

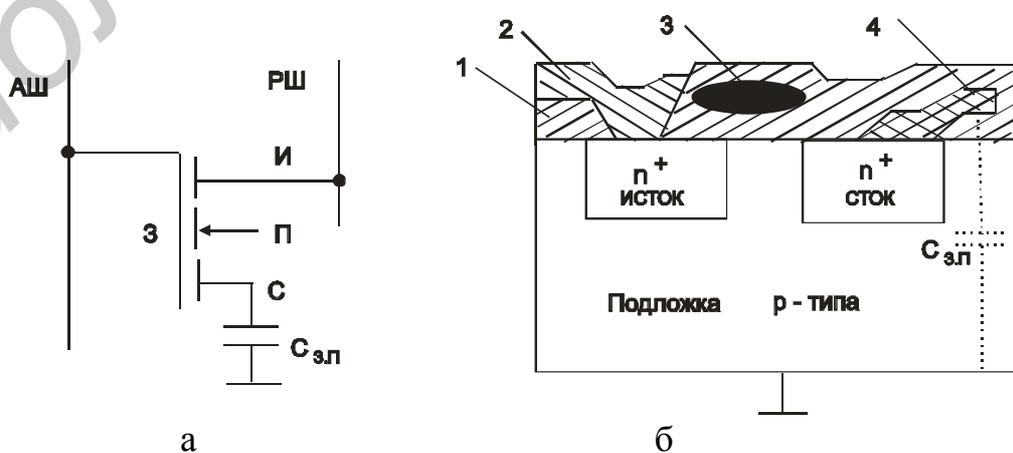


Рис. 2.19

Адресной шиной является область 3 затвора, разрядная шина РШ – это область истока, к которой подведен слой металлизации 1, область стока со слоем 4 из поликристаллического кремния образует емкость относительно подложки $C_{з.п}$ запоминающего элемента. Область 2 – изоляционный слой окисла кремния.

Функции элементов памяти могут также выполнять транзисторы со структурой МНОП (металл Al – нитрид кремния SiN_4 – окисел кремния SiO_2 – полупроводник Si) или транзисторы со структурой ЛИЗМОП (металл – окисел кремния – полупроводник с лавинной инжекцией заряда). На их основе строятся микросхемы РПЗУ (репрограммируемых запоминающих устройств). Их подразделяют на две группы: стираемые электрическим сигналом (ЭСПЗУ) и стираемые УФ-излучением (СППЗУ). Микросхемы ЭСПЗУ содержат элементы памяти типа МНОП или ЛИЗМОП с двойным затвором. В микросхемах СППЗУ применяется также ЛИЗМОП-элемент памяти (ЭП) с двойным затвором, отличающийся от аналогичных ЭП в микросхемах ЭСПЗУ тем, что требует для стирания УФ-излучение.

Элемент памяти со структурой МНОП представляет собой МОП-транзистор с индуцированным каналом n- или p-типа, имеющий двуслойный диэлектрик под затвором. Верхний слой сформирован из нитрида кремния, нижний – из окисла кремния, причем нижний слой значительно тоньше верхнего. Если к затвору относительно подложки приложить импульс напряжения положительной полярности с амплитудой 30...40 В, то под действием сильного электрического поля между затвором и подложкой электроны получают достаточную энергию, чтобы преодолеть тонкий диэлектрический слой и попасть на границу раздела двух диэлектриков. Поскольку верхний слой имеет значительную толщину, то электроны не могут его пройти и накапливаются внутри подзатворного слоя. Накопленный под затвором заряд электронов снижает пороговое напряжение МНОП-транзистора и тем самым смещает передаточную характеристику влево (рис. 2.20, а, б). Состояние ЭП с зарядом под затвором соответствует логической «1». Состояние ЭП без заряда под затвором соответствует логическому «0».

В этом состоянии передаточная характеристика МНОП-транзистора занимает положение с более высоким порогом отпирания. Процесс программирования микросхем ЭСППЗУ происходит в два этапа. На первом этапе стирают информацию во всех МНОП-элементах памяти. Для этого импульсом напряжения отрицательной полярности, прикладываемым на затвор относительно подложки амплитудой 30...40 В, электроны вытесняются из подзатворного диэлектрика в подложку. Следовательно, при стирании информации элемент памяти получает состояние логического «0». На втором этапе производят выборочную запись в нужные ЭП логической «1» импульсом напряжения положительной полярности, подаваемым на затвор относительно подложки. На практике режимы стирания и записи осуществляют напряжением одной полярности: отрицательной для p-МНОП-элементов и положительной для n-МНОП-элементов памяти. Эта возможность основана на использовании явления лавинной инжекции

электронов под затвор, которая происходит при соединении затвора с подложкой и подаче на сток и исток импульса напряжения относительно подложки и затвора такой полярности, чтобы переходы между подложкой и стоком (исток) оказались под обратным смещением. Амплитуда импульса должна быть достаточной для возникновения в переходах электрического пробоя. Типичные значения напряжения программирования лежат в пределах 20...30 В. В результате электрического пробоя переходов в них происходит лавинное размножение носителей заряда и инжекция части этих носителей, обладающих достаточной кинетической энергией, на границу между слоями подзатворного диэлектрика.

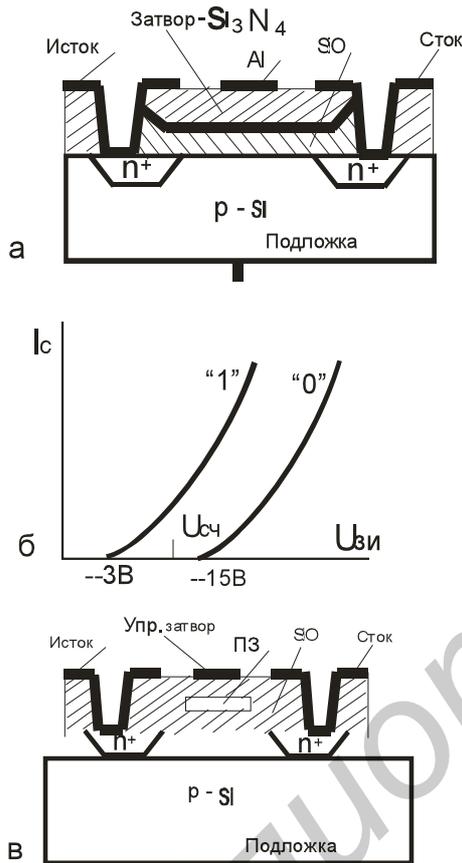


Рис. 2.20

каналальный МОП-транзистор, у которого в подзатворном однородном диэлектрике окисла кремния сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот затвор получил название «плавающий», поскольку при наведении на нем электрического заряда его потенциал может изменяться в широких пределах, т. е. быть «плавающим». В режиме программирования на управляющий затвор, исток и сток подают импульс напряжения программирования положительной полярности с амплитудой 21...25 В. В обратносмещенных переходах сток – подложка и исток – подложка возникает процесс лавинного размножения носителей заряда и часть электронов инжектирует на плавающий затвор. В результате накопления на нем отрицательного заряда передаточная характеристика транзистора смещается вправо, т. е. в

При считывании на затвор подают напряжение $U_{сч}$, значение которого лежит между двумя пороговыми уровнями. Если в МНОП-транзистор записана единица, то он откроется, а при нуле останется в закрытом состоянии. Микросхемы с элементами памяти на р-МНОП-транзисторах имеют сравнительно низкое быстродействие, высокое напряжение программирования 30...40 В и требуют двух источников питания. Для улучшения характеристик микросхем ЭСППЗУ широко применяют технологию n-канальных МНОП-структур. Такие элементы памяти устроены аналогично рассмотренным, но имеют обратный тип проводимости подложки, стока и истока. Микросхемы на n-МНОП-транзисторах обладают втрое превосходящим быстродействием, сниженным до 21...25 В напряжением программирования и работают от одного источника питания.

Элемент памяти на транзисторе ЛИЗ-МОП с двойным затвором показан на рис. 2.20, в. Он представляет собой n-

область более высокого порогового напряжения, что соответствует записи в элемент памяти логического «0». Стирание записанной информации осуществляют вытеснением заряда с плавающего затвора. Эту процедуру выполняют двумя способами; в микросхемах ЭСПЗУ – импульсом напряжения на управляющем затворе положительной полярности, а в микросхемах СПЗУ – с помощью УФ-излучения, под воздействием которого в результате усиления теплового движения электроны рассасываются с плавающего затвора, перемещаясь в подложку. Состояние ЛИЗМОП-элемента памяти без заряда на плавающем затворе соответствует логической «1».

В этом состоянии транзистор имеет более низкий пороговый уровень, т. е. его передаточная характеристика смещается влево. В режиме считывания микросхемы РПЗУ с элементами памяти на ЛИЗМОП-структурах работают так же, как микросхемы с МНОП-элементами памяти. РПЗУ относятся к группе энергонезависимых. При отсутствии достаточно высоких напряжений, какими являются напряжения программирования, состояния элементов памяти на МНОП- и ЛИЗМОП-транзисторах могут оставаться неизменными длительное время как при наличии питания, так и при его отсутствии. Например, для микросхемы СПЗУ К573РФ6 гарантийный срок сохранения информации без питания составляет около пяти лет.

На основе ЛИЗМОП технологии разработана флэш-память. По основным принципам работы и типу запоминающих элементов флэш-память (Flash-Memory) подобна ППЗУ с электрической записью и стиранием информации. Флэш-память имеет ряд особенностей, что и позволяет выделить ее в отдельный класс. В ней осуществляется стирание или всей записанной информации одновременно, или больших блоков информации, а не стирание отдельных слотов (Flash – вспышка, мгновение).

Флэш-память предназначена для хранения редко обновляемой информации и замены памяти на магнитных дисках (жесткий диск) в портативных компьютерах.

Матрица запоминающих элементов флэш-памяти, построенная на ЛИЗМОП-транзисторах с параллельным включением, обеспечивает режим быстрого произвольного доступа и используется для построения памяти хранения редко обновляемой информации.

Так, фирма Intel разработала флэш-память, которая допускает до 10⁵ циклов стирания, причем время стирания и время программирования всей памяти составляет 0,6...4,0 с для памяти емкостью 256 Кбит – 2 Мбит, а время доступа при чтении составляет примерно 100 нс.

Для замены файлов на магнитных дисках разработана файловая флэш-память (Flash-File-Memory), в которой накопитель (матрица запоминающих элементов) делится на блоки, являющиеся аналогами секторов магнитных дисков.

Так, файловая флэш-память фирмы Intel имеет информационную емкость до 32 Мбит (организация 2М*16 или 4М*8) при времени доступа 70 – 150 нс и допускает до 106 циклов стирания на блок.

Можно построить схему, выполняющую функцию «исключающее ИЛИ» на базе логических элементов «И-НЕ» либо на элементах «ИЛИ-НЕ» (рис. 2.21, а, б) с прямым и инверсным выходом соответственно. На этих же рисунках приведено уравнение данной логической операции и таблица состояний, а также условное обозначение элемента рис. 2.21, в.

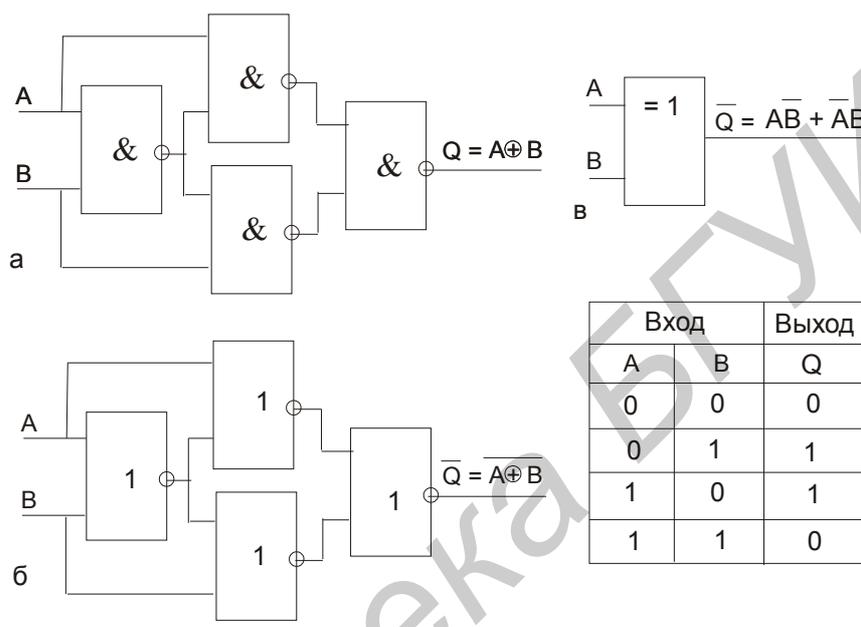


Рис. 2.21

Логический элемент с тремя состояниями на выходе – это такой элемент, который имеет дополнительный вход (Enable output), дающий разрешение по выходу. Это, например, логические схемы «И-НЕ» серии К531 (ЛА17, ЛА19), рис. 2.22. Здесь же приводится таблица состояний данного логического элемента.

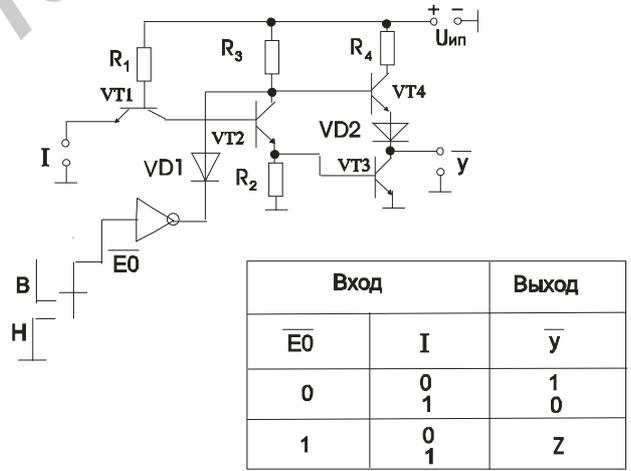


Рис. 2.22

Эта схема имеет третье выходное состояние «Z», когда выход размыкается. Если на вход \overline{EO} подать высокий уровень, то катод диода VD1 будет иметь низкий уровень, вследствие того, что он подключен к выходу инвертора. Коллектор VT2 также будет иметь низкий потенциал и будет закрыт, вследствие чего транзисторы VT3 и VT4 также будут закрыты. Следовательно, выход « \overline{Y} » как бы «висит» в воздухе, т. е. схема переходит в состояние «Z». При подаче на вход \overline{EO} уровня логического нуля элемент будет работать в обычном режиме.

Микросхемы 533ЛПЗ, К1533ЛПЗ представляют элементы мажоритарной логики 2 из 3, что отражает рис. 2.23 и таблица его состояний.

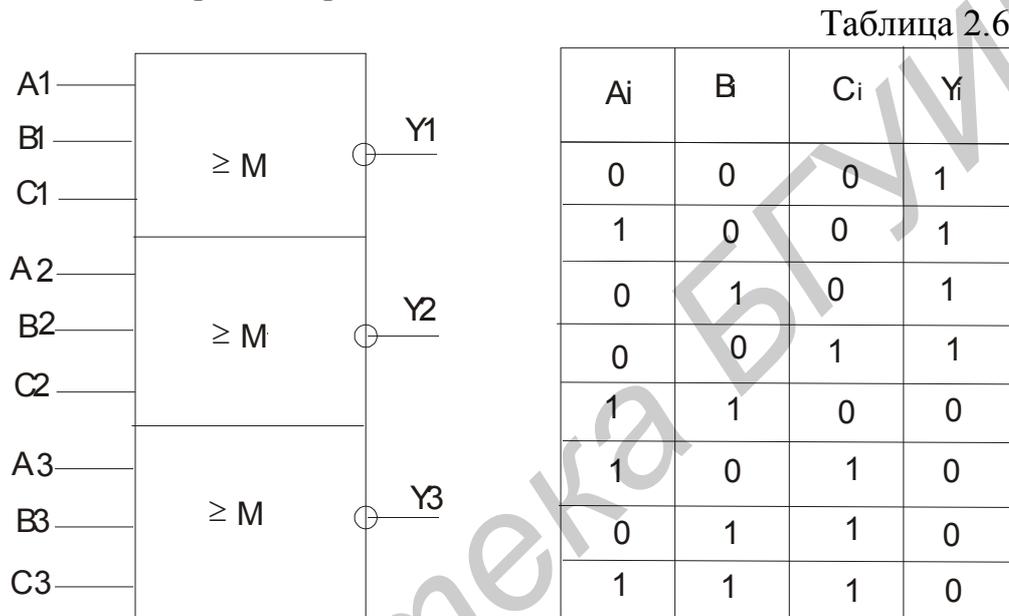


Рис. 2.23

При подаче на любые два входа из трех напряжения высокого уровня на выходе устанавливается напряжение низкого уровня. Таблица переключений отражает работу этой схемы. Во всех остальных случаях на выходе присутствует сигнал логической единицы.

2.3.8. Комбинационные логические устройства

Комбинационной называют логическую схему без запоминания переменных (логические схемы, не имеющие памяти), при этом выходные сигналы определяются комбинацией входных сигналов.

Дешифраторы. Это устройства, распознающие кодовые комбинации или схемы, используемые для преобразования n-разрядного двоичного кода в определенную комбинацию сигналов на выходе. Они строятся на базе конъюнкторов или других логических схем. Любую схему «И» можно рассматривать как элемент дешифратора. Для n-разрядного кода число кодовых комбинаций равно 2^n . Поэтому полный дешифратор должен иметь n входов и 2^n выходов. Так как в код числа входят как единицы, так и нули, а схема «И» реагирует только

на единичные уровни, то для работы конъюнкторов можно использовать инверсные сигналы.

Рассмотрим схему простейшего линейного дешифратора (рис. 2.24). Данная схема имеет два прямых и два инверсных входа и четыре выхода. На выходе указаны комбинации входных сигналов, которые расшифровываются, – при этом на соответствующих выходах $A1 \dots A4$ будет присутствовать единичный уровень.

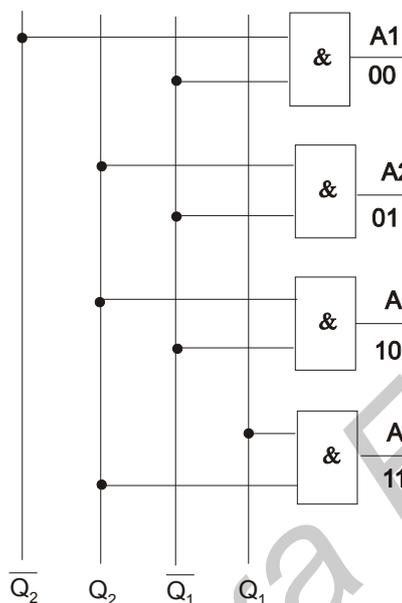


Рис. 2.24

Мультиплексоры. В ряде случаев необходимо осуществить опрос логических состояний большого количества логических схем и передачи этих состояний на один выход. Устройство, это обеспечивающее, называется мультиплексором (коммутатором). Мультиплексор реализует логическую функцию

$$F_1 = X_1 \cdot \bar{V}_k \dots \bar{V}_1 + X_2 \bar{V}_k \dots \bar{V}_2 \cdot V_1 + \dots X_{n-1} V_k \dots V_2 \cdot \bar{V}_1 + X_n \cdot V_k \dots V_1, \quad (2.36)$$

где V – адресные входы, X – информационные входы.

Для управления работой мультиплексоров используются дешифраторы. Схема двухступенчатого мультиплексора на $V = 2$ и $X = 4$ показана на рис. 2.25.

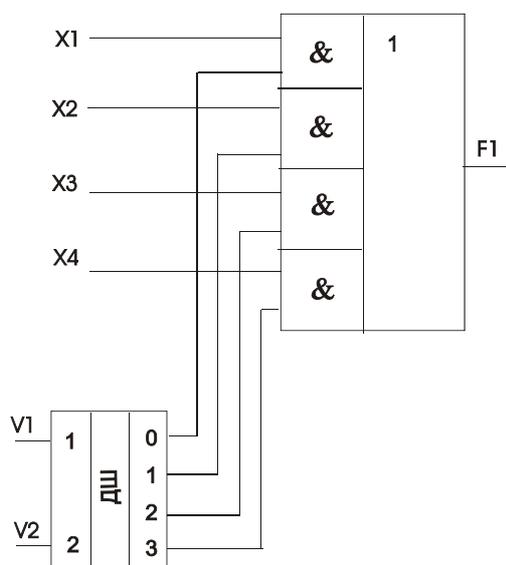


Рис. 2.25

Мультиплексор построен как совокупность двухвходовых конъюнкторов (их число равно числу информационных входов), которые управляются дешифратором, имеющим количество выходов, равное числу информационных входов. Выходы конъюнкторов объединены схемой «ИЛИ». Недостатком двухступенчатых схем является большое время задержки сигнала в дешифраторе и конъюнкторе.

Схема мультиплексора, построенная по принципу линейного преобразования, приведена на рис. 2.26.

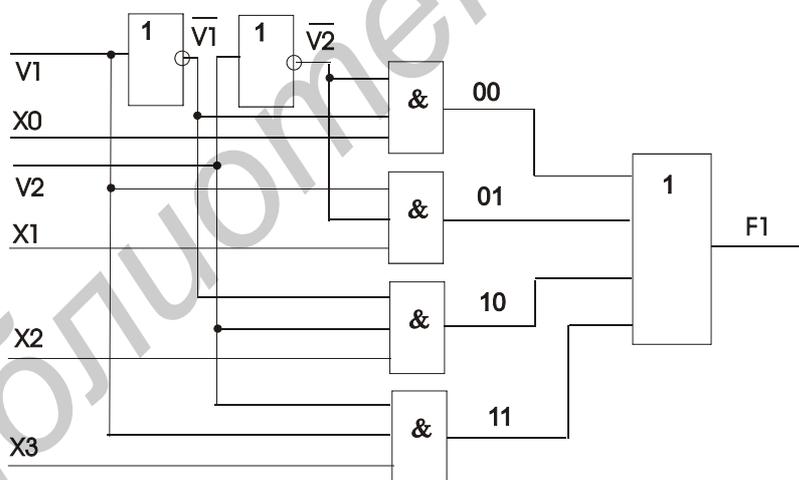


Рис. 2.26

Работа его описывается выражением

$$F_1 = \bar{V}_1 \cdot \bar{V}_2 \cdot X_0 + V_1 \cdot \bar{V}_2 \cdot X_1 + \bar{V}_1 \cdot V_2 \cdot X_2 + V_1 \cdot V_2 \cdot X_3. \quad (2.37)$$

Если, к примеру, $V_1 = 0$, $V_2 = 1$, то

$$F_1 = 1 \cdot 0 \cdot X_0 + 1 \cdot 0 \cdot X_1 + 1 \cdot 1 \cdot X_2 + 0 \cdot 1 \cdot X_3 = X_2, \quad (2.38)$$

и т. д.

По рассмотренному принципу может быть построена любая логическая схема мультиплексора. С помощью «n» адресных входов можно выбрать один из 2^n информационных сигналов.

Демультимплексоры. Это схема, осуществляющая передачу одного информационного сигнала (X_1) на « n » информационных выходов. Она еще называется распределителем и осуществляет функцию, обратную функции мультиплектора. Работа демультимплексора описывается следующими логическими уравнениями:

$$F_1 = X_1 \cdot \bar{V}_{k\dots} \cdot \bar{V}_2 \cdot \bar{V}_1 \quad (2.39)$$

$$F_2 = X_1 \cdot \bar{V}_{k\dots} \cdot \bar{V}_2 \cdot V_1 \quad (2.40)$$

$$F_{n-1} = X_1 \cdot V_{k\dots} \cdot \bar{V}_2 \cdot \bar{V}_1 \quad (2.41)$$

$$F_n = X_1 \cdot V_{k\dots} \cdot V_2 \cdot V_1 \quad (2.42)$$

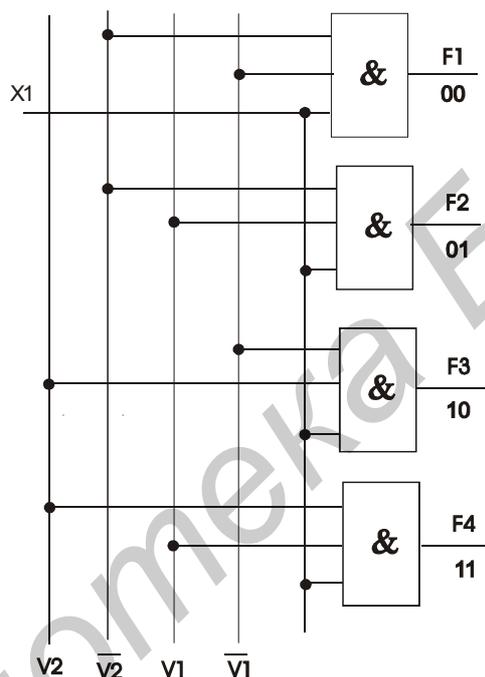


Рис. 2.27

Если мультиплексор имеет k управляющих входов $V_k \dots V_1$, то количество выходов $n = 2^k$. Демультимплексор с прямыми и инверсными управляющими входами приведен на рис. 2.27.

Демультимплексоры можно использовать для преобразования последовательного кода в параллельный, а применение мультиплектора вместе с демультимплексором обеспечивает последовательную передачу информации с преобразованием параллельного кода в последовательный и последовательного в параллельный (рис. 2.28).

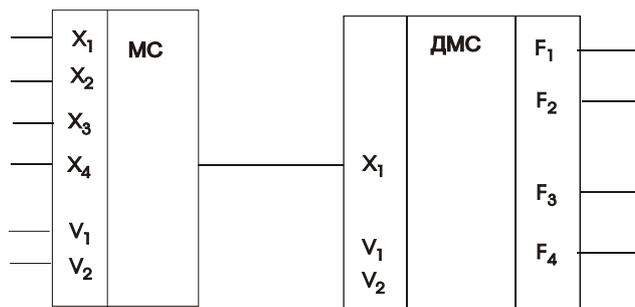


Рис. 2.28

Сумматоры. Сумматором называется схема, предназначенная для сложения двоичных чисел. Полная таблица истинности одноразрядного сумматора и соответствующие ей карты Карно имеют вид (табл. 2.7, 2.8, 2.9). Результат представляется кодами суммы S_i и переноса P_i .

Таблица 2.7

X_i	Y_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Таблица 2.8

$X_i Y_i$	00	01	11	10
P_{i-1}				
0	0	1	0	1
1	1	0	1	0

Для суммы получим

$$S_i = \bar{P}_{i-1} \cdot \bar{X}_i \cdot Y_i + \bar{P}_{i-1} \cdot X_i \cdot \bar{Y}_i + P_{i-1} \bar{X}_i \cdot \bar{Y}_i + P_{i-1} \cdot X_i \cdot Y_i. \quad (2.43)$$

Таблица 2.9

$X_i Y_i$	00	01	11	10
P_{i-1}				
0	0	0	1 a	0
1	0	1 c	1 b	1

Для переноса

$$P_i = P_a + P_b + P_c = X_i \cdot Y_i + P_{i-1} \cdot Y_i + P_{i-1} \cdot X_i. \quad (2.44)$$

Преобразуя эти выражения, получим в базисе «И-НЕ»

$$S_i = (\bar{X}_i / \bar{Y}_i / P_{i-1}) / (\bar{X}_i / Y_i / \bar{P}_{i-1}) / (X_i / \bar{Y}_i / P_{i-1}) / (X_i / Y_i / P_{i-1}), \quad (2.45)$$

$$P_i = (X_i / Y_i) / (X_i / P_{i-1}) / (Y_i / P_{i-1}). \quad (2.46)$$

На рис. 2.29 приведена схема сумматора, составленная на основе приведенных логических выражений.

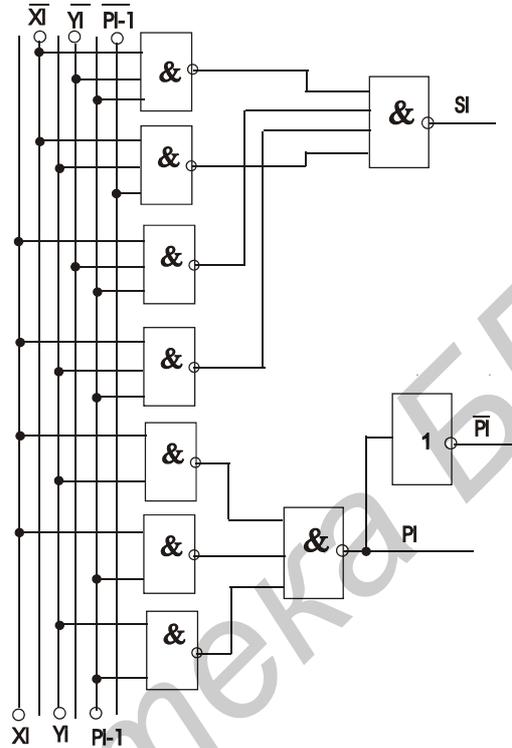


Рис. 2.29

К сумматорам относятся микросхемы К155ИМ1, К155ИМ2, К155ИМ3 и ряд других.

3. ТРИГГЕРЫ

Триггер является элементарной ячейкой памяти и может находиться в двух состояниях: «0» и «1». Простейший триггер имеет два информационных входа S_n , R_n и один выход Q_n . Для описания работы триггеров используют таблицы истинности, которые называются таблицами переключений. Эти таблицы иллюстрируют переход уровней выходного сигнала от предыдущего Q_n состояния к последующему Q_{n+1} . Установка триггера в состояние «1» осуществляется по входу, обозначаемому S_n , а в состояние «0» – по входу R_n . Таблицу переключения элементарного триггера можно представить в следующем виде (табл. 3.1).

Таблица 3.1

S_n	R_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	x
1	1	1	x

Здесь «х» обозначает неопределённое состояние триггера. В зависимости от того, как реализуется состояние неопределённости «хх», различают следующие разновидности простейших триггеров:

«11» – RS-триггер с инверсными входами;

«00» – RS-триггер с прямыми входами;

«01» – E-триггер;

«10» – JK-триггер.

Анализ работы, составление уравнений и схем триггеров проведём, используя карты Карно (табл. 3.2).

Таблица 3.2

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	X	1
1	1	0	X	1

3.1. Асинхронные триггеры

RS-триггер с инверсными входами. Проведём замену состояния неопределённости сочетанием «11». Карта Карно имеет вид (табл. 3.3):

Таблица 3.3

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	1	1
1	1	0	1	1

<a>

Объединяя единицы в этой карте, получим два контура «а» и «b», а минимально дизъюнктивная форма записи будет такова: $Q_{n+1} = Q_a + Q_b$, или $Q_{n+1} = S_n + Q_n \cdot \bar{R}_n$. Используя правило де Моргана, получим

$$Q_{n+1} = \overline{\overline{S_n} \cdot \overline{Q_n} \cdot \overline{R_n}}. \quad (3.1)$$

Из уравнения видно, что принципиальная схема триггера наиболее просто может быть реализована на логических элементах «И-НЕ» (рис. 3.1):

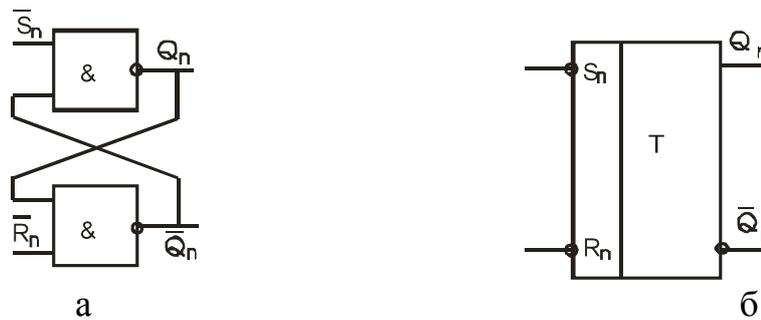


Рис. 3.1

На этих схемах инверсный выход обозначен \bar{Q}_n . На рис. 3.1, а приведена принципиальная схема, а на рис. 3.1, б дано условное графическое обозначение RS-триггера с инверсными входами.

RS-триггер с прямыми входами. В таблице Карно заменим состояние неопределённости «xx» сочетанием «00» (табл. 3.4).

Таблица 3.4

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	0	1<a>
1	1	0	0	1

Проведём минимизацию, объединяя контуры «а» и «б». Минимальную форму для этих контуров запишем в виде выражения

$$Q_{n+1} = S_n \cdot \bar{R}_n + Q_n \cdot \bar{R}_n. \quad (3.2)$$

Это выражение преобразуем к виду

$$Q_{n+1} = \bar{R}_n \cdot (S_n + Q_n) = \bar{R}_n + \overline{(S_n + Q_n)}. \quad (3.3)$$

Схему триггера, как это видно из последнего выражения, легче всего реализовать на логических элементах «ИЛИ-НЕ» (рис. 3.2, а – принципиальная схема, рис. 3.2, б – условное графическое обозначение).

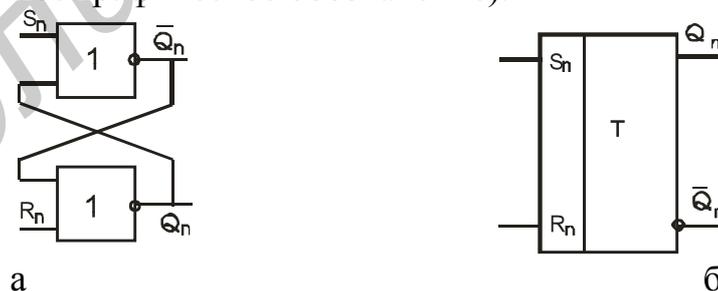


Рис. 3.2

Е-триггер. Если в карте Карно вместо сочетания «xx» для выходной функции подставить переменные «01», то получим выражение для так называемого Е-триггера (табл. 3.5):

Таблица 3.5

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	0	1<a>
1	1	0	1	1

<c>
<c>

$$Q_{n+1} = Q_a + Q_b + Q_c = S_n \cdot \overline{R_n} + S_n \cdot Q_n + \overline{R_n} \cdot Q_n. \quad (3.4)$$

Используя правило де Моргана, получим

$$Q_{n+1} = S_n \cdot \overline{R_n} + Q_n \cdot (S_n + \overline{R_n}) = S_n \cdot \overline{R_n} + Q_n \cdot \overline{\overline{S_n} \cdot R_n}. \quad (3.5)$$

Ещё раз преобразуем последнее уравнение:

$$Q_{n+1} = \overline{\overline{S_n} \cdot R_n} \cdot Q_n + S_n \cdot \overline{R_n}. \quad (3.6)$$

В уравнение входят конъюнкции и отрицания, что указывает на то, что это выражение легче всего реализовать на элементах «И-НЕ». Схема триггера и его условное обозначение представлены на рис. 3.3, а, б.

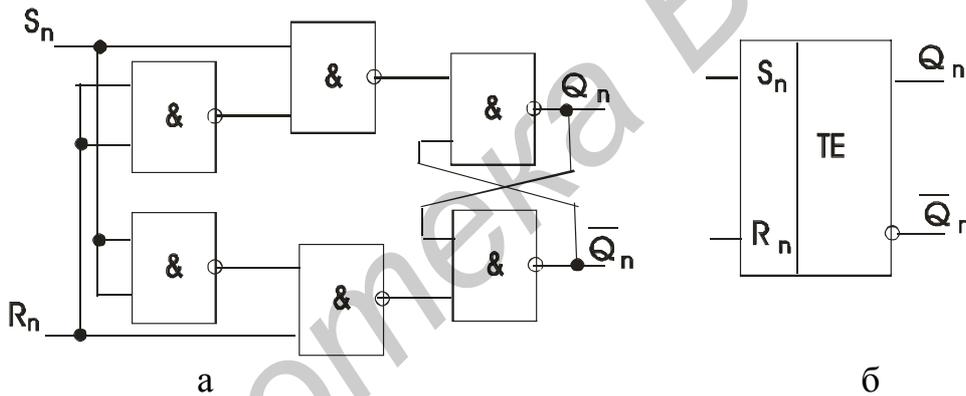


Рис. 3.3

JK-триггер. В этом триггере состояние неопределённости «хх» реализуется сочетанием «10». Таблица Карно будет иметь вид (табл. 3.6):

Таблица 3.6

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	1<a>	1
1	1	0	0	1

Минимизация приводит к уравнению

$$Q_{n+1} = Q_a + Q_b = S_n \cdot \overline{Q_n} + \overline{R_n} \cdot Q_n. \quad (3.7)$$

Из этого выражения следует, что в состав данного триггера входят два простых RS-триггера с инверсными входами. Схема и условное обозначение имеют следующий вид (рис. 3.4, а и б соответственно):

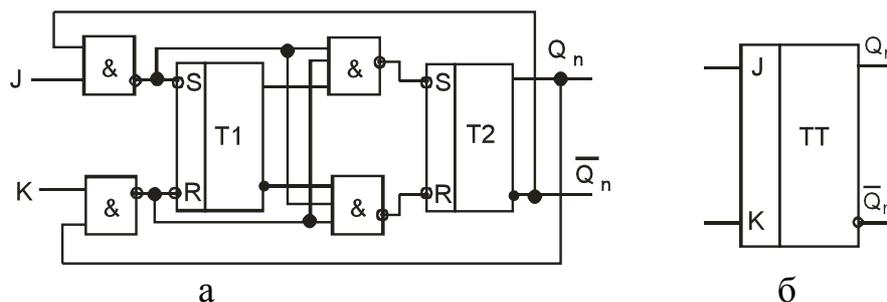


Рис. 3.4

Внешние выходы этого триггера обозначены со стороны входа как J и K, где $J_n = S_n$, $K_n = R_n$. Тогда уравнение перепишем в виде:

$$Q_{n+1} = J_n \cdot \overline{Q_n} + \overline{K_n} \cdot Q_n. \quad (3.8)$$

Этот вид триггера является более универсальным. Его можно использовать в качестве RS-триггера или в счётном режиме, так как если $J = K=1$, то $Q_{n+1} = \overline{Q_n}$.

D-триггеры. Эти триггеры получили название триггеров задержки (delay – в переводе с английского «задержка»). У D-триггера сигнал на выходе в (n+1) такте повторяет сигнал на информационном входе «D» в n-ом такте. Или, по-другому, сигнал с информационного входа D поступает на выход с задержкой на один такт, т.е. уравнение этого триггера имеет следующий вид: $Q_{n+1} = D_n$. Схему такого триггера можно построить на основе RS-триггера с инверсными входами, если сигнал «S» заменить на сигнал «D», а на вход «R» подать тот же сигнал через инвертор (рис. 3.5):

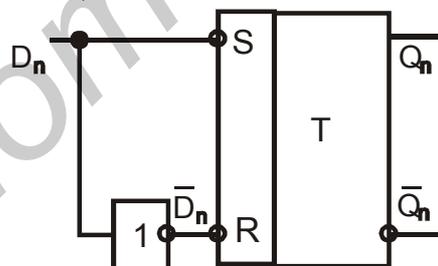


Рис. 3.5

Уравнение этого триггера можно получить из уравнения RS-триггера с инверсными входами:

$$Q_{n+1} = D_n + Q_n \cdot D_n = D_n \cdot (1 + Q_n) = D_n. \quad (3.9)$$

Таким образом, в отличие от ранее рассмотренных триггеров данный триггер имеет один информационный вход «D_n».

3.2. Синхронные триггеры

Синхронный RS-триггер. Его основой является асинхронный триггер с инверсными входами (рис. 3.6, а, б). Сигнал на каждый из входов триггера подаётся через элементы «И - НЕ». Элемент Э1 обеспечивает совпадение синхронизирующих импульсов «С» и сигналов «S», т.е. временное стробирование сигналов «S».

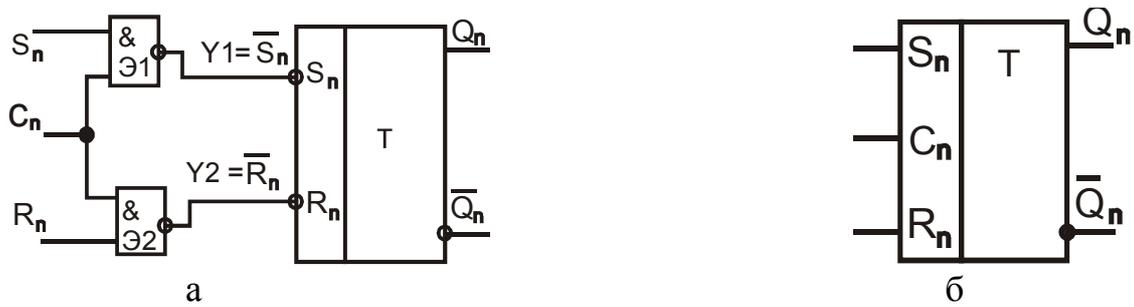


Рис. 3.6

Элемент Э2 также обеспечивает временное стробирование сигналов R. Для RS-триггера с инверсными входами имеем

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n. \quad (3.10)$$

В схеме 3.6, а входным сигналом $\overline{S_n}$ для триггера является выходной сигнал элемента Э1, который равен $\overline{C_n \cdot S_n}$, а входным сигналом $\overline{R_n}$ – выходной сигнал элемента Э2, который равен $\overline{R_n \cdot C_n}$. Поэтому логическую функцию этого триггера можно записать в виде

$$Q_{n+1} = C_n \cdot S_n + \overline{C_n} \cdot R_n \cdot Q_n. \quad (3.11)$$

Временные диаграммы работы триггера представлены на рис. 3.7.

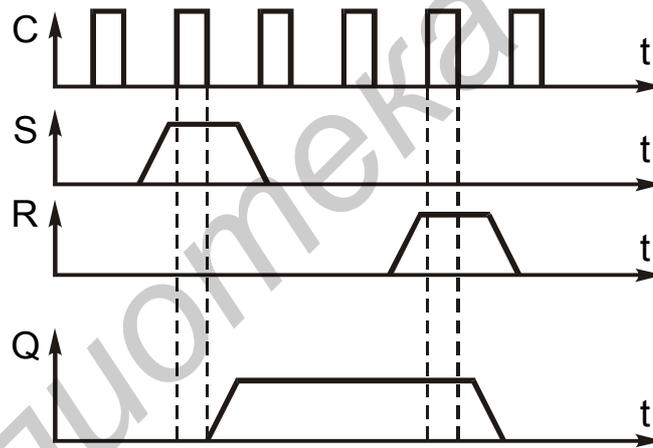


Рис. 3.7

Из временной диаграммы следует, что переключение триггера происходит в те моменты, когда сигнал на информационном входе совпадает по времени с сигналом синхронизации C_n .

Синхронный D-триггер. Схема синхронного D-триггера показана на рис. 3.8.

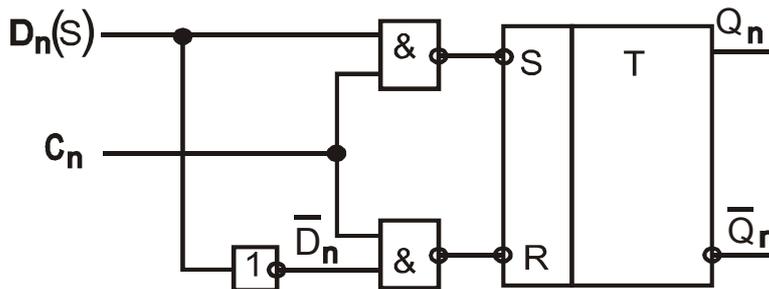


Рис. 3.8

Если на синхронном входе сигнал $C_n = 0$, то триггер сохраняет предыдущее состояние, а при $C_n = 1$ на выход передаётся сигнал, который был на входе равен D_n в предыдущем такте. Карта Карно, таким образом, имеет следующий вид (табл. 3.7).

Таблица 3.7

$D_n C_n \backslash Q_n$	00	01	11	10
0	0	0	1	0
1	0	0	1	1

\curvearrowright
 \curvearrowright

На основании этой таблицы составим уравнение:

$$Q_{n+1} = Q_a + Q_b = C_n \cdot D_n + \overline{C_n} \cdot Q_n. \quad (3.12)$$

Схему триггера можно упростить, если в качестве сигнала D_n использовать выход верхнего элемента «И-НЕ» (рис. 3.9, а, б соответственно):

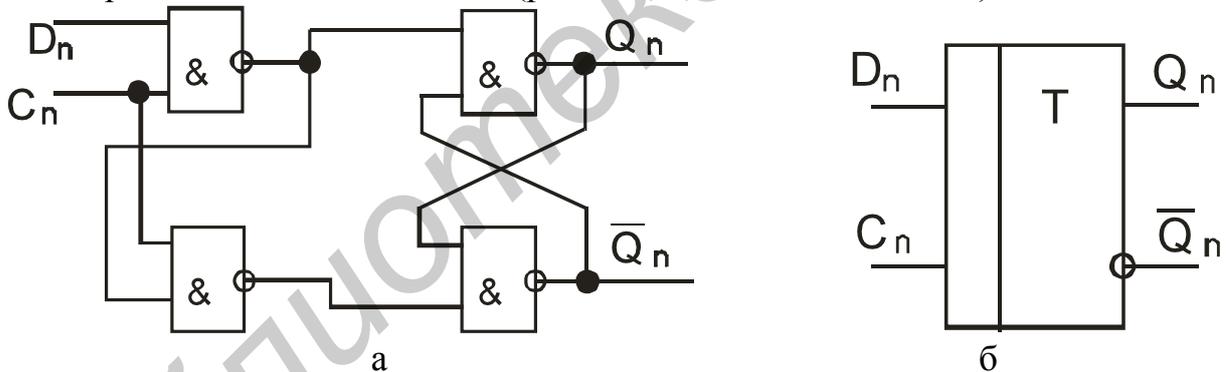


Рис. 3.9

Динамический D-триггер. Данный триггер состоит из трёх триггеров (рис. 3.10). Триггер Т1 называется триггером установки «1», триггер Т2 – триггером установки «0» и Т3 – выходной триггер.

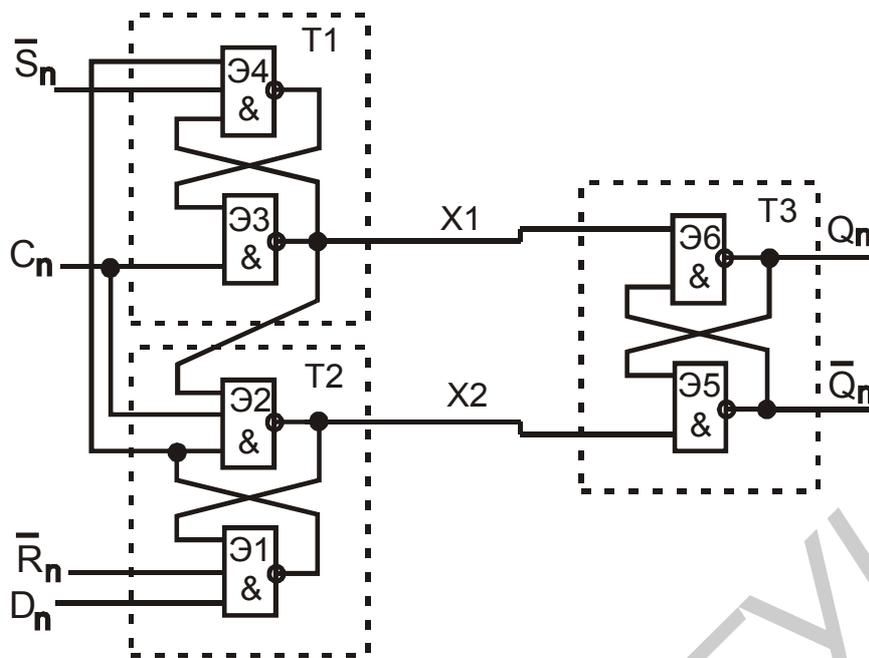


Рис. 3.10

В этом триггера нет прямой передачи сигнала со входа на выход, так как его входы блокируются в те моменты, когда информационный сигнал передаётся на выход. Если, например, $X2 = 0$, то заблокирован элемент Э1, а если $X1 = 0$, то заблокированы элементы Э2 и Э4.

Для надёжной работы триггера информационный сигнал на вход « D_n » должен поступать на 20...50 нс раньше, чем на вход « C_n ». Информация записывается в выходной триггер после того, как сигнал на входе « C_n » превысит пороговый уровень. Новая информация после этого не воспринимается и запишется только после того, когда сигнал на входе « C_n » станет равным «0» и снова достигнет пороговой величины. Этот триггер может иметь дополнительные входы асинхронной установки в «1» или в «0».

Синхронный JK-триггер. Схема триггера показана на рис. 3.11, а, а его условное обозначение на рис. 3.11, б.

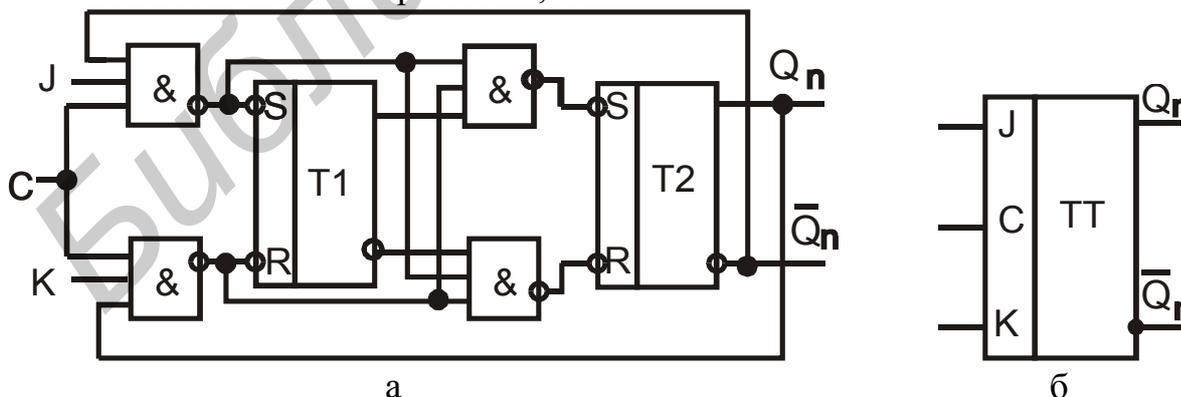


Рис. 3.11

JK-триггер имеет на входах трёхвходовые элементы «И-НЕ», которые охвачены обратными связями. Данный триггер является универсальным, так как может выполнять функции D- R-S- и счётного T-триггера. Синхронный D-триггер

можно получить из синхронного JK-триггера, если подключить вход «К» ко входу «J» через инвертор (рис. 3.12, а). Если входы «J» и «K» использовать раздельно, то такой триггер будет выполнять функции RS-триггера (рис. 3.12, б).

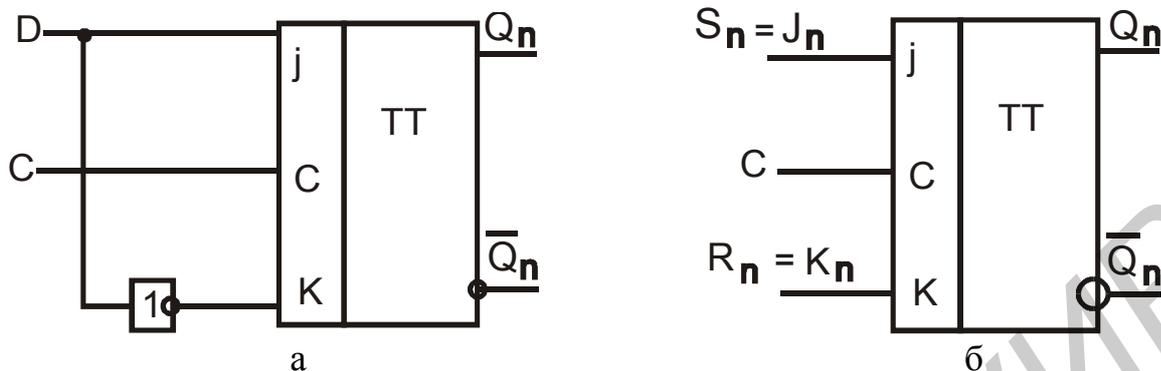


Рис. 3.12

JK-триггер можно использовать в качестве асинхронного счётного триггера, если входы JK объединить и подать на них уровень логической «1», а на вход «С» – тактовые импульсы (рис. 3.13, а):

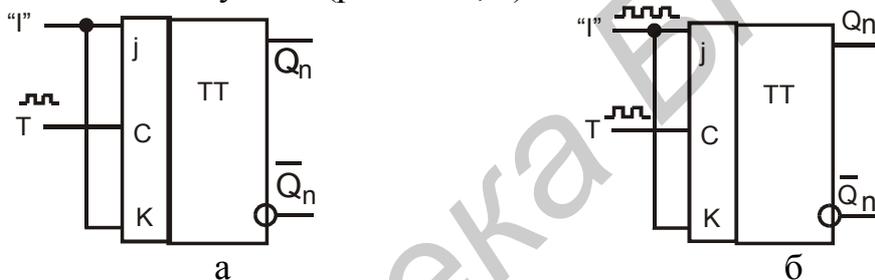


Рис. 3.13

Сигнал на выходе « Q_n » будет изменять своё состояние после подачи каждого тактового импульса. При этом выполняется условие $Q_{n+1} = \overline{Q_n}$.

Синхронный счётный триггер получается, если объединить входы «J» и «K» и на них подать счетные импульсы, а на вход «С» – синхронизирующие импульсы (рис. 3.13, б).

3.3. Двухступенчатые триггеры

Простейшие схемы триггеров имеют тот недостаток, что они являются одновременно источниками приёма новой информации и элементарным устройством хранения прежней. При идеальном быстродействии логических элементов, входящих в его состав, может нарушиться правильное функционирование триггера.

С целью устранения данного противоречия были разработаны двухступенчатые триггеры, состоящие из двух последовательно соединённых триггеров – ведущего и ведомого. Схемы этих триггеров, работающих в обычном и счётном режимах, показаны на рис. 3.14, а, б соответственно.

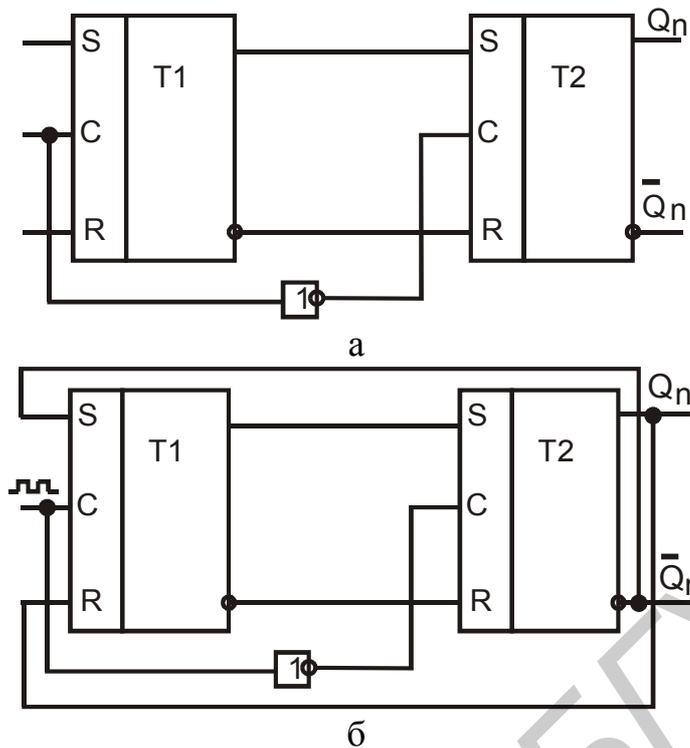


Рис. 3.14

Первый триггер T1 называется ведущим, второй T2 – ведомым. При подаче синхроимпульса на вход «С» информация записывается в первый триггер, второй триггер при этом закрыт синхроимпульсом, прошедшим через инвертор. После окончания синхроимпульса информация перезаписывается с первого триггера во второй, так как на его входе «С» будет иметь место разрешающий сигнал. Такие триггеры часто называют MS-триггерами (в переводе с английского Master – Slave - мастер-помощник). Ещё одной разновидностью двухступенчатого триггера является RS-триггер с запрещающими связями (рис. 3.15, а, б):

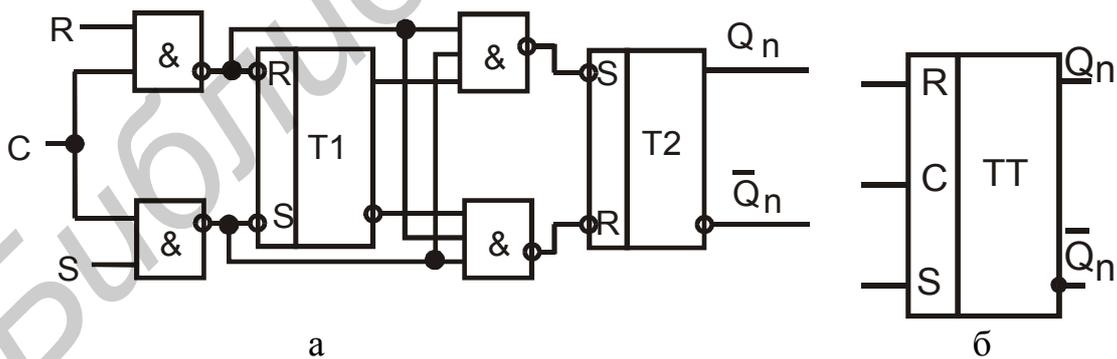


Рис. 3.15

При $C = 1$ информация может быть записана только в первый триггер T1, так как на входе триггера T2 установленные трёхвходовые логические элементы не пропустят сигнал записи. Затем при $C = 0$ разрешающие сигналы будут присутствовать на входах этих элементов и записанная информация может быть передана в триггер T2.

Схема двухступенчатого универсального JK-триггера, построенная на базе логических элементов «И - НЕ», приведена на рис. 3.16, а, а его условное обозначение на рис. 3.16, б.

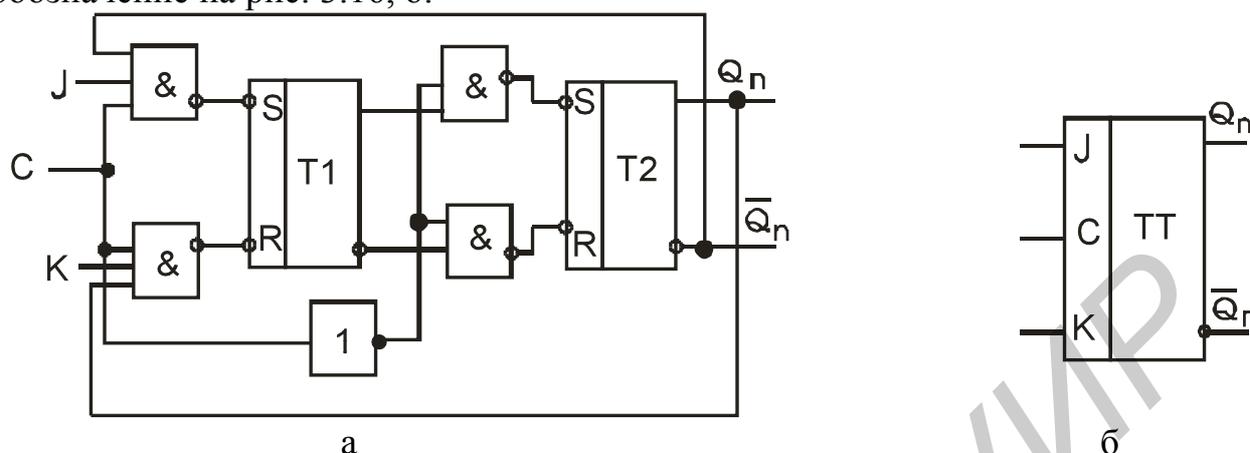


Рис. 3.16

Временные диаграммы его работы представлены на рис. 3.17.

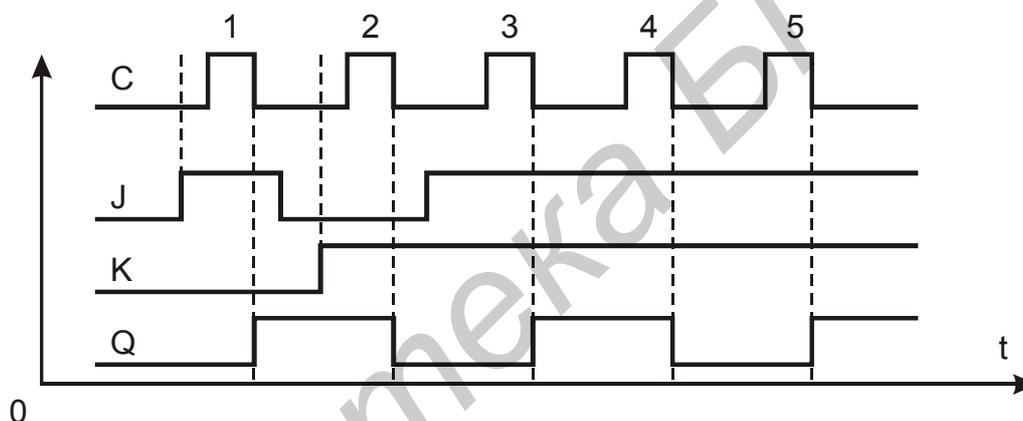


Рис. 3.17

Триггер срабатывает по заднему фронту синхроимпульса. Видно, что триггер устанавливается в единичное состояние при $J = 1$ и в нулевое – при $K = 1$. Если $J = K = 1$, то он работает в счётном режиме.

3.4. Использование одного типа триггеров в качестве другого

D-триггер можно использовать как RS-JK-или T-триггер. Преобразование достигается применением дополнительных элементов или связей. Для получения схемы RS-триггера можно использовать D-триггер, если в нем имеются дополнительные установочные входы R и S, причем импульсы на эти входы поступают в различные моменты времени (рис. 3.18), а на рис. 3.19 показан триггер на основе КМОП-логики с запуском положительными импульсами.

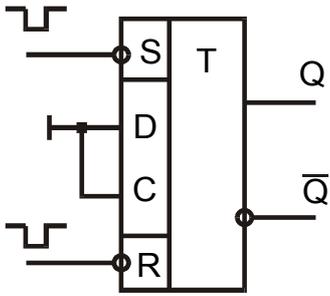


Рис. 3.18

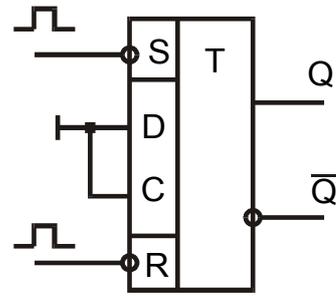


Рис. 3.19

На рис. 3.20, 3.21, 3.22 показано преобразование D-триггера в синхронный RS-JK- и счетный триггер соответственно.

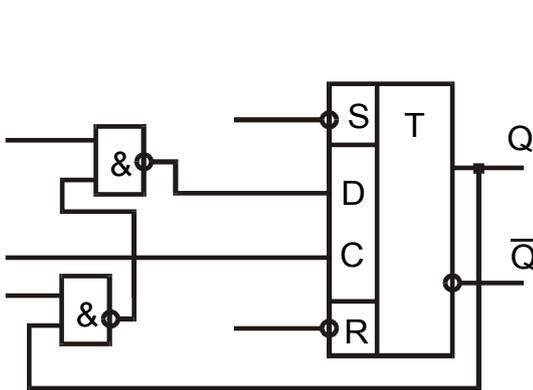


Рис. 3.20

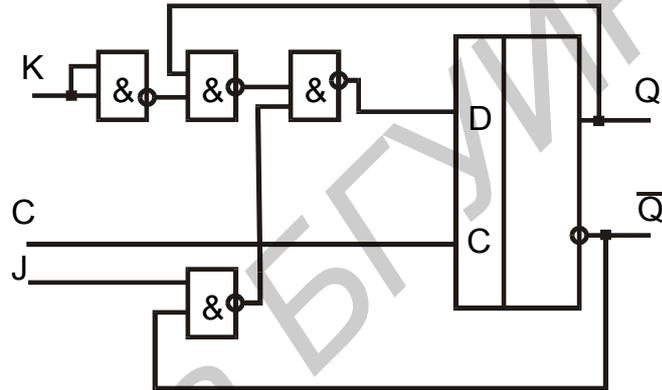


Рис. 3.21

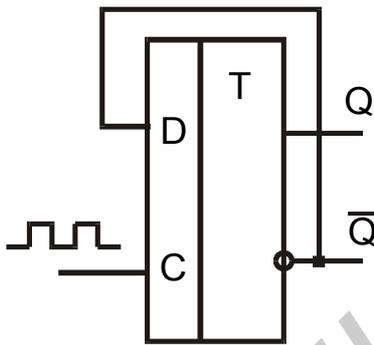


Рис. 3.22

Триггеры служат основой для создания более сложных устройств – счетчиков, регистров, применяются в схемах управления и формирования сигналов, в других случаях.

Триггеры S-типа. Это такие триггеры, которые имеют информационные входы R и S, вход синхронизации «C», а функционирование происходит следующим образом: при комбинации сигналов $R \cdot S = 1$ принимают единичное состояние, а при всех остальных комбинациях информационных сигналов функционируют, как обычный RS- триггер.

Уравнение триггера S-типа имеет вид

$$Q_{n+1} = S_n + \overline{R}_n \cdot Q_n. \quad (3.13)$$

Схема (рис. 3.23) и таблица истинности (табл. 3.8) приведены ниже.

Схема триггера S- типа отличается от R-S-триггера наличием дополнительного инвертора, который блокирует прохождение сигнала через элемент ЭЗ при $S = 1$.

При комбинации входных сигналов $S \cdot R \cdot C = 1$ элемент ЭЗ будет закрыт и триггер будет принимать единичное состояние, независимо от предыдущего.

Таблица 3.8

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	1

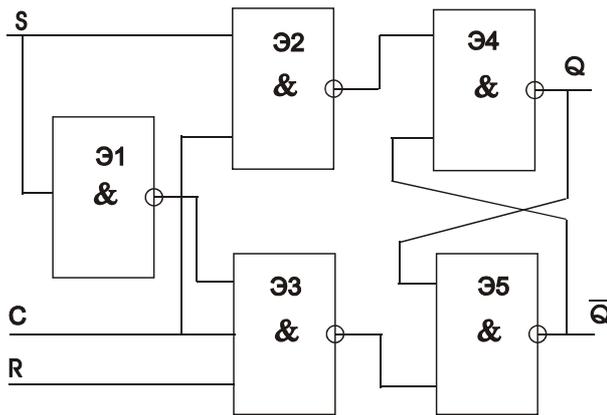


Рис. 3.23

Синхронный триггер E-типа. К триггерам E-типа относят триггеры, которые при комбинации сигналов на входе $S \cdot R = 1$, не изменяют своего состояния, а при всех остальных сочетаниях информационных сигналов работают в соответствии с таблицей обычного R-S-триггера.

Схема (рис. 3.24) и таблица истинности (табл. 3.9) имеют следующий вид.

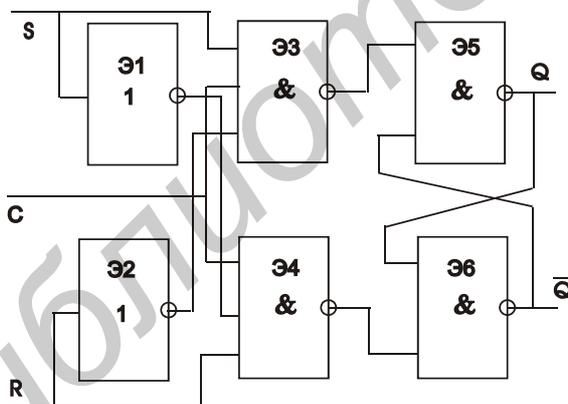


Рис. 3.24

Таблица 3.9

R_n	S_n	Q_{n+1}
0	0	Q_n
1	0	0
0	1	1
1	1	Q_n

В схеме имеется два дополнительных инвертора, что приводит к тому, что запись информации происходит только при несоответствии сигналов на входах R и S. При комбинации сигналов $SR = 1$ элементы Э3 и Э4 будут закрыты и триггеры не изменят своего состояния. Такого типа триггеры находят применение в управляемых устройствах цифровых схем.

Триггеры D-V-типа. Такого типа триггер состоит из синхронного D-триггера с дополнительным входом V. Если $V=1$, то он функционирует как D-триггер, а при $V=0$ – сохраняет исходное состояние, независимо от изменения информации на входе D. Уравнение триггера D-V-типа имеет вид

$$Q_{n+1} = D_n \cdot V_n + Q_n \cdot \overline{V_n}. \quad (3.14)$$

Схема триггера (рис. 3.25) и таблица истинности (табл. 3.10) выглядят следующим образом.

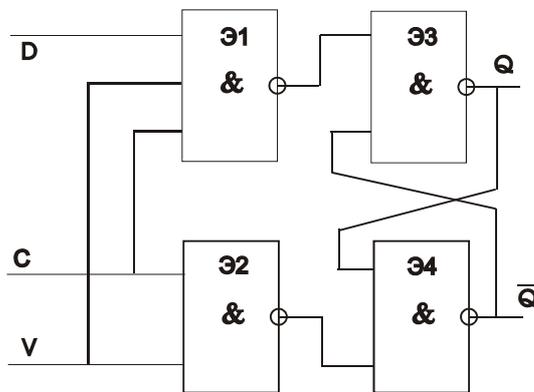


Таблица 3.10

V_n	D_n	Q_{n+1}
0	0	Q_n
0	1	Q_n
1	0	0
1	1	1

Рис. 3.25

В этом триггере входы «D» и «V» – информационные, вход «C» – вход синхронизации. При $V = 1$ триггер DV- типа превращается в синхронный D-триггер. Условием устойчивой работы данного триггера является совпадение сигнала на входе V и C ($V = C = 1$) и превышение по длительности сигнала на входе «V». Такие схемы используются при построении счетчиков, регистров сдвига, в устройствах управления. К универсальным DV-триггерам относят, например, К561ТН3, JKD-триггер К501ТК1П.

Триггеры R-типа. Это такие триггеры, которые имеют информационные входы R и S, вход синхронизации «C», а функционирование происходит следующим образом: при комбинации сигналов $R \cdot S = 1$ триггер принимает нулевое состояние, а при всех остальных комбинациях информационных сигналов функционирует, как обычный RS- триггер. Уравнение триггера R-типа имеет вид

$$Q_{n+1} = \overline{S}_n + \overline{R}_n \cdot Q_n. \quad (3.15)$$

Схема (рис. 3.26) и таблица истинности (табл. 3.11) приведены ниже.

При комбинации входных сигналов $R \cdot S \cdot C = 1$ элемент Э2 будет закрыт и триггер установится по входу R в нулевое состояние.

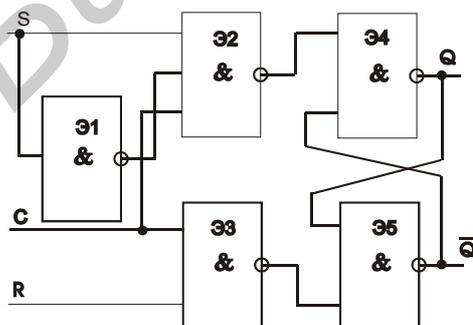


Таблица 3.11

R_n	S_n	Q_{n+1}
0	0	1
1	0	1
0	1	Q_n
1	1	0

4. СЧЕТЧИКИ ИМПУЛЬСОВ

Счетчик импульсов – это последовательностное цифровое устройство, обеспечивающее преобразование числоимпульсного кода в двоичный или двоично-десятичный коды или, по-другому, счетчик – это устройство, предназначенное для подсчета количества импульсов, поступающих на его вход. По существу схема счетчика представляет собой совокупность соединенных определенным образом триггеров. Основным параметр счётчика – модуль счета. Это максимальное число единичных сигналов, которое может быть сосчитано счетчиком. Счетчики обозначают «СТ» (от англ. *counter*).

Счетчики классифицируют:

По модулю счета:

- 1) двоичные
- 2) двоично-десятичные;
- 3) с произвольным постоянным модулем счета;
- 4) с переменным модулем счета;

По направлению счета:

- 1) суммирующие;
- 2) вычитающие;
- 3) реверсивные;

По способу формирования внутренних связей:

- 1) с последовательным переносом;
- 2) с параллельным переносом;
- 3) с комбинированным переносом;
- 4) кольцевые.

Одним из важнейших параметров счетчика является коэффициент счета $K_{сч}$ (или модуль счета M), показывающий максимальное количество импульсов, которое может быть им сосчитано, и число разрядов n . К параметрам, характеризующим быстродействие, относят максимальную частоту следования импульсов f_{\max} и время задержки t_3 .

4.1. Суммирующие счетчики

Такой счетчик может быть построен на счетных триггерах, которые переключаются в моменты появления на входах синхронизации отрицательных перепадов напряжения (рис. 4.1).

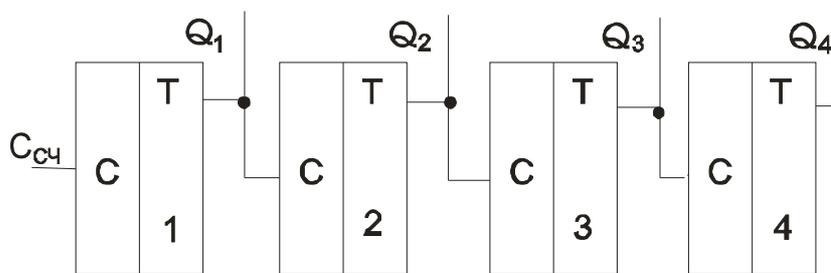


Рис. 4.1

Временные диаграммы, иллюстрирующие работу счетчика, приведены на рис. 4.2. Через $K_{сч}$ обозначим модуль счета (коэффициент счета импульсов). Состояние левого триггера соответствует младшему разряду двоичного числа, а правого – старшему разряду. В исходном состоянии на всех триггерах установлены логические нули. Каждый триггер меняет свое состояние лишь в тот момент, когда на него действует отрицательный перепад напряжения. Таким образом, данный счетчик реализует суммирование входных импульсов. Из временных диаграмм видно, что частота каждого импульса в последующем разряде в 2 раза меньше, чем в предыдущем, т.е. каждый триггер делит частоту входного сигнала на два, что и используется в делителях частоты. Кроме того, необходимо учитывать, что выходной импульс появляется на выходе каждого триггера с некоторой задержкой относительно входного, поэтому суммарное время задержки определяется как: $t_{зд} = n \cdot t_{зд1}$.

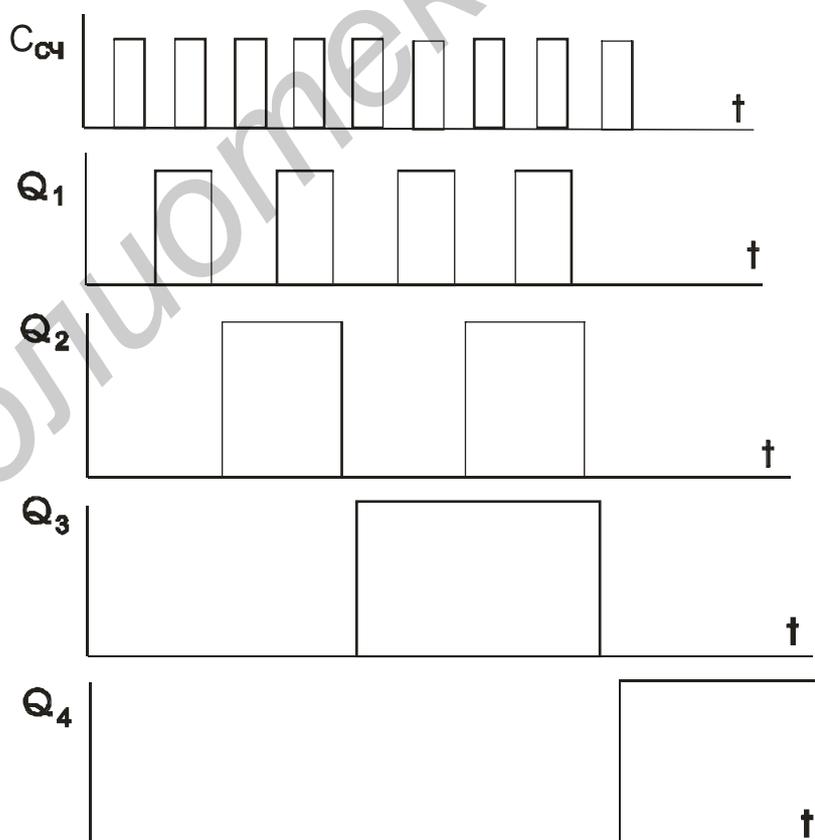


Рис. 4.2

4.2. Вычитающие счетчики

Рассмотрим трехразрядный вычитающий счетчик с последовательным переносом, схема которого приведена на рис. 4.3.

В счетчике используются три JK-триггера, каждый из которых работает в режиме T-триггера (триггера со счетным входом). При подаче на вход «С» импульса синхронизации каждый триггер изменяет свое предыдущее состояние. Вначале сигналы на выходах всех триггеров равны 1. Это соответствует хранению в счетчике двоичного числа 111 или десятичного числа 7. После окончания первого импульса первый триггер изменяет свое состояние: сигнал Q_1 станет равным 0, а $\overline{Q}_1 = 1$. Остальные триггеры при этом не изменяют своего состояния. После окончания второго счетного импульса первый триггер вновь изменяет свое состояние, переходя в состояние 1 ($Q_1 = 1, \overline{Q}_1 = 0$). Это обеспечивает изменение состояния второго триггера (второй триггер изменяет состояние с некоторой задержкой по отношению к окончанию второго импульса синхронизации, так как для его опрокидывания необходимо время, соответствующее времени срабатывания его самого и первого триггера). После первого импульса счетчик хранит состояние 110. Дальнейшее изменение состояния счетчика происходит аналогично изложенному выше. После состояния 000 счетчик вновь переходит в состояние 111.

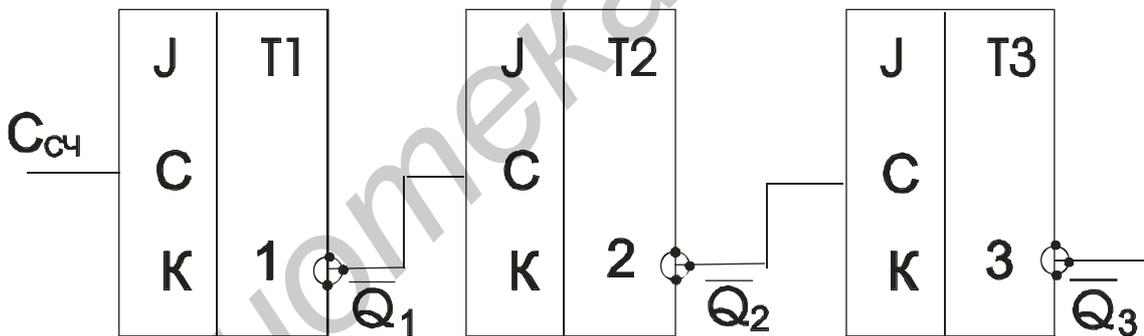


Рис. 4.3

Недостатком счетчиков с последовательным переносом является их невысокое быстродействие. Для n -разрядного счетчика максимальная частота следования счетных импульсов $f_{сч}$ определяется выражением

$$f_{сч} = \frac{1}{t_{имп} + nt_3}, \quad (4.1)$$

где $t_{имп}$ – длительность счетного импульса; t_3 – длительность задержки каждого разряда.

Более высоким быстродействием обладают счетчики с параллельным переносом.

4.3. Счетчики с параллельным переносом

В счетчиках с параллельным переносом (синхронных счетчиках) тактовые импульсы подаются одновременно на все разряды, однако из-за наличия специальной логики срабатывают только те триггеры, состояния которых соот-

ветствуют коду числа импульсов, поступивших на его вход. Схема трехразрядного синхронного счетчика на RS-триггерах приведена на рис. 4.4.

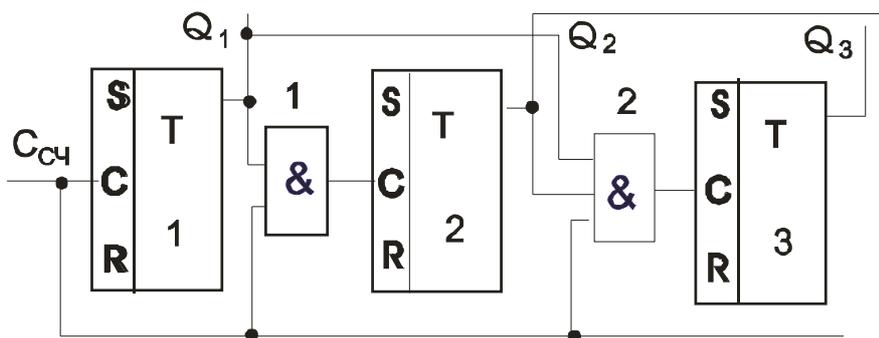


Рис. 4.4

Исходное состояние соответствует коду 000. После подачи первого импульса выход Q_1 будет соответствовать уровню логической 1, при этом будет подготовлен к срабатыванию первый логический элемент «И». В счетчике будет записан код 001. Второй счетный импульс переведет первый триггер в нулевое состояние, а Q_2 – в единичное. В счетчике запишется код 010. Теперь первый и второй логический элемент будут закрыты, а после подачи третьего импульса первый триггер перейдет в единичное состояние и в счетчике запишется состояние 011. Оба логических элемента перейдут в состояние пропускания счетных импульсов. После подачи четвертого импульса все триггеры срабатывают, что соответствует коду 100. Пятый импульс переведет счетчик в состояние 101 и т.д.

Быстродействие определяется выражением

$$f_{сч} = \frac{1}{t_{имп} + t_{зд.и} + t_3}, \quad (4.2)$$

где $t_{зд.и}$ – время задержки схемы «И».

Счетчик с параллельным переносом можно построить и на многоходовых J-K-триггерах без использования дополнительных логических элементов. На рис. 4.5 изображена схема двоично-десятичного счетчика, работающего в коде 8-4-2-1, а состояния его разрядов приведено в табл. 4.1.

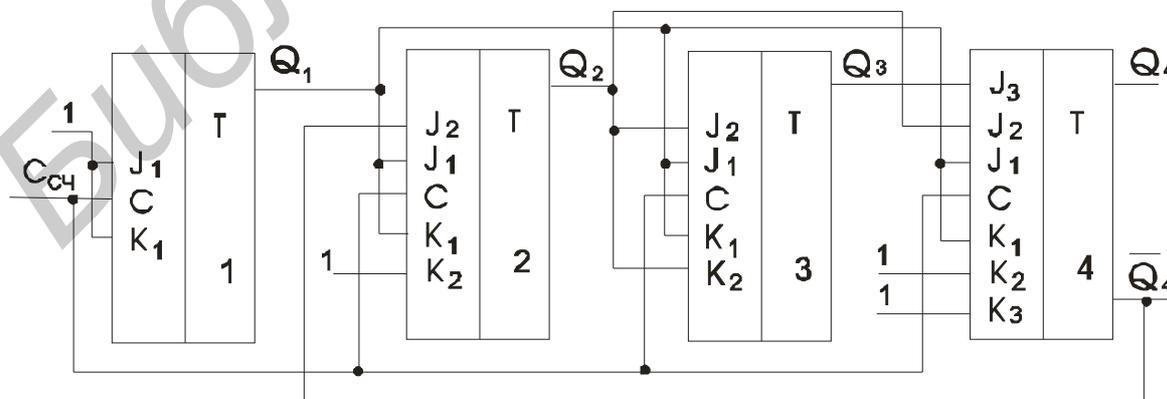


Рис. 4.5

Таблица 4.1

$C_{сч}$	0	1	2	3	4	5	6	7	8	9	10
Q_1	0	1	0	1	0	1	0	1	0	1	0
Q_2	0	0	1	1	0	0	1	1	0	0	0
Q_3	0	0	0	0	1	1	1	1	0	0	0
Q_4	0	0	0	0	0	0	0	0	1	1	0

Принцип работы счетчика примерно такой же, как и счетчика на RS-триггерах, роль логических элементов выполняют дополнительные J-K- входы.

4.4. Реверсивные счетчики

Реверсивные счетчики являются более универсальными устройствами вследствие того, что они предназначены как для суммирования, так и для вычитания сигналов, однако являются более сложными.

Рассмотрим двухразрядный реверсивный счетчик с последовательным переносом (рис. 4.6). В режиме сложения на шину T^+ подается уровень логической «1», а на шину T^- – уровень логического «0». Схема переноса «И-ИЛИ» собрана на однотипных элементах «И-НЕ». Сигнал от предыдущего разряда к последующему поступает с прямого выхода «Q».

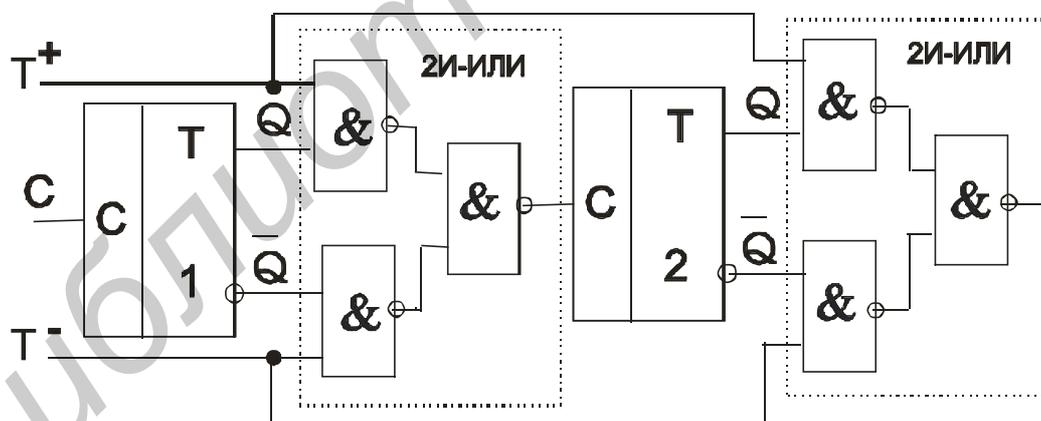


Рис. 4.6

При подаче на шину T^+ уровня «0», а на вход T^- – уровня «1» счетчик работает в режиме вычитания, так как счетные импульсы от младшего разряда к старшему передаются с инверсных выходов « \bar{Q} ».

4.5. Кольцевые счетчики

Эти счетчики относятся к счетчикам, состоящим из n триггеров. Кольцевые счетчики отличаются тем, что последнее состояние характеризуется записью «1» в самый младший разряд и «0» в остальные разряды. Кольцевой счетчик имеет n состояний (табл. 4.2).

Таблица 4.2

Номер вх. имп.	A1	A2	A3	A4	Q_{n-1}	Q_n
0	1	0	0	0	0	0
1	0	1	0	0	0	0
2	0	0	1	0	0	0
3	0	0	0	1	0	0
....
$n-2$	0	0	0	0	1	0
$n-1$	0	0	0	0	0	1
n	1	0	0	0	0	0

Схема кольцевого счетчика представлена на рис. 4.7.

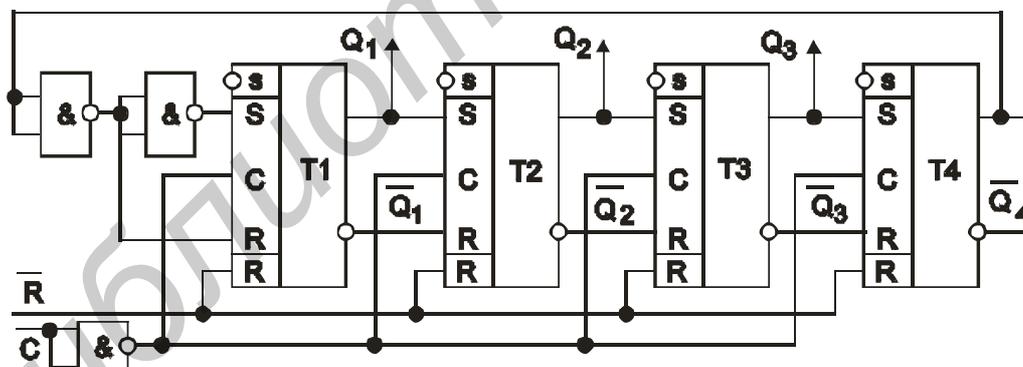


Рис. 4.7

Более совершенной схемой кольцевого счетчика является схема с автоматической коррекцией состояний, которая имеет вид, представленный на рис. 4.8.

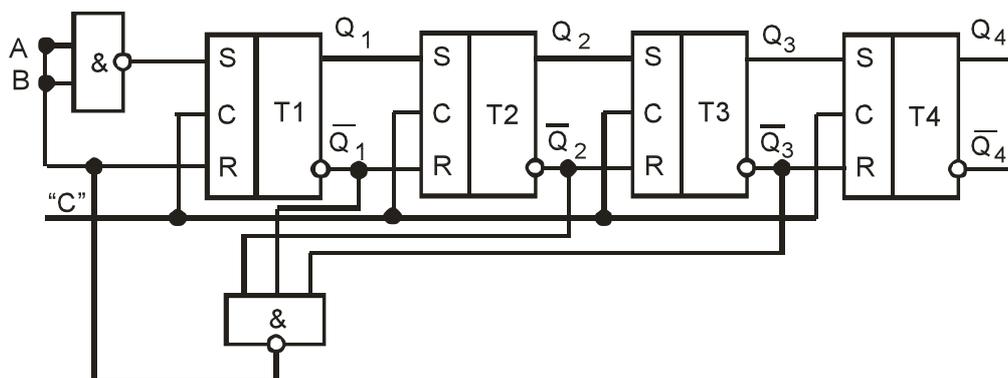


Рис. 4.8

В предыдущей схеме установка в исходное состояние осуществляется подачей на один из выходов А или В уровней логического «0» и подачей затем серии из n импульсов. После этого на оба входа А и В подается логическая «1», а на тактовый вход только один импульс. При этом в триггер Т1 записывается «1», а в остальные – нули. Этот процесс занимает определенное время. В последней схеме, независимо от того, в каком состоянии после включения питания окажутся триггеры, после подачи четырех тактовых импульсов установится исходное состояние (1000).

4.6. Счетчики Джонсона

В счетчике Джонсона имеет место не « n », а « $2n$ » состояний. Таблица истинности имеет вид (табл. 4.3).

Особенности работы и отличия счетчика Джонсона от кольцевого счетчика следующие.

1. Вместо продвижения с каждым тактовым импульсом единицы из триггера в триггер единичное состояние в этом счетчике последовательно получает триггер за триггером при подаче первых n импульсов.

2. После достижения всеми разрядами счетчика Джонсона единичного состояния при подаче следующих n тактовых импульсов происходит заполнение нулями всех его триггеров, начиная с первого разряда. После достижения состояния разрядов счетчика, соответствующих нулю, цикл работы, представленный в таблице, повторяется.

Таблица 4.3

Номер вх. имп.	A1	A2	A3	A4	...	Q_{n-1}	Q_n
0	1	0	0	0	...	0	0
1	1	1	0	0	...	0	0
2	1	1	1	0	...	0	0
3	1	1	1	1	0	0
....

n-1	1	1	1	1	...	1	0
N	1	1	1	1	...	1	1
n+1	0	1	1	1	...	1	1
2n-1	0	0	0	0	...	0	1
2n	0	0	0	0	...	0	0
2n+1	1	0	0	0	...	0	0

Схема счетчика Джонсона приведена на рис. 4.9.

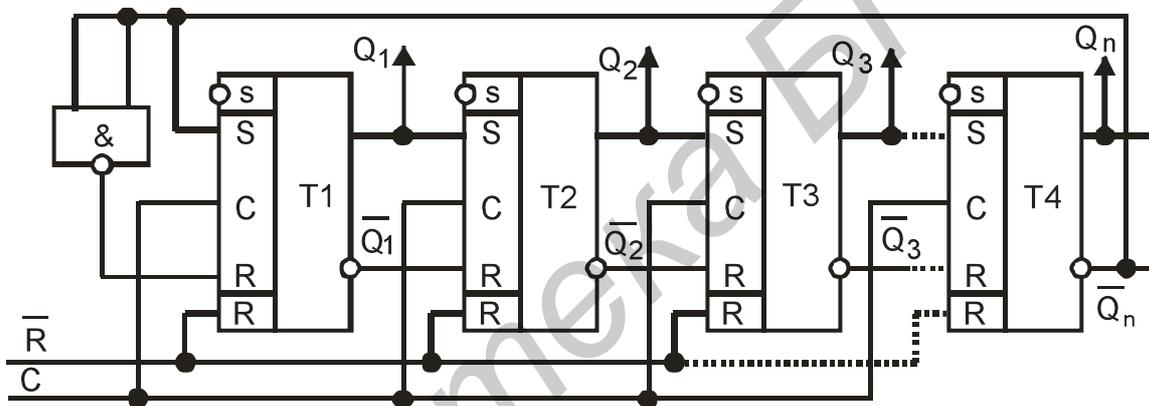


Рис. 4.9

С помощью кольцевых счетчиков и счетчиков Джонсона строятся схемы для создания различного типа световых эффектов, например «бегущие огни». Для этого к выходам $Q_1 \dots Q_n$ подключаются схемы индикаторных устройств.

4.7. Интегральные счетчики

Двоичные четырехразрядные счетчики характеризуются широкой номенклатурой, представленной в табл. 4.4.

Таблица 4.4

	Тип микросхемы	Тип счетчика	Частота сигнала, МГц	Потр. мощность, мВт	Напряжение питания, В	Вход предустановки.	Выход переноса
1	K1500IE136	Рев.	450	880	-4,5	+	+
2	K500IE136	Рев.	100	780	-5,2	+	+
3	K531IE17П	Рев.	50	800	5	+	+

4	K531IE15П		45	600	5	+	-
5	K555IE7	Рев.	12	155	5	+	+
6	K555IE5		7	75	5	-	-
7	K555IE10		10	156	5	+	+
8	K555IE13	Рев.	10	175	5	+	+
9	K555IE15		10	135	5	+	-
10	K555IE6		4	265	5	+	-
11	K555IE9	С	12	510	5	-	+
12	K134IE5		0,8	600	5	+	-
13	K561IE10	4-разряд.	0,3	0,25	3...15	-	-
14	K564IE10	4-разряд.	1,5	0,03	3...15	-	-
15	K561IE11	Рев.	0,6	0,03	3...15	-	+
16	K564IE11	Рев.	-				
17	K561IE14	Рев.	0,8	0,03	3...15	+	+
18	564IE14	Рев.			3...15		
19	K561IE16		2	0,04	3...15	-	-

Рассмотрим более подробно ИС К155 ИЕ7. Этот счетчик имеет два входа и выхода для сигнала прямого счета и сигнала обратного счета. В этом счетчике используются RS-триггеры ТТЛ – двухступенчатые. Выходы переноса допускают непосредственное соединение с другой такой же ИС при наращивании разрядности счетчика, внутри счетчика осуществляется параллельный перенос сигнала.

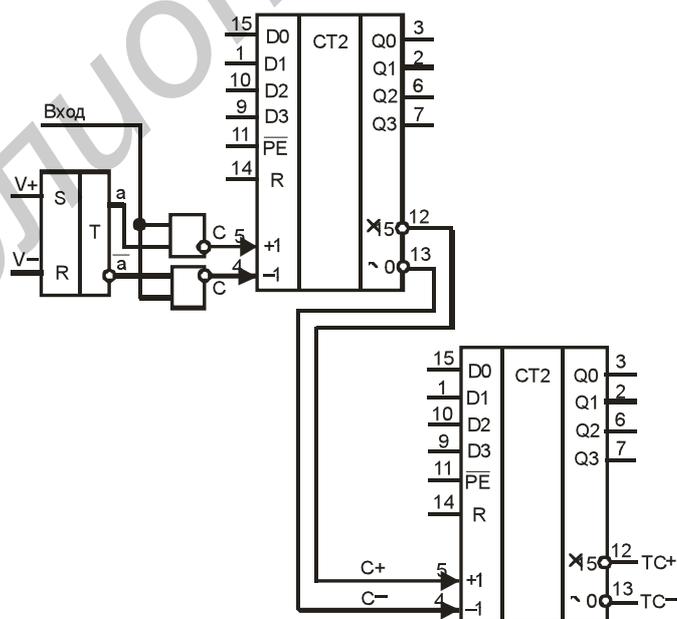


Рис.. 4.10

Схема соединения двух четырехразрядных счетчиков типа К155ИЕ7 для увеличения разрядности приведена на рис. 4.10.

Выход «12» ТС+ используется при работе счетчика в режиме суммирования, выход «13» ТС– ≤ 0 – в режиме вычитания. Подключение второго разряда позволяет получить коэффициент счета, равный 256. При $\overline{PE} = 0$ осуществляется параллельная загрузка по входам D0–D3. Вход «R» – асинхронная установка «0».

Широкое применение получили такие двоично-десятичные счетчики на ИС. Некоторые типы четырехразрядных двоично-десятичных счетчиков сведены в табл. 4.5.

Таблица 4.5

	Тип микро- схемы	Тип счет- чика	Частота сигнала, МГц	Потр. мощ- ность, мВт	Напряж. питания, В	Вход предуст.	Выход переноса
	1	2	3	4	5	6	7
1.	К500ИЕ137	Рев.	100	780	–4,5	+	+
2.	К531ИЕ16	Рев.	50	800	–5,2	+	+
3.	К531ИЕ14		45	600	5	+	–
4.	К555ИЕ2		10	750	5	–	–
5.	К155ИЕ5		5	265	5	–	–
6.	К555ИЕ6	Рев.	12	155	5	+	+
7.	К555ИЕ9	Рев.	12	510	5	+	+
8.	К155ИЕ9		15	156	5	+	+
9.	К555ИЕ14		20	500	5	+	+
10.	К155ИЕ14		10	135	5	–	–
	1	2	3	4	5	6	7
11.	К530ИЕ14		20	300	5	–	–
12.	К155ИЕ1		10	300	5	–	–
13.	К555ИЕ18		15	156	3...15	+	+
14.	К134ИЕ2		1,4	36	3...15	–	–
15.	К511ИЕ1		1	540	3...15	+	–
16.	К561ИЕ14	Рев.	0,8	0,03		+	+
17.	564ИЕ14	Рев.	–	–	3...15	–	–

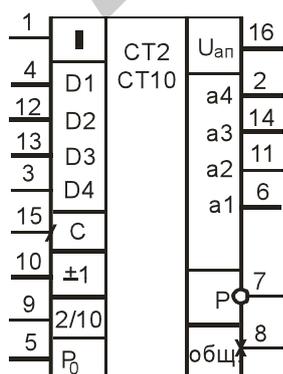


Рис. 4.11

В качестве примера можно привести схему К561ИЕ14 (рис. 4.11).

Вход «С» является счетным. Сигнал на входе ± 1 изменяет направление счета: при напряжении высокого уровня осуществляется суммирование, при напряжении низкого уровня – вычитание. Вход «P₀» разрешает счет при P₀ = 0 и запрещает при P₀ = 1. Входы D1...D4 открыты при V=1 для

записи кода. Сигнал переноса снимается с инверсного выхода \bar{P} . Если на входе «9» высокий уровень, счетчик работает как двоичный, если на входе «9» низкий уровень, то он работает как десятичный.

4.8. Интегральные счетчики-делители

Счетчик К176ИЕ2 может работать не только как двоичный, но и как десятичный (рис. 4.12, а). Он имеет пять двоичных выходов (10...14) и один десятичный. По входам S1...S4 можно записать в счетчик предварительные данные. На вход «C(f)» подается входной сигнал. По входу 2/10 осуществляется переключение счета. Вывод «ЕС» служит для разрешения счета, т.е. вывод «2» соединяется с выводом «16», а 4...7 – заземляется. Счетчик К176ИЕ4 – десятичный. Схема представлена на рис. 4.12, б.

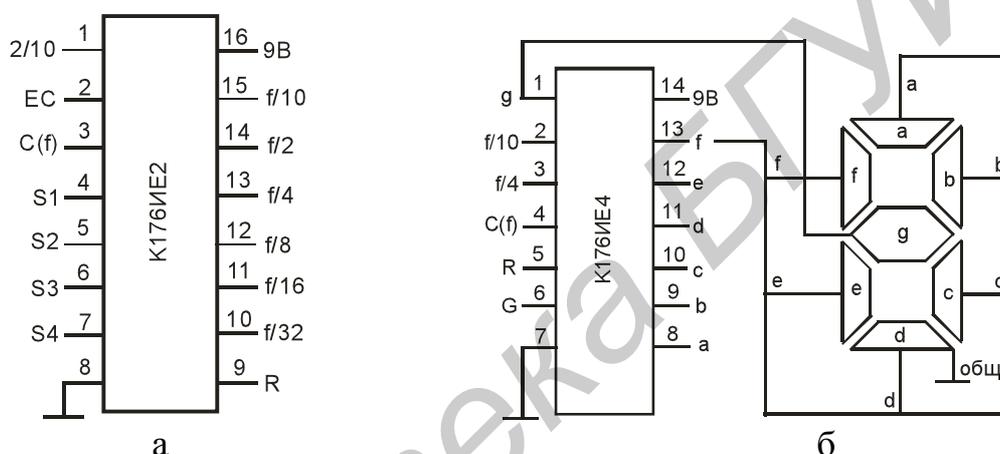


Рис. 4.12

На выводе «2» выделяется последовательность $f/10$, на выводе «3» – $f/4$. Схема этого счетчика, как и схема счетчика К176ИЕ3, снабжена дешифратором для зажигания семисегментного табло.

Таблица 4.6					
	Тип микросхемы	Коэф. деления	Частота вх.. сигнала, МГц	Потребл. мощность, мВт	Напряжение питания, В.
1.	К193ИЕ7	4	2000	495	6,3
2.	К193ПУ1	640; 704	1000	525	5
3.	К193ИЕ2	10; 11	500	338	5,2
4.	К155ИЕ4	2...12	5	255	5

5.	K555IE5	2...16	7	75	5
6.	K555IE5	2...16	4	265	5
7.	K555IE2	2...10	10	75	5
8.	K155IE2	2...10	5	265	5
9.	K155IE8	64/63...64	15	600	5
10.	K589ХЛ4	2...16	50	300	5
11.	K512ПС2	65536	–	0,01	–1,5
12.	K512ПС3	4096	–	0,005	–1,2
13.	K561IE8 Дж	2...10	1,5	0,004	3...15
14.	564IE8 Дж				
15.	K561IE9 Дж	2...8	1	0,09	3...15
16.	564IE9 Дж				
17.	K561IE15Б	3...21327	1	0,05	3...15
18.	564IE15м				
19.	K561IE19	2...10	1	0,05	3...15
20.	564IE19				

Интегральные счетчики Джонсона: K176IE8, K561IE8, 564IE8, K561IE9, 564IE9 имеют встроенный дешифратор состояний. ИС K561IE8 имеет десять выходов. Путем соединения того или другого выхода со входом «R» можно получить делитель с $K_{дел}$ от 2 до 10. Соединением последовательно ИС можно получить $K_{дел}$ от 2 до 1000. Делители, построенные на основе обычных счетчиков и счетчика Джонсона, приведены в табл. 4.6.

4.9. Счетчики с некрратным коэффициентом деления

Очень часто на практике требуемый коэффициент деления счета отличается от 2^n или 10. В этом случае используются счетчики с необходимым коэффициентом деления. Если используется n триггеров на 2^n возможных состояний, то за счет введения обратных связей можно часть лишних состояний исключить и получить численный коэффициент $N < 2^n$.

Схема с коэффициентом счета $M = 5$ имеет следующий вид (рис. 4.13).

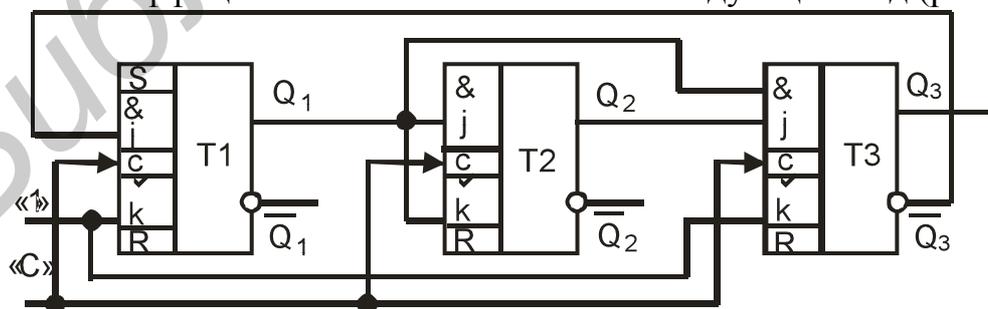


Рис. 4.13

Синхронный счетчик с коэффициентом счета $M = 11$ представлен на рис. 4.14.

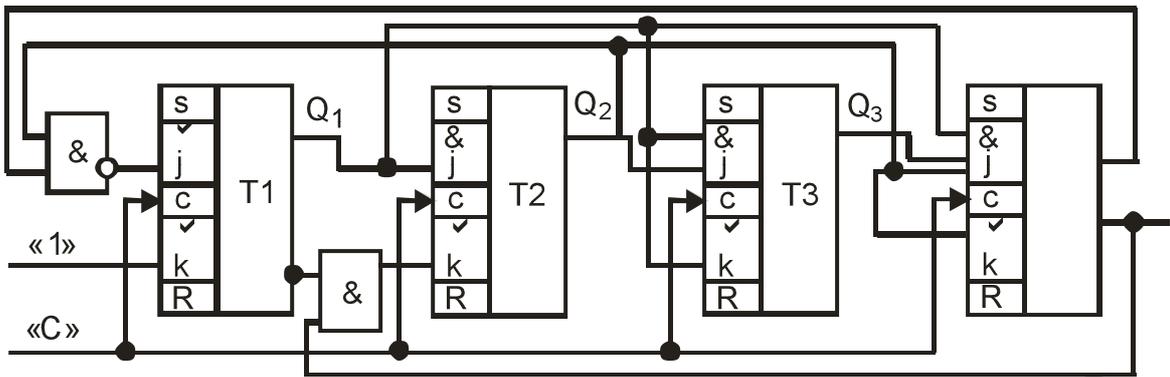


Рис. 4.14

Счетчик на D-триггерах КМОП изображен на рис. 4.15 ($M = 3$).

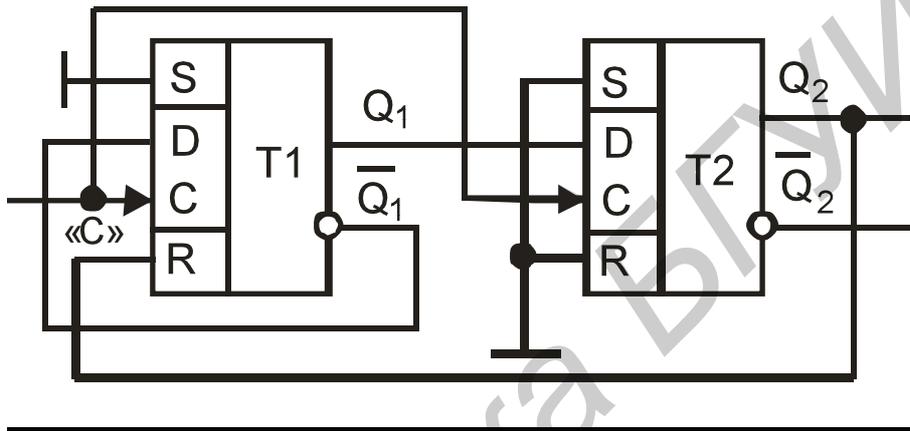


Рис. 4.15

Счетчик-делитель частоты на «б» показан на рис. 4.16.

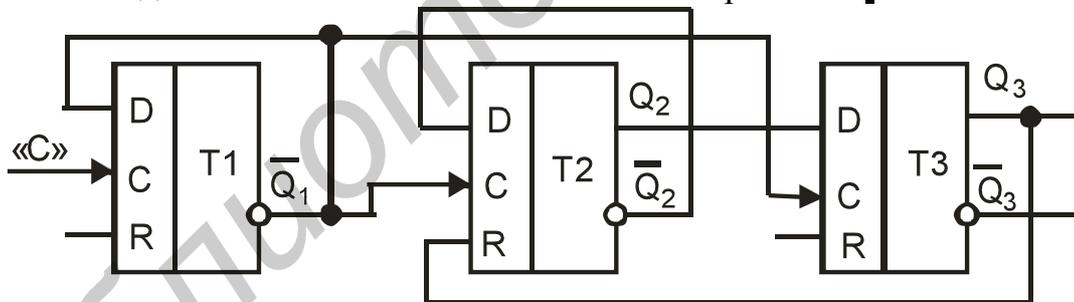


Рис. 4.16

Разработка счетчиков направлена в основном на увеличение их быстродействия. У современных счетчиков максимальная частота переключения достигает десяти гигагерц и выше.

5. РЕГИСТРЫ

Регистр – это устройство, предназначенное для кратковременного хранения и обработки многоразрядных двоичных чисел. Для осуществления различного вида операций используются дополнительные узлы, которые позволяют производить ввод и вывод из регистра хранимой информации, сдвиг влево или вправо кода числа или преобразование кода, преобразование последовательного кода числа в параллельный и наоборот. По способу ввода и вывода инфор-

мации регистры подразделяются на параллельные (регистры хранения) и последовательные (регистры сдвига), могут быть также параллельно-последовательные регистры.

По виду вводимой и выводимой информации регистры подразделяются на два типа: однофазные и парафазные. В регистрах однофазного типа информация вводится в прямом либо в обратном коде, в парафазных – одновременно как в прямом, так и в обратном кодах. Могут быть одноканальные и многоканальные регистры, что определяется числом источников информации.

Для хранения информации используются триггеры различного вида, а вспомогательные устройства строятся на основе комбинационных схем.

5.1. Регистры хранения

Регистр хранения предназначен для хранения n -разрядного слова. Его можно построить на синхронных RS-триггерах (рис. 5.1). Объединение входов «R» образует шину установки «0». Для этого необходимо уровень логической единицы подать на вход «С» и «R» одновременно.

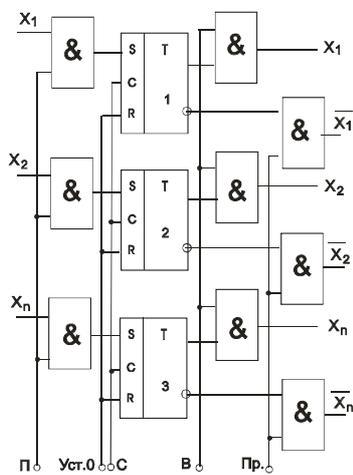


Рис. 5.1

Прием информации осуществляется с помощью конъюнкторов, выходы которых соединены со входами S-триггеров.

Перед приемом информации регистр устанавливается в состояние «0». Затем принимаемый код подается на входы $X_1 \dots X_n$. После этого подается сигнал на шины «П» и «С» одновременно. В тех разрядах, где $X_i = 1$, триггеры устанавливаются в единичное состояние, там, где $X_i = 0$, состояние триггеров не изменяется. Для осуществления операции «Выдача» используют конъюнкторы, подключенные к прямым выходам триггеров. Вторые входы конъюнкторов объединены шиной выдачи «В».

Подавая сигнал на вход «Преобразование», получим на выходе конъюнкторов, подключенных к инверсным выходам триггеров, обратный код.

Часто более выгодно использовать в регистрах парафазный прием и выдачу информации. В этом случае не требуется предварительной установки в «0» элемента хранения. Принцип парафазной передачи информации можно пояснить с помощью рис. 5.2. Для приема информации необходимо подать сигнал на шины «С1» и «П». Для хранения кода в триггере T1 достаточно исключить подачу сигнала по шине «П». Для передачи кода с триггера T1 в триггер T2 необходимо подать сигнал разрешения на шину «С2».

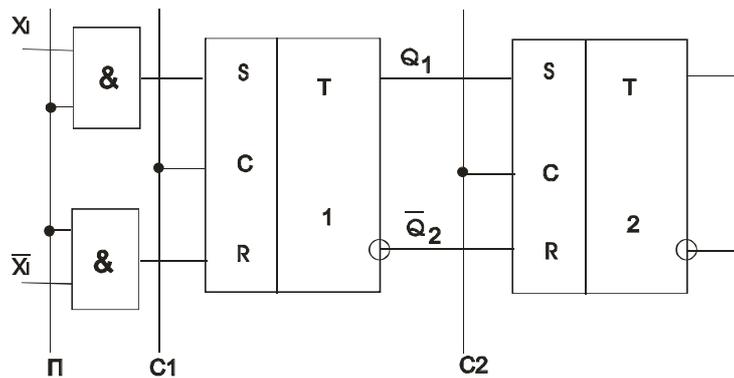


Рис. 5.2

Параллельный регистр хранения на D-триггерах реализуется следующим образом (см. рис. 5.3).

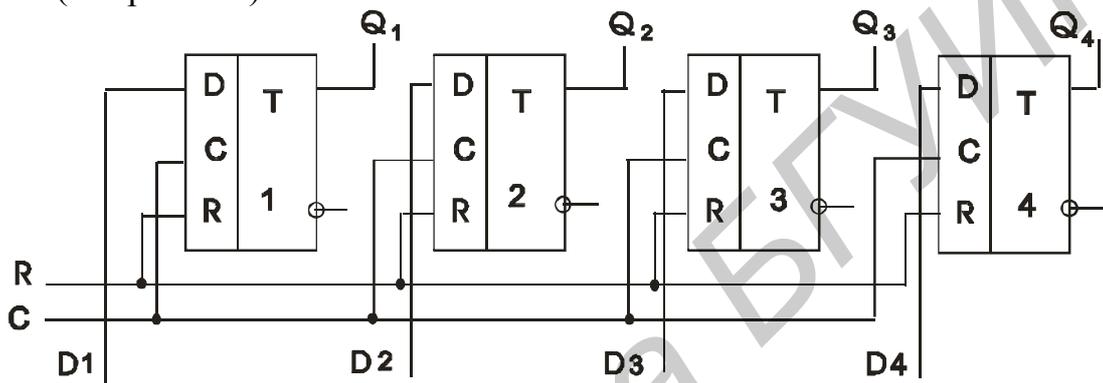


Рис. 5.3

Параллельный код подается на входы $D1 \dots D4$. Такой регистр предназначен для записи и хранения информации в двоичном параллельном коде. Записанное значение кода будет изменяться при подаче нового кода на входы $D1 \dots D4$ и одновременно импульса записи на вход «С».

5.2. Регистры хранения и сдвига

В ряде случаев регистр хранения содержит устройства, выполняющие также операцию сдвига, образуя таким образом регистр хранения и сдвига. Можно осуществлять сдвиг в сторону старших (влево) и в сторону младших (вправо) разрядов. Причем можно осуществлять сдвиг как двоичных чисел, так и двоичных кодов на один или несколько разрядов. Каждый элемент регистра хранения должен сначала передать хранимую информацию, а затем изменить свое состояние за счет приема информации от предыдущего элемента. Естественно, что передача и прием информации не могут происходить одновременно, поэтому необходимо разделить указанные операции во времени. Эту трудность можно обойти, используя синхронные двухступенчатые триггеры или синхронные триггеры с динамическим управлением записью. В этих триггерах по переднему фронту синхриимпульса происходит прием информации, а по заднему – изменение состояния (рис. 5.4, а, б).

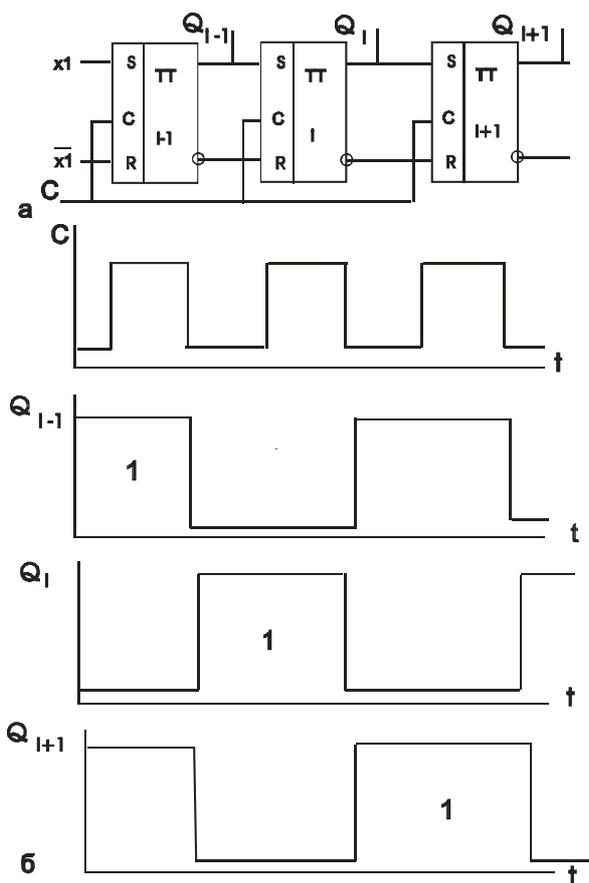


Рис. 5.4

После первого тактового импульса перейдет в состояние «1». Перед вторым тактовым импульсом на вход « A_3 » подается «0», а на вход « A_2 » – «1». После окончания второго тактового импульса единица записывается в триггер Т2 и состояние триггеров запишется кодом 010.

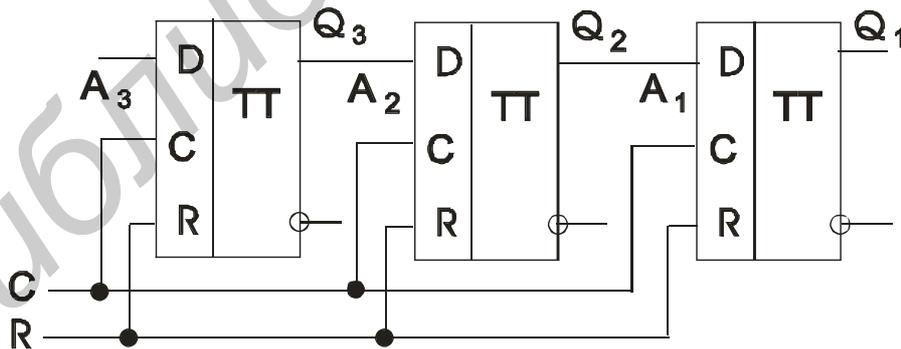


Рис. 5.5

При реализации регистра на JK-триггерах информация от разряда к разряду передается одновременно по входам J и K (рис. 5.6).

Временная диаграмма построена для случая, когда до сдвига на регистре зафиксирован код ...101010... . В исходном состоянии промежуточным разрядам регистра соответствует код ...101... . После подачи сигнала по шине сдвига «С» через время $t_{зд.р.}$ устанавливается код 010 и т. д. Важным параметром регистра является время сдвига, которое равно отрезку времени от момента поступления импульса на шину «С» до момента установления сдвинутого кода в регистре. Для данного случая $t_{сдв} \geq t_{и} + t_{зд.р.}$.

Последовательный ввод информации и сдвиг вправо несложно построить на основе D-триггеров (рис. 5.5). Здесь используется однофазный входной сигнал.

Рассмотрим запись числа 001. При подаче «1» на вход « A_3 » триггер Т3 подготовлен к срабатыванию и после

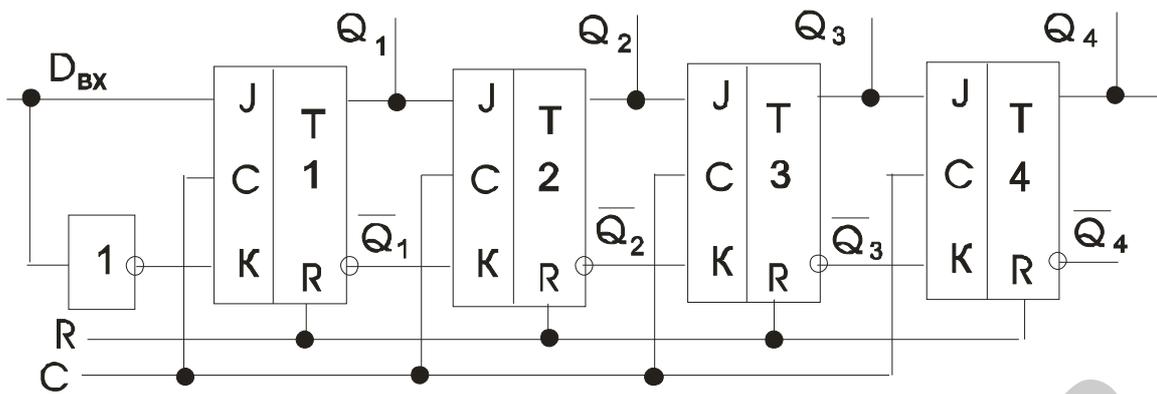


Рис. 5.6

Рассмотрим функционирование этой схемы более подробно (табл. 5.1).

Таблица 5.1

C	Q_1	Q_2	Q_3	Q_4
1	D_1	—	—	—
2	D_2	D_1	—	—
3	D_3	D_2	D_1	—
4	D_4	D_3	D_2	D_1
5	D_5	D_4	D_3	D_2
6	D_6	D_5	D_4	D_3
7	D_7	D_6	D_5	D_4

Первый JK-триггер преобразован в D-триггер, через который передается входной код. Подадим на вход первого триггера информацию D_1 , т.е. $J_1 = D_1$, а на вход C – единичный импульс. Таким образом, после первого импульса $Q_1 = D_1$. При подаче на вход новой информации D_2 и второго тактового импульса на вход C триггер T2 принимает информацию с выхода T1, т.е. $Q_2 = 1$, а триггер T1 примет новую информацию: $Q_1 = D_2$. После третьего синхроимпульса $Q_3 = D_1$; $Q_2 = D_2$; $Q_1 = D_3$, после четвертого – $Q_4 = D_1$; $Q_3 = D_2$; $Q_2 = D_3$; $Q_1 = D_4$. Данный регистр состоит из четырех триггеров и может хранить четыре бита информации. После четвертого такта на выходе $Q_4 \dots Q_1$ хранится код $D_1 \dots D_4$. С выходов $Q_1 \dots Q_4$ можно сделать параллельный вывод последовательно введенной информации. Однако возможен и последовательный вывод с триггера T4 при подаче тактовых импульсов под номером 4...7. При этом по этим тактовым импульсам можно ввести и новую информацию.

5.3. Реверсивные регистры

Регистры, которые обеспечивают сдвиг влево и вправо на $n \geq 1$ разрядов, называются реверсивными. Регистры могут иметь несколько цепей сдвига, каждая из которых может обеспечить сдвиг на 1, 2, 4 или 8 разрядов одновременно. Принципы управления остаются теми же.

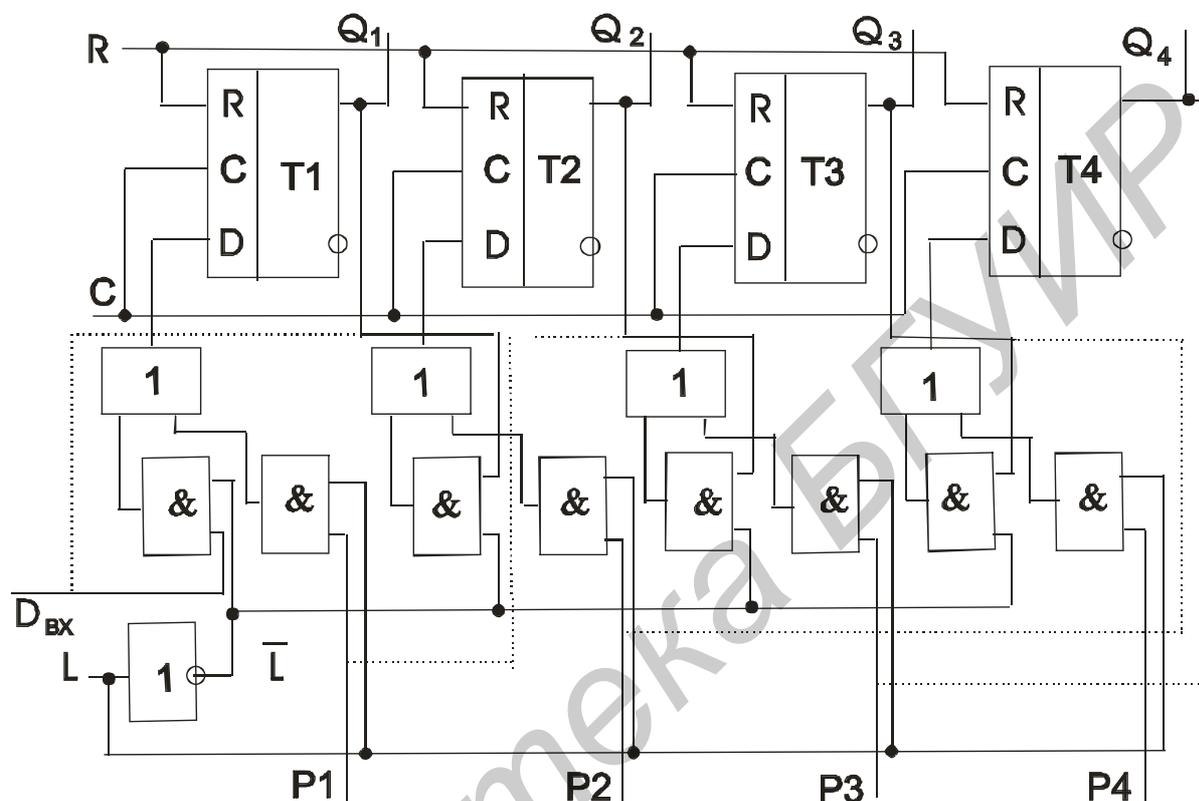


Рис. 5.7

Возможная схема построения реверсивного регистра на D-триггерах приведена на рис. 5.7. Для одновременного ввода в регистр всех разрядов числа, что требуется, например, при последовательном умножении или последовательном сложении, имеются шины P1...P4. При сигнале L = 1 по этим входам осуществляется параллельный ввод информации. Если сигнал на управляющем входе L = 0, то осуществляется операция сдвига вправо, а также последовательный ввод информации по входу D_{вх}. Если каждый из параллельных входов соединить с выходом соседнего триггера справа (как это показано штрихпунктирной линией), то можно осуществить сдвиг информации влево. Направление сдвига можно менять с помощью управляющего сигнала по входу L.

5.4. Кольцевые регистры

Часто требуется вывести информацию из регистра без ее стирания. С этой целью выведенная информация по цепи обратной связи снова вводится в регистр. Схема такого устройства может иметь следующий вид (рис. 5.8).

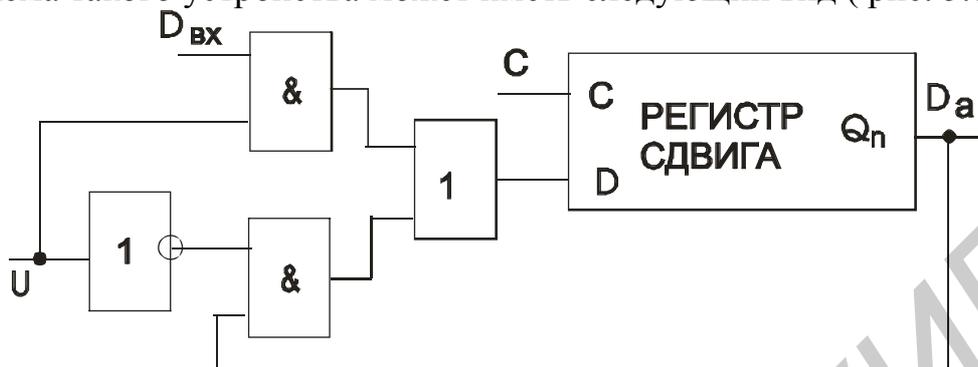


Рис. 5.8

Если на вход U поступает сигнал логической единицы, то обратная связь не работает и регистр работает в обычном режиме. За первые n тактов в регистре записывается n -разрядный код. Чтобы не потерять введенную информацию, на n -м такте на вход « U » подается уровень логического нуля, при этом $D = D_n$, а сигнал с $D_{вх}$ не воспринимается. После подачи n тактовых импульсов в регистре будет записан прежний код. Таким образом, вход управления « U » определяет, записывается ли старая информация или вводится новая.

5.5. Регистры на интегральных схемах

В качестве примера можно назвать микросхемы серии К155 и КМ155, представляющие собой 4-разрядные сдвиговые регистры (К155ИР1 и КМ155ИР1) и 8-разрядный универсальный регистр сдвига (К176ИР3) – серии К176.

Рассмотрим работу 8-разрядного реверсивного регистра сдвига в интегральном исполнении К155ИР13 (рис. 5.9), который построен на двухступенчатых RS-триггерах, имеющих асинхронную установку в «0» по входу « R ».

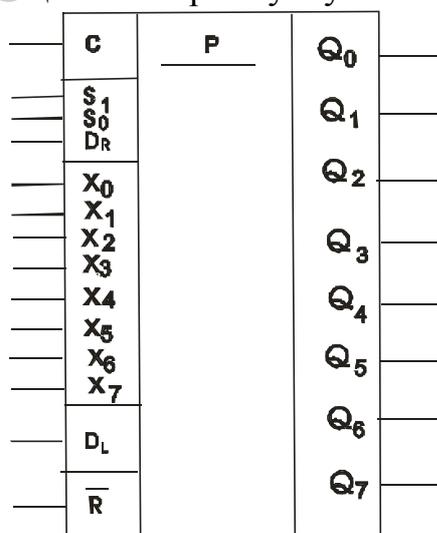


Рис. 5.9

В этом регистре имеется сдвиг влево и вправо на один разряд. Сдвиг осуществляется по переднему фронту синхросигнала «С», а также комбинацией сигналов на входах S_1 и S_0 . При коде $S_1S_0 = 11$ происходит прием информации (параллельная загрузка по входам $X_0...X_7$), при коде $S_1S_0 = 01$ – сдвиг влево и при $S_1S_0 = 10$ сдвиг вправо. Код $S_1S_0 = 00$ соответствует хранению информации. На элементы хранения поступает парафазный код, на выходах $Q_0...Q_7$ регистра фиксируется прямой код. Входы D_R и D_L предназначены для последовательного ввода информации и сдвига вправо и влево соответственно.

Из такого типа регистров собираются полноразрядные регистры (16 разрядов – полуслово, 32 разряда – слово), а также другие регистры хранения и сдвига.

6. УСТРОЙСТВА ПРЕОБРАЗОВАНИЯ ИНФОРМАЦИИ

6.1. Цифроаналоговые преобразователи

Цифроаналоговые преобразователи (ЦАП) предназначены для преобразования цифровых сигналов в аналоговые. Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой, для передачи на большое расстояние, в устройствах измерительной техники и ряде других случаев. Другой пример использования такого преобразования – получение управляющего сигнала при цифровом управлении устройствами, режим работы которых определяется непосредственно аналоговым сигналом (например при управлении двигателями).

К основным параметрам ЦАП относят: разрешающую способность, время установления, погрешность нелинейности. Разрешающая способность – величина, обратная максимальному числу шагов квантования выходного аналогового сигнала. Время установления $t_{уст}$ – интервал времени от подачи кода на вход до момента, когда выходной сигнал войдет в заданные пределы, определяемые погрешностью. Погрешность нелинейности – максимальное отклонение графика зависимости выходного напряжения от напряжения, задаваемого цифровым сигналом, по отношению к идеальной прямой во всем диапазоне преобразования.

Как и рассматриваемые ниже аналого-цифровые преобразователи (АЦП), ЦАП являются «связующим звеном» между аналоговой и цифровой электроникой. Существуют различные принципы построения ЦАП.

Рассмотрим наиболее используемые из них. На рис. 6.1 приведена схема ЦАП с суммированием весовых токов.

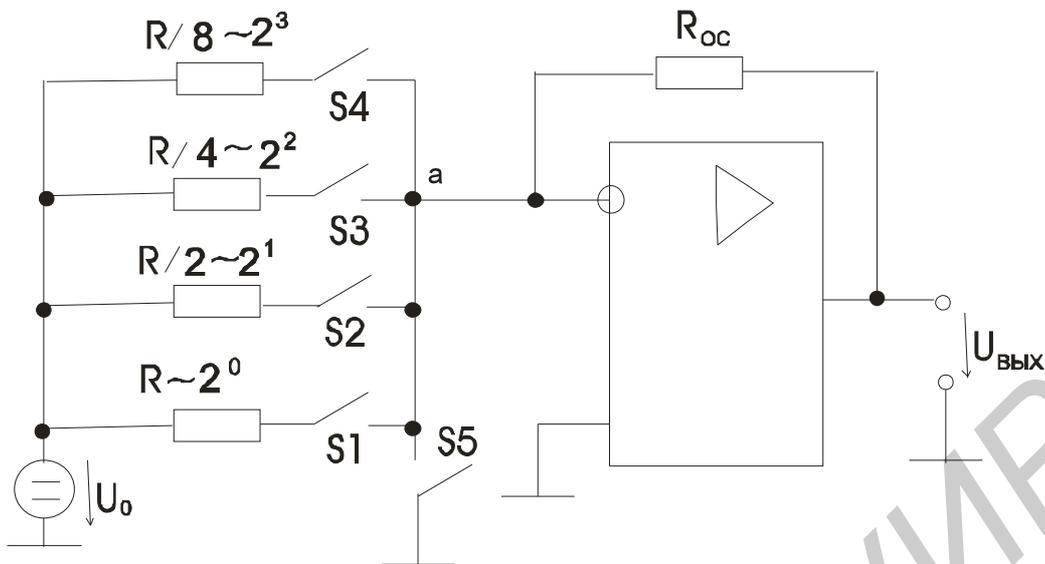


Рис. 6.1

Ключ $S5$ замкнут только тогда, когда разомкнуты все ключи $S1...S4$ (при этом $U_{\text{ВЫХ}} = 0$). U_0 – опорное напряжение. Каждый резистор во входной цепи соответствует определенному разряду двоичного числа.

По существу этот ЦАП – инвертирующий усилитель на основе операционного усилителя. Проведем анализ работы такой схемы. Так, если замкнут один ключ $S1$, то $U_{\text{ВЫХ}} = -U_0 \times (R_{\text{oc}} / R)$, что соответствует единице в первом и нулям в остальных разрядах.

Из анализа схемы следует, что модуль выходного напряжения пропорционален числу, двоичный код которого определяется положением ключей $S1...S4$. Токи ключей $S1...S4$ суммируются в точке «а», причем токи различных ключей различны (имеют разный «вес»). Это и определяет название схемы.

Из вышеизложенного следует, что

$$U_{\text{ВЫХ}} = -U_0 \frac{R_{\text{oc}}}{R} S1 - U_0 \frac{R_{\text{oc}}}{R/2} S2 - U_0 \frac{R_{\text{oc}}}{R/4} S3 - U_0 \frac{R_{\text{oc}}}{R/8} S4,$$

$$\text{т.е. } U_{\text{ВЫХ}} = -U_0 \cdot (R_{\text{oc}} / R) \cdot (8S4 + 4S3 + 2S2 + S1), \quad (6.1)$$

где S_i ($i = 1, 2, 3, 4$) принимает значение 1, если соответствующий ключ замкнут, и 0, если ключ разомкнут.

Состояние ключей определяется входным преобразуемым кодом. Схема проста, но имеет недостатки: значительные изменения напряжения на ключах и использование резисторов с сильно отличающимися сопротивлениями. Требуемую точность этих сопротивлений обеспечить затруднительно.

Рассмотрим ЦАП на основе резистивной матрицы $R-2R$ (матрицы постоянного сопротивления) (рис. 6.2).

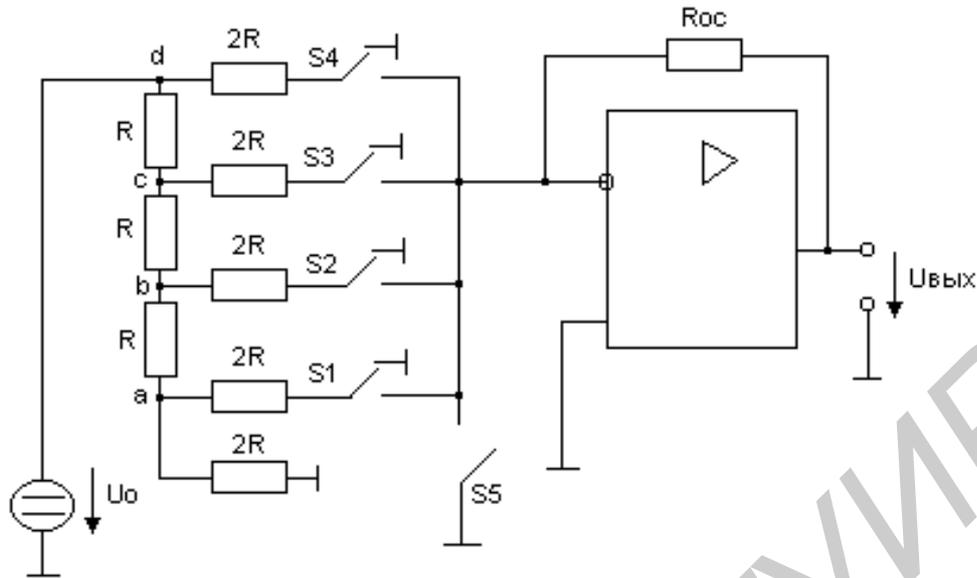


Рис. 6.2

В схеме использованы так называемые перекидные ключи $S_1 \dots S_4$, каждый из которых в одном из состояний подключен к общей точке, поэтому напряжения на ключах невелики. Ключ S_5 замкнут только тогда, когда все ключи $S_1 \dots S_4$ подключены к общей точке. Во входной цепи использованы резисторы всего с двумя различными значениями сопротивлений.

Из анализа схемы можно увидеть, что и для нее модуль выходного напряжения пропорционален числу, двоичный код которого определяется состоянием ключей $S_1 \dots S_4$. Анализ легко выполнить, учитывая следующее. Пусть каждый из ключей $S_1 \dots S_4$ подключен к общей точке. Тогда, как легко заметить, напряжение относительно общей точки в каждой следующей из точек «а»...«d» в 2 раза больше, чем в предыдущей. К примеру, напряжение в точке «b» в 2 раза больше, чем в точке «а» (напряжения U_a , U_b , U_c и U_d в указанных точках определяются следующим образом: $U_d = U_0$; $U_c = U_0/2$; $U_b = U_0/4$; $U_a = U_0/8$). Допустим, что состояние указанных ключей изменилось. Тогда напряжения в точках «а»...«d» не изменятся, так как напряжение между входами операционного усилителя практически нулевое.

Из вышеизложенного следует, что

$$U_{\text{вых}} = -U_0 \times (R_{\text{oc}} / 2R) \times S_4 - (U_0 / 2) \times (R_{\text{oc}} / 2R) \times S_3 - \\ - (U_0 / 4) \times (R_{\text{oc}} / 2R) \times S_2 - (U_0 / 8) \times (R_{\text{oc}} / 2R) \times S_1,$$

$$\text{т.е. } U_{\text{вых}} = -U_0 \cdot (R_{\text{oc}} / 16R) \cdot (8S_4 + 4S_3 + 2S_2 + S_1), \quad (6.2)$$

где S_i ($i = 1, 2, 3, 4$) принимает значение 1, если соответствующий ключ замкнут, и 0, если ключ разомкнут.

Приведем схему ЦАП для преобразования двоично-десятичных чисел (рис. 6.3).

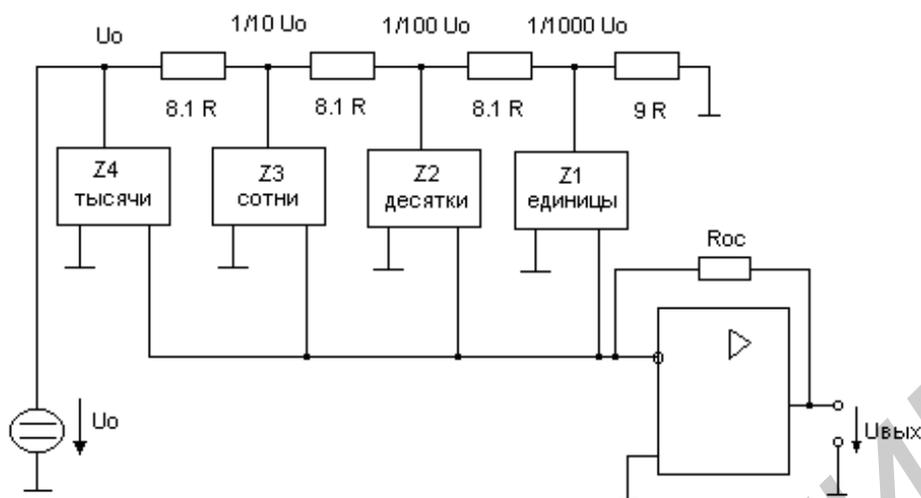


Рис. 6.3

Для представления каждого разряда десятичного числа используется отдельная матрица R–2R (обозначены прямоугольниками). Z0...Z3 обозначают числа, определенные состоянием ключей каждой матрицы R–2R. Принцип действия становится понятным, если учесть, что сопротивление каждой матрицы равно R и выполнить анализ фрагмента схемы, представленного на рис. 6.4.

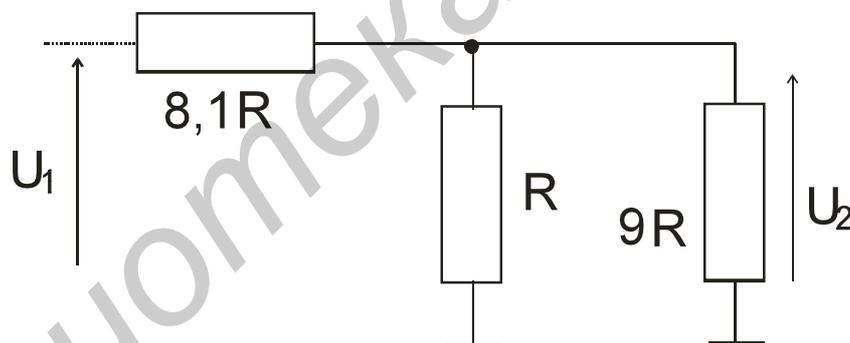


Рис. 6.4

Из анализа следует, что $U_2 = U_1 \cdot (R \parallel 9R) / (8,1R + R \parallel 9R)$, где $R \parallel 9R = (R \cdot 9R) / (R + 9R) = 0,9R$.

Следовательно, $U_2 = 0,1 \cdot U_1$. С учетом этого получим

$$U_{\text{вых}} = -U_0 \cdot (R_{\text{ос}} / 16R) \cdot 10^{-3} \cdot (10^3 \cdot Z_3 + 10^2 \cdot Z_2 + 10^1 \cdot Z_1 + Z_0). \quad (6.3)$$

Наиболее распространенными являются ЦАП серий микросхем 572, 594, 1108, 1118 и др. В табл. 6.1 приведены параметры некоторых ЦАП.

Таблица 6.1

Тип схемы	Число разряд.	$t_{\text{уст}}$, мкс	U_0 , В	$U_{\text{пит}}/I_{\text{пит}}$, В/мА	$I_{\text{вых}}$, мА
K594ПА1	12	3,5	9, +11	(5...15)/2,5 –15/3,5	2
K1108ПА1	12	0,4	2,2,	+5/15	5
K572ПА1А	10	5	–17, +17	(5...17)/2	1
K575ПА2А	10	15	–15, +15	5/2	0,8

6.2. Аналого-цифровые преобразователи

Аналого-цифровые преобразователи (АЦП) – это устройства, предназначенные для преобразования аналоговых сигналов в цифровые. Для такого преобразования необходимо осуществить квантование аналогового, т. е. мгновенные значения аналогового сигнала ограничить определенными уровнями, называемыми уровнями квантования.

Характеристика идеального квантования сигнала изображена на рис. 6.5.

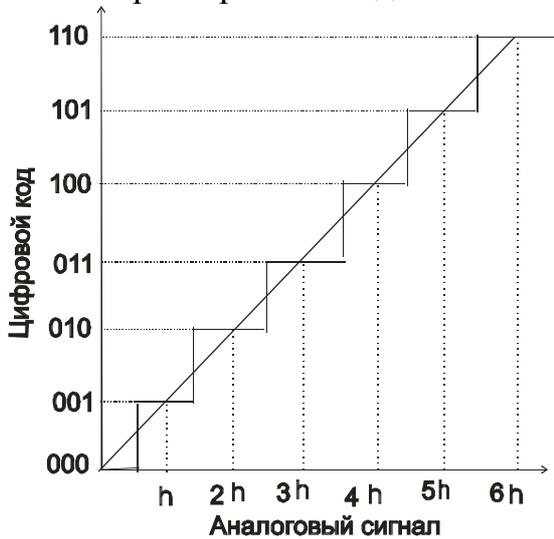


Рис. 6.5

Квантование представляет собой округление аналоговой величины до ближайшего уровня квантования, т. е. максимальная погрешность квантования равна $\pm 0,5h$ (h – шаг квантования). К основным характеристикам АЦП относят число разрядов, время преобразования, нелинейность и другие. Число разрядов – количество разрядов кода, связанного с аналоговой величиной, которое может вырабатывать АЦП. Часто говорят о разрешающей способности АЦП, которую определяют величиной, обратной максимальному числу кодовых комбинаций на

выходе АЦП. Так, 10-разрядный АЦП имеет разрешающую способность ($2^{10} = 1024$) – 1, т. е. при шкале АЦП, соответствующей 10В, абсолютное значение шага квантования не превышает 10 мВ. Время преобразования $t_{пр}$ – интервал времени от момента заданного изменения сигнала на входе АЦП до появления на его выходе соответствующего устойчивого кода.

Характерными методами преобразования являются следующие: последовательного и параллельного преобразования аналоговой величины.

Метод последовательного преобразования реализуется в АЦП время-импульсного преобразования (АЦП с генератором линейно изменяющегося напряжения – ГЛИН). Принцип действия рассматриваемого АЦП (рис. 6.6, а, б) основан на подсчете числа импульсов в отрезке времени, в течение которого линейно изменяющееся напряжение (ЛИН), увеличиваясь от нулевого значения, достигает уровня входного напряжения $U_{вх}$. На рис. 6.6, а использованы следующие обозначения: СС – схема сравнения, ГИ – генератор импульсов, Кл – электронный ключ, Сч – счетчик импульсов. Отмеченный на временной диаграмме момент времени t_1 (рис. 6.6, б) соответствует началу измерения входного напряжения, а момент времени t_2 соответствует равенству входного напряжения и напряжения ГЛИН. Погрешность измерения определяется шагом квантования времени. Ключ Кл подключает к счетчику генератор импульсов от момента начала измерения до момента равенства $U_{вх}$ и $U_{глин}$. Через $U_{сч}$ обозначено напряжение на входе счетчика. Код на выходе счетчика пропорционален

входному напряжению. Одним из недостатков этой схемы является невысокое быстродействие.

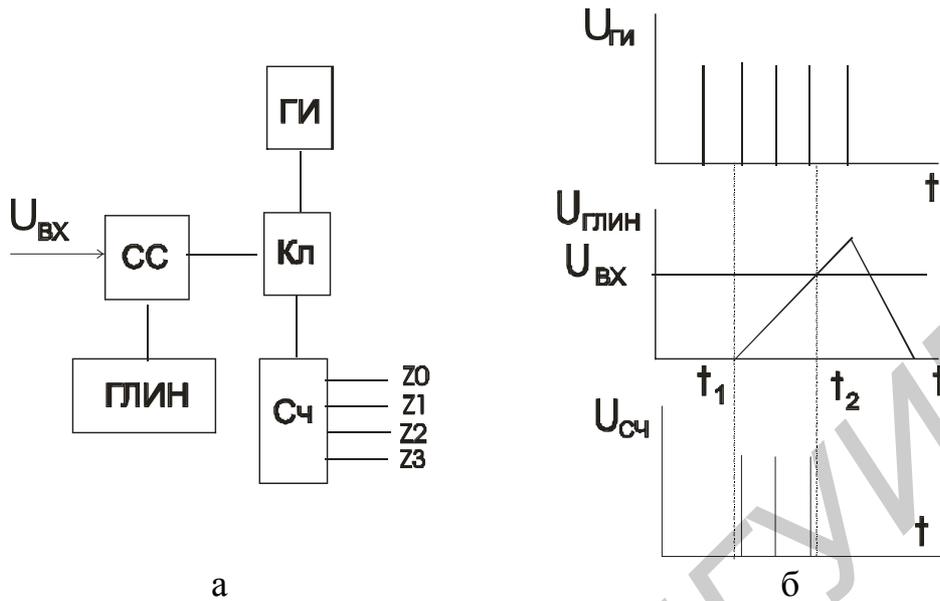


Рис. 6.6

Рассмотрим еще один вариант АЦП с последовательным преобразованием входного сигнала (последовательного счета), который называют АЦП со сле

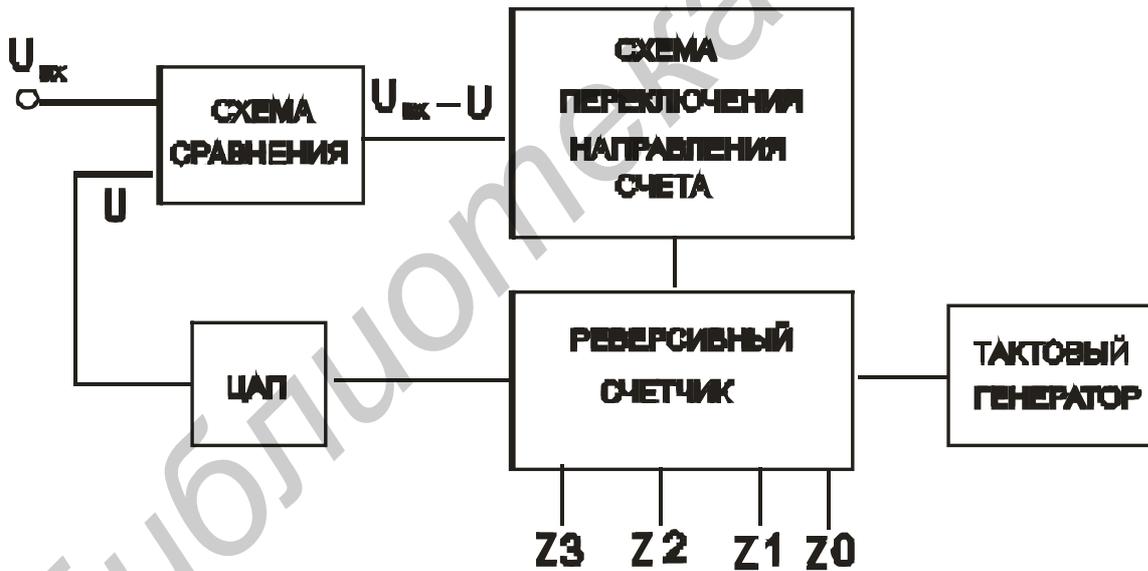


Рис. 6.7

дущей связью (рис. 6.7). В АЦП рассматриваемого типа используются ЦАП и реверсивный счетчик, сигнал с которого обеспечивает изменение напряжения на выходе ЦАП. Настройка схемы такова, что обеспечивается примерное равенство напряжений на входе $U_{вх}$ и на выходе ЦАП – U . Если входное напряжение $U_{вх}$ больше напряжения U на выходе ЦАП, то счетчик переводится в режим прямого счета и код на его выходе увеличивается, обеспечивая увеличение напряжения на выходе ЦАП. В момент равенства $U_{вх}$ и U счет прекращается и с

выхода реверсивного счетчика снимается код, соответствующий входному напряжению.

Рассмотрим АЦП с двойным интегрированием, который также реализует метод последовательного преобразования входного сигнала (рис. 6.8). На рисунке использованы следующие обозначения: СУ – система управления, ГИ – генератор импульсов, Сч – счетчик импульсов. Принцип действия АЦП состоит в определении отношения двух отрезков времени, в течение одного из которых выполняется интегрирование входного напряжения $U_{вх}$ интегратором на основе ОУ (напряжение $U_{и}$ на выходе интегратора изменяется от нуля до максимальной по модулю величины), а в течение следующего – интегрирование опорного напряжения $U_{оп}$ ($U_{и}$ меняется от максимальной по модулю величины до нуля) (рис. 6.9). Пусть время t_1 интегрирования входного сигнала постоянно, тогда чем больше второй отрезок времени t_2 (отрезок времени, в течение которого интегрируется опорное напряжение), тем больше входное напряжение.

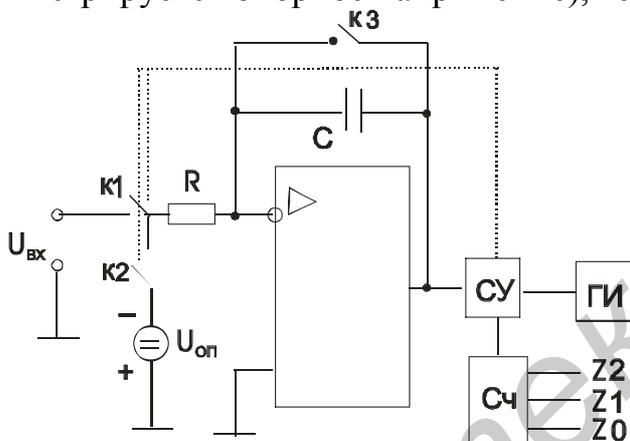


Рис. 6.8

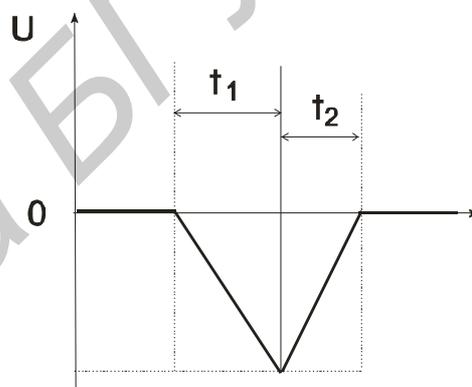


Рис. 6.9

Ключ К3 предназначен для установки интегратора в исходное нулевое состояние. В первый из указанных отрезков времени ключ К1 замкнут, ключ К2 разомкнут, а во второй отрезок времени их состояние является обратным по отношению к указанному. Одновременно с замыканием ключа К2 импульсы с генератора импульсов ГИ начинают поступать через схему управления СУ на счетчик Сч. Поступление этих импульсов заканчивается тогда, когда напряжение на выходе интегратора оказывается равным нулю. Напряжение на выходе интегратора по истечении отрезка времени t_1 определяется выражением

$$U_u(t_1) = -\frac{1}{RC} \int_0^t U_{вх} dt = -t_1 \frac{U_{вх}}{RC}. \quad (6.4)$$

Используя аналогичное выражение для отрезка времени t_2 , получим

$$t_2 = -U_u(t_1) \frac{RC}{U_{оп}}. \quad (6.5)$$

Подставив сюда выражение (6.4), получим

$$t_2 = t_1 \frac{U_{вх}}{U_{оп}}, \quad (6.6)$$

откуда

$$U_{\text{ВХ}} = U_{\text{оп}} \frac{t_2}{t_1}. \quad (6.7)$$

Код на выходе счетчика определяет величину входного напряжения.

Одним из основных преимуществ АЦП рассматриваемого типа является высокая помехозащищенность. Случайные выбросы входного напряжения, имеющие место в течение короткого времени, практически не оказывают влияния на погрешность преобразования. Недостаток АЦП – малое быстродействие.

Рассмотрим АЦП с параллельным преобразованием входного аналогового сигнала. По параллельному методу входное напряжение одновременно с помощью компараторов сравнивают с “n” опорными напряжениями и определяют, между какими двумя опорными напряжениями оно лежит. При этом результат получают быстро, но схема оказывается достаточно сложной.

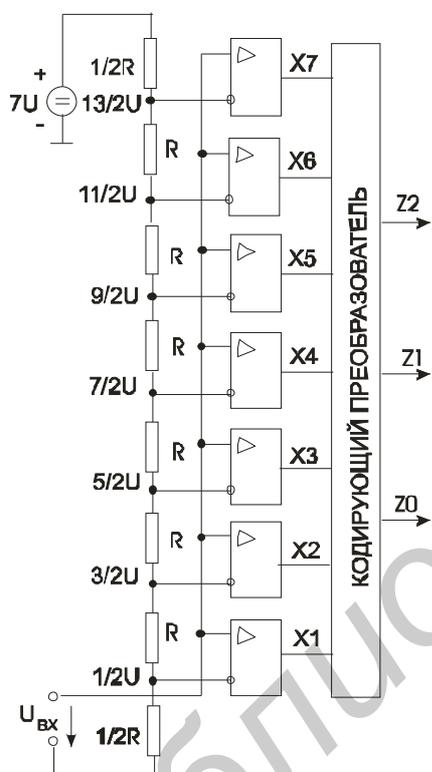


Рис. 6.10

Рассмотрим принцип действия такого АЦП (рис. 6.10). При $U_{\text{ВХ}} = 0$, поскольку для всех ОУ, используемых в качестве компараторов, разность напряжений $U_+ - U_- < 0$, (U_+ , U_- – напряжения относительно общей точки соответственно неинвертирующего и инвертирующего входа) напряжения на выходе всех ОУ равны $-E_{\text{пит}}$, а на выходах кодирующего преобразователя (КП) Z_0 , Z_1 , Z_2 устанавливаются нули. Если $U_{\text{ВХ}}$ больше $0,5 U$, но меньше $3/2 U$, то только для нижнего ОУ ($U_+ - U_- > 0$) и лишь на его выходе появляется напряжение $+E_{\text{пит}}$, что приводит к появлению на выходах КП следующих сигналов: $Z_0 = 1$, $Z_2 = Z_1 = 0$. Если $U_{\text{ВХ}} > 3/2 U$, но меньше $5/2 U$, то на выходе двух нижних ОУ появляется напряжение $+E_{\text{пит}}$, что приводит к появлению на выходах КП кода 010 и т. д.

Работа преобразователя представлена с помощью табл. 6.2. В данной таблице единицей отражено состояние компараторов, когда на их выходах имеет место напряжение $+E_{\text{пит}}$, и нулем $-E_{\text{пит}}$, $U_{\text{ВХ}} = U_0$ – входное напряжение, U – падение напряжения на одном резисторе. Чем больше входной сигнал, тем большее количество компараторов имеет единичное состояние. Кодирующий преобразователь преобразует унитарный код на выходах компараторов в двоичный, в данном случае в трехразрядный.

Таблица 6.2

\underline{U}_0 \underline{U}	Состояние компараторов							Двоичное число			Десятичное число
	X7	X6	X5	X4	X3	X2	X1	Z2	Z1	Z0	Z
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	1
2	0	0	0	0	0	1	1	0	1	0	2
3	0	0	0	0	1	1	1	0	1	1	3
4	0	0	0	1	1	1	1	1	0	0	4
5	0	0	1	1	1	1	1	1	0	1	5
6	0	1	1	1	1	1	1	1	1	0	6
7	1	1	1	1	1	1	1	1	1	1	7

Для данной схемы требуется $(2^n - 1)$ компараторов и 2^n резисторов (n – разрядность кода на выходе преобразователя).

Наиболее распространенными АЦП являются микросхемы серий 572, 1107, 1138 и др.

7. КОМПАРАТОРЫ

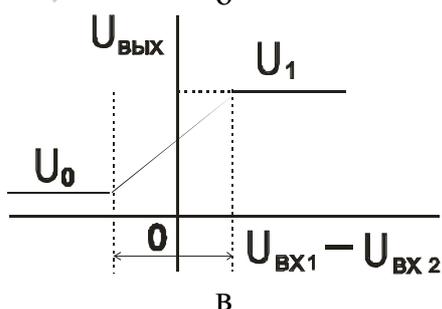
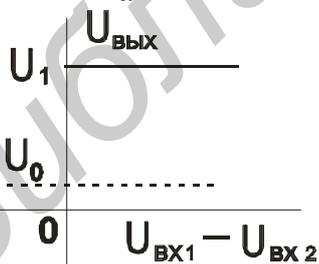
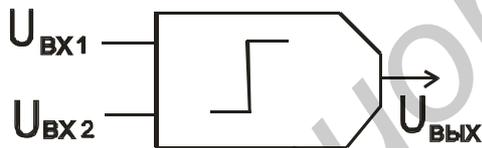


Рис. 7.1

Компаратор – это элемент, выполняющий логическую операцию сравнения аналоговых величин или цифровых кодов.

Аналоговый компаратор имеет два входа и один выход (рис. 7.1, а). Напряжение на выходе принимает значение U_0 или U_1 в зависимости от соотношения входных сигналов

$$U_{\text{ВЫХ}} = \begin{cases} U_1 & \text{при } U_{\text{ВХ1}} > U_{\text{ВХ2}}, \\ U_0 & \text{при } U_{\text{ВХ1}} < U_{\text{ВХ2}} \end{cases} \quad (7.1)$$

Характеристики «выход - вход» компаратора показаны на рис. 7.1, б, в, где <б> – идеальный, а <в> – реальный компараторы.

Уровни U_1 и U_0 рассматриваются как единичные и нулевые уровни логической переменной S :

$$S = \begin{cases} \ll 0 \gg & \text{при } (U_{\text{вх1}} - U_{\text{вх2}}) < 0 \\ \ll 1 \gg & \text{при } (U_{\text{вх1}} - U_{\text{вх2}}) > 0 \end{cases} \quad (7.2)$$

Компаратор соответствует одноразрядному преобразователю «напряжение-код». Обычно значения U_0 и U_1 соответствуют уровням напряжения ТТЛ-или ЭСЛ-схем.

7.1. Принципы построения компараторов

Реальные компараторы имеют петлю гистерезиса (см. рис. 7.1, в) и конечный коэффициент усиления. Чтобы выходной сигнал компаратора изменился на конечную величину $|U_{\text{вых}}^1 - U_{\text{вых}}^0|$ при бесконечно малом изменении входного сигнала, компаратор должен иметь бесконечно большой коэффициент усиления при полном отсутствии шумов во входном сигнале. Такую характеристику можно имитировать двумя способами – либо использовать усилитель с очень большим коэффициентом усиления, или ввести положительную обратную связь.

В качестве компаратора может быть использован операционный усилитель (ОУ) так, как это показано на рис. 7.2, а. Усилитель включен по схеме инвертирующего сумматора, однако вместо резистора в цепи обратной связи включены параллельно стабилитрон и диод.

Пусть $R_1 = R_2$. Если $U_{\text{вх}} - U_{\text{оп}} > 0$, то диод открыт и выходное напряжение схемы небольшое отрицательное, равное падению напряжения на открытом диоде. При $U_{\text{вх}} - U_{\text{оп}} < 0$ диод закрыт и на стабилитроне установится напряжение, равное его напряжению стабилизации $U_{\text{ст}}$. (рис. 7.2, б).

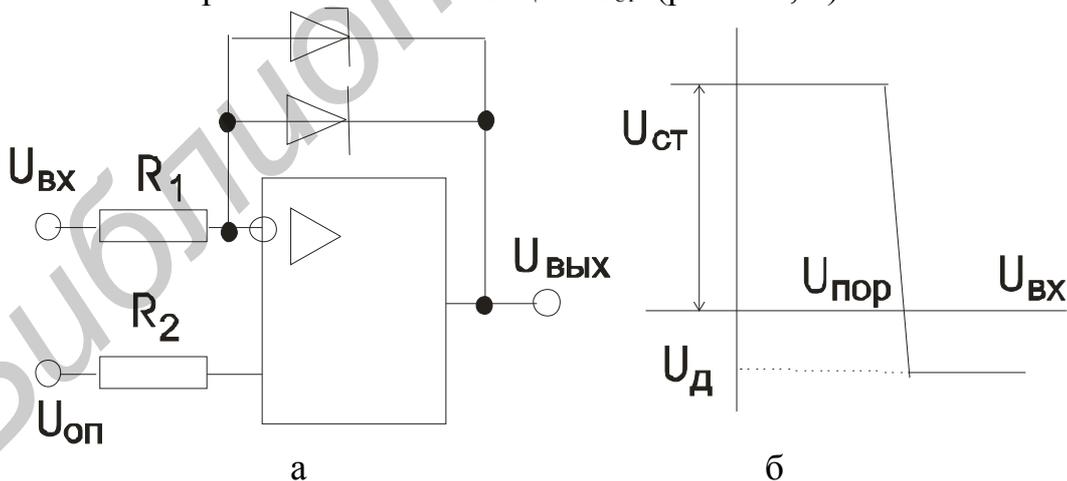


Рис. 7.2

Это напряжение должно соответствовать единичному логическому уровню цифровых интегральных микросхем (ИМС), входы которых подключены к выходу компаратора. Таким образом, выход ОУ принимает два состояния, причем в обоих усилитель работает в линейном режиме. Многие типы ОУ не допускают сколько-нибудь существенное входное дифференциальное напряже-

ние. Включение по схеме рис. 7.2, а обеспечивает работу ОУ в режиме компаратора практически с очень малыми дифференциальными и синфазными входными напряжениями. Недостатком данной схемы является относительно низкое быстродействие, обусловленное необходимостью частотной коррекции, так как ОУ работает в линейном режиме со 100%-ной обратной связью. Используя для построения компаратора обычные ОУ, трудно получить время переключения менее 1 мкс.

7.2. Интегральные компараторы

Таким образом, компаратор – это быстродействующий дифференциальный усилитель постоянного тока с большим коэффициентом усиления, малым дрейфом смещением нуля и логическим выходом. Его входной каскад должен обладать большим коэффициентом ослабления синфазного сигнала и способностью выдерживать большие синфазные и дифференциальные сигналы на входах, не насыщаясь, что снижает его быстродействие. Для повышения помехозащищенности желательно снабдить компаратор стробирующим логическим входом, разрешающим переключение компаратора только в тактовые моменты.

Схема первого промышленного интегрального компаратора А710 (отечественный аналог – 521СА2), разработанного в США в 1965 г., приведена на рис. 7.3.

Она представляет собой дифференциальный усилитель на транзисторах VT1, VT2, нагруженный на каскады ОЭ на VT5 и VT6. Каскад на VT5 через транзистор VT4 управляет коллекторным режимом входного каскада и через транзистор в диодном включении VT7 фиксирует потенциал базы транзистора VT8, делая его независимым от изменений положительного напряжения питания. Каскад на VT6 представляет собой второй каскад усиления напряжения. Эмиттерные выводы транзисторов VT5 и VT6 присоединены к стабилитрону VD1 с напряжением стабилизации 6,2 В, поэтому потенциалы баз указанных транзисторов соответствуют приблизительно 6,9 В. Следовательно, допустимое напряжение на входах компаратора относительно общей точки может достигать 7 В. На транзисторе VT8 выполнен эмиттерный повторитель, передающий сигнал с коллектора VT6 на выход. Постоянная составляющая сигнала уменьшается до нулевого уровня стабилитроном VD2. Если дифференциальное входное напряжение превышает +5...+10 мВ, то транзистор VT6 закрыт, а VT5 близок к насыщению. Выходной сигнал компаратора при этом не может превысить +4 В, так как для более положительных сигналов открывается диод на VT7, не допуская излишнего роста выходного напряжения и насыщения VT5. При обратном знаке входного напряжения VT6 насыщается, потенциал его коллектора оказывается близок к напряжению стабилизации стабилитронов VD1 и VD2, а поэтому потенциал выхода близок к нулю. Транзистор VT9 – источник тока 3 мА для смещения VT8 и VD2. Часть этого тока (до 1,6 мА) может отдаваться в нагрузку, требующую вытекающий ток на входе (один вход логики ТТЛ серии 155 или 133).

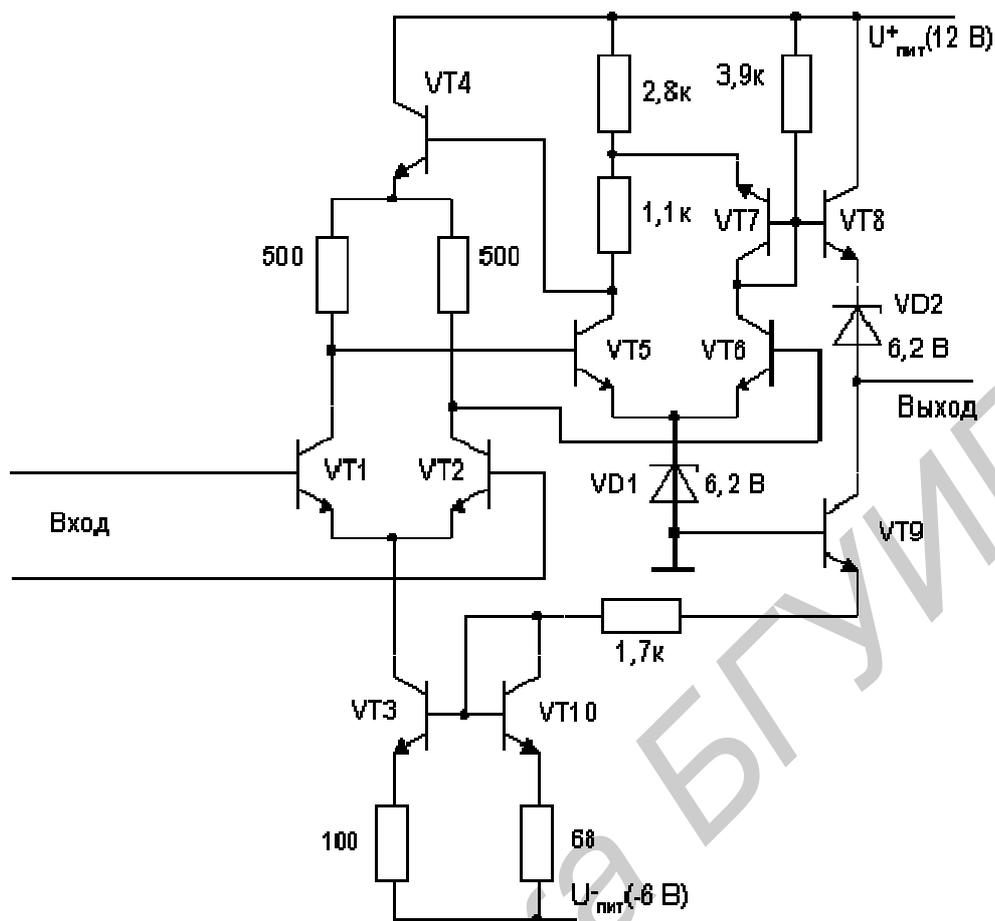


Рис. 7.3

В дальнейшем эта схема развивалась и совершенствовалась. Схемы многих компараторов имеют стробирующий вход для синхронизации, а некоторые модификации снабжены на выходе триггерами-защелками, т.е. схемами, фиксирующими состояние выхода компаратора по приходу синхроимпульса. Кроме того, для повышения функциональной гибкости часть ИМС компараторов (например МАХ917-920) содержит источник опорного напряжения, а у некоторых (например МАХ910) порог срабатывания устанавливается цифровым кодом от 0 до 2,56 В с дискретностью 10 мВ, для чего на кристалле микросхемы имеются источник опорного напряжения и 8-разрядный цифроаналоговый преобразователь. Выходные каскады компараторов обычно обладают большей гибкостью, чем выходные каскады операционных усилителей. В обычном ОУ используют двухтактный выходной каскад, который обеспечивает размах выходного напряжения в пределах между значениями напряжения питания (например, ± 13 В для ОУ типа 140УД7, работающего от источников ± 15 В). В выходном каскаде компаратора эмиттер, как правило, заземлен, и выходной сигнал снимается с «открытого коллектора». Выходные транзисторы некоторых типов компараторов, например, 521СА3 или LM311, имеют открытые, т.е. неподключенные и коллектор, и эмиттер. Две основные схемы включения компараторов такого типа приведены на рис. 7.4.

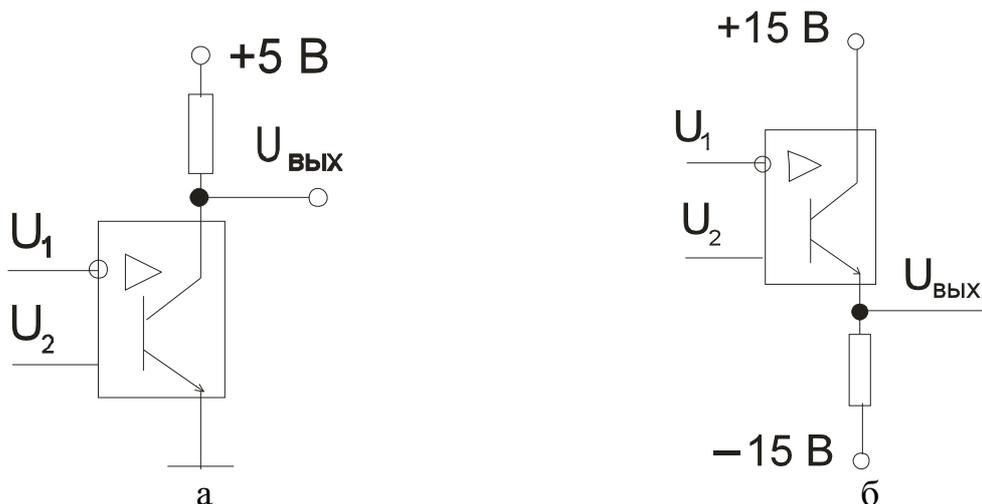


Рис. 7.4

На рис. 7.4, а выходной транзистор компаратора включен по схеме с общим эмиттером. При потенциале на верхнем выводе резистора, равном +5 В, к выходу можно подключать входы TTL, nМОП- и КМОП-логику с питанием от источника 5 В. Для управления КМОП-логикой с более высоким напряжением питания следует верхний вывод резистора подключить к источнику питания данной цифровой микросхемы.

Если требуется изменение выходного напряжения компаратора в пределах от $+U_{\text{пит}}$ до $-U_{\text{пит}}$, выходной каскад включается по схеме эмиттерного повторителя (рис. 7.4, б). При этом заметно снижается быстродействие компаратора. Некоторые модели интегральных компараторов (например AD790, MAX907) имеют внутреннюю неглубокую положительную обратную связь, обеспечивающую их переходной характеристике гистерезис с шириной петли, соизмеримой с напряжением смещения нуля.

На рис. 7.5, а приведена схема включения компаратора с открытым коллектором на выходе, переходная характеристика которой имеет гистерезис (рис. 7.5, б). Пороговые напряжения этой схемы определяются по формулам:

$$U_{\text{п1}} = \frac{U_{\text{оп}} R_2}{R_1 + R_2}; \quad (7.3)$$

$$U_{\text{п2}} = \frac{ER_1 + U_{\text{оп}}(R_2 + R_{\text{к}})}{R_1 + R_2 + R_{\text{к}}}. \quad (7.4)$$

Из-за несимметрии выхода компаратора петля гистерезиса оказывается несимметричной относительно опорного напряжения.

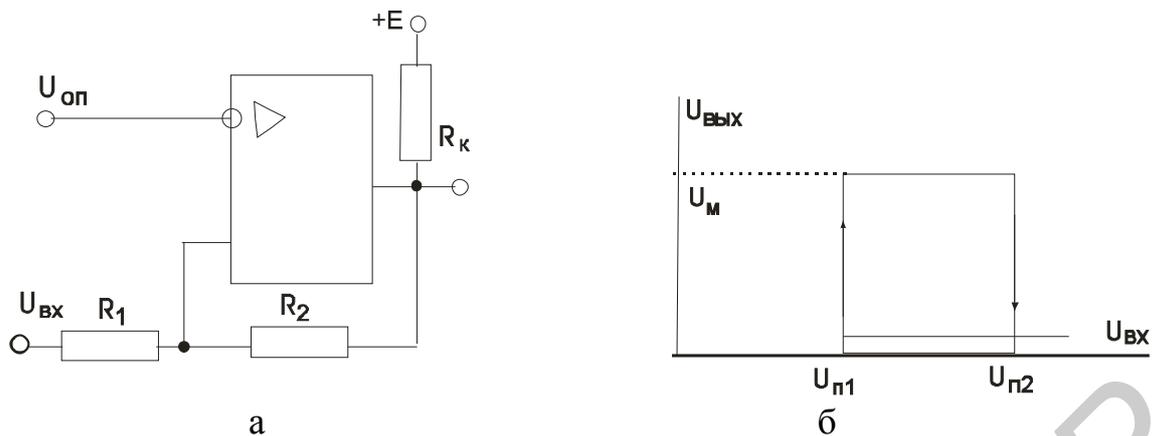


Рис. 7.5

Отметим некоторые отличия компараторов от ОУ.

Несмотря на то, что компараторы очень похожи на операционные усилители, в них почти никогда не используют отрицательную обратную связь, так как в этом случае весьма вероятно (а при наличии внутреннего гистерезиса – гарантировано) самовозбуждение компараторов.

В связи с тем, что в схеме нет отрицательной обратной связи, напряжения на входах компаратора не одинаковы.

Из-за отсутствия отрицательной обратной связи входное сопротивление компаратора относительно низко и может меняться при изменении входных сигналов.

Выходное сопротивление компараторов значительно и различно для разной полярности выходного напряжения.

Рассмотренные схемы компараторов относятся к однопороговым.

7.3. Двухпороговые компараторы

Компаратор, в котором напряжение выхода изменяется 2 раза при изменении входного сигнала в определенном диапазоне, называют двухпороговым.

Наиболее простой и распространенной схемой является мостовая схема (рис. 7.6, а).

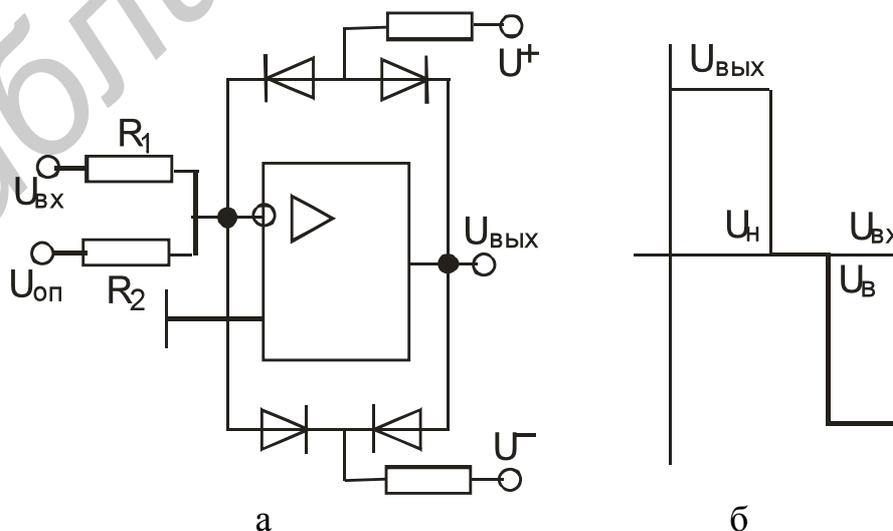


Рис. 7.6

Диодный мост включается в цепь обратной связи. Как только входной ток $I_{вх1}$ превысит ток I_2 , отдаваемый в мост цепью смещения, происходит изменение выходного напряжения (рис. 7.6, б). Нижний и верхний уровень входного сигнала определяются выражениями:

$$U_H = R_1 / R_2 (U^+ - U_d) - U_{оп}, \quad (7.5)$$

$$U_B = R_1 / R_2 (U^- + U_d) - U_{оп}. \quad (7.6)$$

Точность уровней дискриминации и минимальная ширина окна ограничивается десятками милливольт из-за разброса падения напряжений на открытых диодах. Такая схема имеет температурный дрейф дискриминации порядка единиц милливольт на градус.

Другая разновидность двухпорогового компаратора или компаратор «окном» фиксирует, находится ли входное напряжение между двумя заданными пороговыми напряжениями U_1 и U_2 или вне этого диапазона. Для реализации такой функции выходные сигналы двух компараторов необходимо подвергнуть операции логического умножения (рис. 7.7, а). Как показано на рис. 7.7, б, на выходе логического элемента единичный уровень сигнала будет иметь место тогда, когда выполняется условие $U_1 < U_{вх} < U_2$, так как в этом случае на выходах обоих компараторов будут единичные логические уровни. Такой компаратор выпускается в виде ИМС А711 (отечественный аналог – 521СА1).

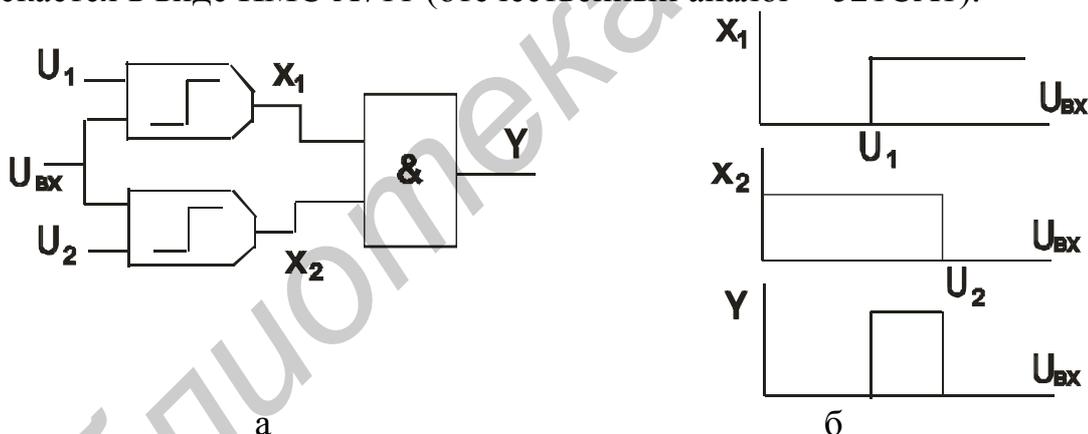


Рис. 7.7

7.4. Регенеративные компараторы

Иногда приходится сравнивать медленно меняющиеся сигналы или очень малые сигналы, в этом случае характеристики компараторов будут в сильной степени зависеть от параметров ОУ. Поэтому для лучшей стабильности схем сравнения используют положительную обратную связь, т.е. регенеративные устройства. Их отличительной особенностью является гистерезис передаточной характеристики. Одна из возможных схем имеет вид (рис. 7.8).

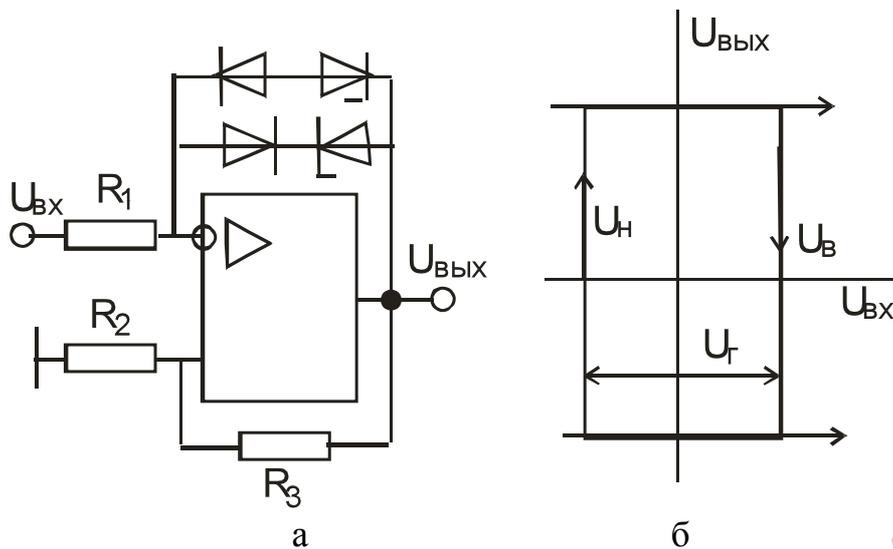


Рис. 7.8

При близком к нулю или отрицательном напряжении на входе напряжение на выходе положительное, а напряжение на неинвертирующем входе определяет верхний порог переключения. При достижении $U_{вх} = U_{в}$ ток в цепи стабилитронов становится равным нулю, затем изменяет свое направление, а выходное напряжение изменяет свой знак. На неинвертирующем входе будет напряжение $U_{н} = U_{в}$. Для переключения компаратора в обратное состояние сигнал на выходе должен изменяться от $-U_{в}$ до $+U_{в}$, т.е. на $2U_{в}$, что и определяет петлю гистерезиса:

$$U_{г} = \frac{2U_{ст} \cdot R_2}{R_2 + R_3}. \quad (7.7)$$

7.5. Применение компараторов

Преобразование напряжений во временной интервал. Для этой цели входное напряжение U_x сравнивается с пилообразным напряжением. Если частота напряжения пилообразной формы будет намного выше частоты сигнала U_x , то в течение одного периода T значение U_x можно считать практически постоянным. В этом случае длительность τ и скважность Q импульсов будут пропорциональны U_x :

$$\tau = (T/A) \times U_x; \quad Q = \tau/T = (1/A) \times U_x. \quad (7.8)$$

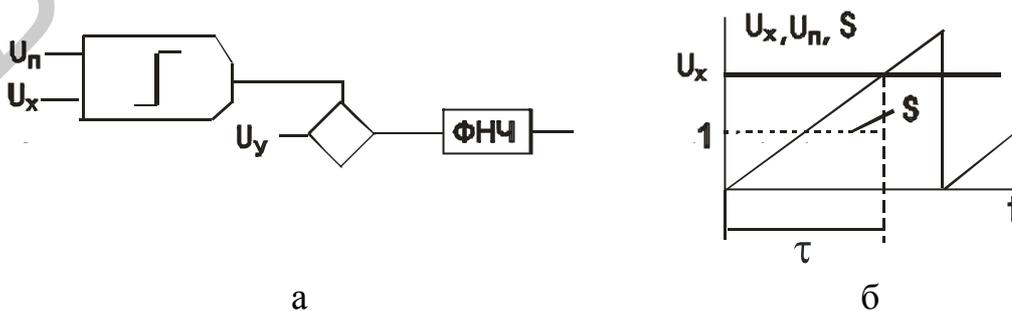


Рис. 7.9

Если заполнить временной интервал импульсами и подсчитать их число, получим устройство типа цифрового вольтметра.

Преобразование напряжения в скважность импульсов используется в аналоговых схемах перемножения времяимпульсного типа (рис. 7.9, а, б). В этой схеме компаратор управляет ключом, на выходе которого в течение времени τ присутствует сигнал U_y , а в промежутке $T - \tau$ сигнал отсутствует:

$$U_y \cdot S = \begin{cases} U_y & \text{при } 0 \leq t \leq \tau, \\ 0 & \text{при } \tau < t < T. \end{cases} \quad (7.9)$$

Среднее значение сигнала с ключа, выделяемое фильтром нижних частот (ФНЧ), будет пропорционально произведению напряжений U_x и U_y

$$U_{\text{ВЫХ}} = 1/T \int_0^T U_y S dt = 1/T \int_0^{\tau} U_y dt = U_y \tau / T = U_x U_y / A. \quad (7.10)$$

Аналого - цифровое преобразование. Схема аналого-цифрового преобразователя приведена на рис. 7.10.

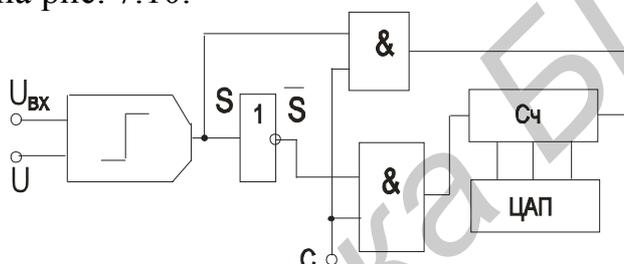


Рис. 7.10

Синхроимпульсы поступают на один из входов счетчика в зависимости от знака разности напряжений « $U_{\text{ВХ}} - U$ » и изменяют его содержание таким образом, что код соответствует напряжению $U_{\text{ВХ}}$. Преобразователь такого типа – это следящая система с ЦАП в цепи обратной связи, нуль органом ее является компаратор.

Используя схему компаратора можно изменить масштаб опорного и входного сигнала (рис. 7.11) в соответствии с выражением

$$U_{\text{ПОР}} = -U_{\text{ОП}} \cdot R_1 / R_2.$$

Если заменить в рассмотренной схеме один из резисторов конденсатором, то можно сравнивать скорость нарастания входного сигнала с постоянным уровнем (рис. 7.12):

$$(dU_{\text{ВХ}} / dt) = -U_{\text{ОП}} / RC.$$

Заменив и резистор R_1 на конденсатор получим схему сравнения скорости изменения двух напряжений (рис. 7.13).

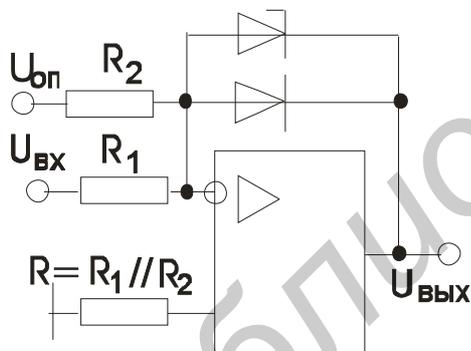


Рис. 7.11

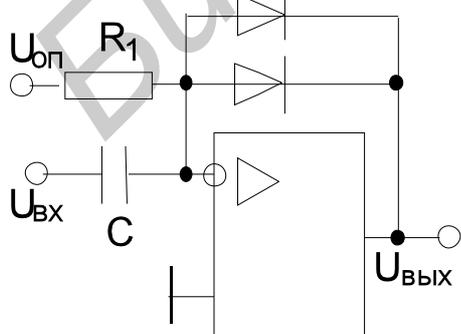


Рис. 7.12

$$dU_{\text{ВХ1}} / dt = (C_2 / C_1) \cdot (dU_{\text{ВХ2}} / dt).$$

Кроме того, компараторы могут применяться для построения схем одно-вибраторов, мультивибраторов, генераторов, статистической обработки информации и в других устройствах.

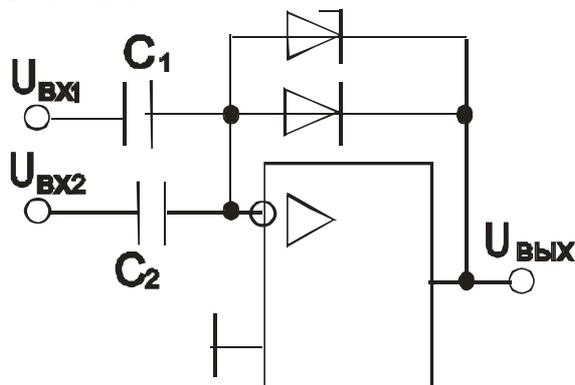


Рис. 7.13

7.6. Разновидности интегральных схем и параметры компараторов

Структура интегрального компаратора приведена на рис. 7.14. Входным устройством является дифференциальный усилитель с большим коэффициентом усиления.



Рис. 7.14

Он должен иметь высокое входное сопротивление, нулевое напряжение смещения и нулевой входной ток. Для улучшения качества компаратора в его схему вводится высокостабильная цепь смещения и стробирующий сигнал.

Параметры идеального компаратора совпадают с основными параметрами идеального операционного усилителя. Компараторы с ОУ – это УПТ, однако их отличие в том, что ОУ работает в линейном режиме усиления малых сигналов, а компаратор без обратной связи – в режиме ограничения выходного напряжения.

Основные параметры компараторов:

1. Разрешающая способность (чувствительность) $\Delta U_{\text{ВХ}}$.

Это минимальный входной сигнал « $U_{\text{ВХ1}} - U_{\text{ВХ2}}$ », который может быть обнаружен компаратором и может дать на выходе «0» или «1». Разрешающая способность связана со значением коэффициента усиления компаратора « K » и уровнями выходного напряжения U_0 и U_1 . Ограниченное значение « K » приво-

дит к образованию зоны нечувствительности компаратора $\Delta U_{\text{вх}}$, когда состояние схемы на выходе не определено:

$$\Delta U_{\text{вх}} = (U_1 - U_0) / K. \quad (7.11)$$

Обычно вместо разрешающей способности приводят величину коэффициента усиления.

2. Напряжение смещения $U_{\text{см}0}$.

Это разность входных напряжений, которая должна быть приложена ко входам компаратора, чтобы получить выходной сигнал, соответствующий равенству входных сигналов. Отличное от нуля значение $U_{\text{см}0}$ смещает характеристику «выход-вход» компаратора влево или вправо. Работа компаратора описывается выражением:

$$S = \begin{cases} \ll 0 \gg & \text{при } (U_{\text{вх}1} - U_{\text{вх}2}) < I_{\text{см}0}, \\ \ll 1 \gg & \text{при } (U_{\text{вх}1} - U_{\text{вх}2}) > I_{\text{см}0}. \end{cases} \quad (7.12)$$

$U_{\text{см}0}$ определяет минимальную зону нечувствительности компаратора. Например, для компаратора с $K = 10^5$, $U_1 - U_0 = 3 \text{ В}$ и $U_{\text{см}0} = 3 \text{ мВ}$ зона нечувствительности очень мала:

$\Delta U_{\text{вх}} = (U_1 - U_0) / K = 30 \text{ мкВ}$, а изменение состояний компаратора фактически определяется значением $U_{\text{см}0}$, а не коэффициентом усиления.

3. Входной ток $I_{\text{вх}}$ и разность входных токов $\Delta I_{\text{вх}}$.

Эти параметры имеют тот же смысл, что и для операционных усилителей.

4. Время отклика t – основной параметр, характеризующий динамические свойства компаратора.

Это время с момента подачи входного переключающего сигнала до момента, когда выходное напряжение пересекает уровень «0» или «1». Время отклика лежит в пределах от единиц наносекунд до единиц микросекунд. Иногда его называют задержкой распространения, временем задержки включения, временем восстановления. Это основной параметр, характеризующий динамические свойства компаратора. Приведем в табл. 7.1 параметры отечественных и зарубежных схем интегральных компараторов.

Таблица 7.1

Параметры компараторов	Тип ИС					
	510СА2	521СА1	LM106	LM161	LM111	HA-21111
$K_{\text{ус}}$	1700	1500	40000	3000	200000	200000
$E_{\text{см}0}, \text{ мВ}$	0,6	1	2	2	0,7	0,7
$I_{\text{вх}}, \text{ мкА}$	13	25	20	10	0,1	0,06
$\nabla I_{\text{вх}}, \text{ мкА}$	0,75	1	3	2	0,04	0,004
Время отклика, $t, \text{ нс}$	40	35	40	12	200	200

Противоречивыми являются требования создания компараторов с высокой разрешающей способностью и малым временем отклика.

7.7. Цифровые компараторы

Цифровые компараторы выполняют сравнение двух чисел, заданных в двоичном коде. Они могут определять равенство двух двоичных чисел A и B с одинаковым количеством разрядов либо вид неравенства $A > B$ или $A < B$. Цифровые компараторы имеют три выхода.

Схема одноразрядного компаратора представляет собой структуру логического элемента «исключающее ИЛИ-НЕ», называемую также операцией «неравнозначности» или «сложения по модулю два» (рис. 7.15).

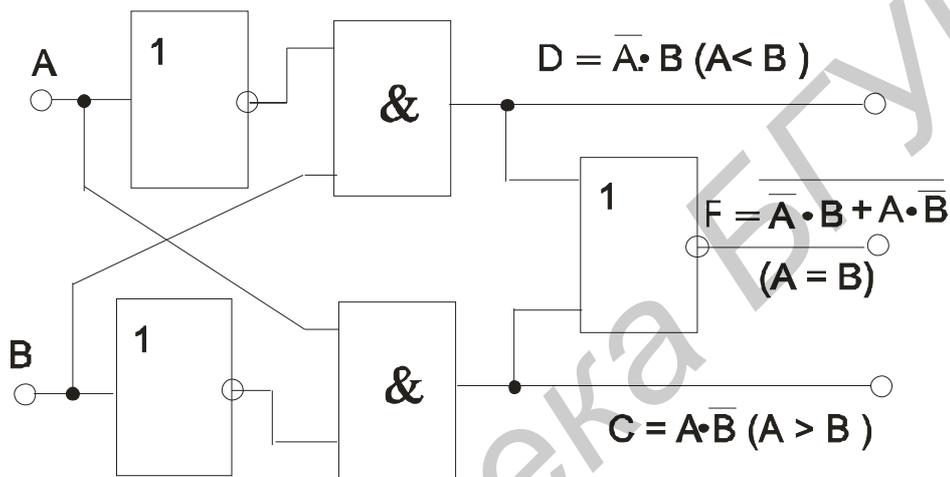


Рис. 7.15

Из анализа схемы следует, что если $A = B$, то $F = 1$, в противном случае, т.е. при $A \neq B$, $F = 0$. Если $A > B$, т.е. $A = 1$, $B = 0$, то $C = 1$, а если $A < B$, т.е. $A = 0$, $B = 1$, то $D = 1$.

Если попарно равны между собой разряды двух n -разрядных двоичных чисел, то равны и эти два числа A и B . Применяя цифровой компаратор для каждого разряда, например, четырехзначных чисел, и определяя значения $F1$, $F2$, $F3$, $F4$ логических переменных на выходах компараторов, факт равенства $A = B$ установим в случае, когда $F = F1 \cdot F2 \cdot F3 \cdot F4 = 1$. Если же $F = 0$, то $A \neq B$.

Неравенство $A > B$ обеспечивается (для четырехразрядного числа) в четырех случаях: 1) $A4 > B4$; 2) $A4 = B4$ и $A3 > B3$; 3) $A4 = B4$, $A3 = B3$ и $A2 > B2$; 4) $A4 = B4$, $A3 = B3$, $A2 = B2$ и $A1 > B1$ (где $A4$ и $B4$ – старшие разряды чисел A и B). Очевидно, что если поменять местами A и B , то будет выполняться неравенство $A < B$.

Цифровые компараторы выпускают, как правило, в виде самостоятельных микросхем. Так, микросхема К561ИП2 (рис. 7.16) является четырехразрядным компаратором, в котором каждый из одноразрядных компараторов аналогичен рассмотренной ранее схеме. Данная микросхема содержит расширяющие входы

$A < B$, $A = B$, $A > B$, что позволяет наращивать разрядность обоих чисел. Для этого компараторы соединяют каскадно или параллельно (пирамидально).

Если используется одна микросхема, то на ее вход «5» следует подать логический «0», а на входы «6» и «4» – логические «1».

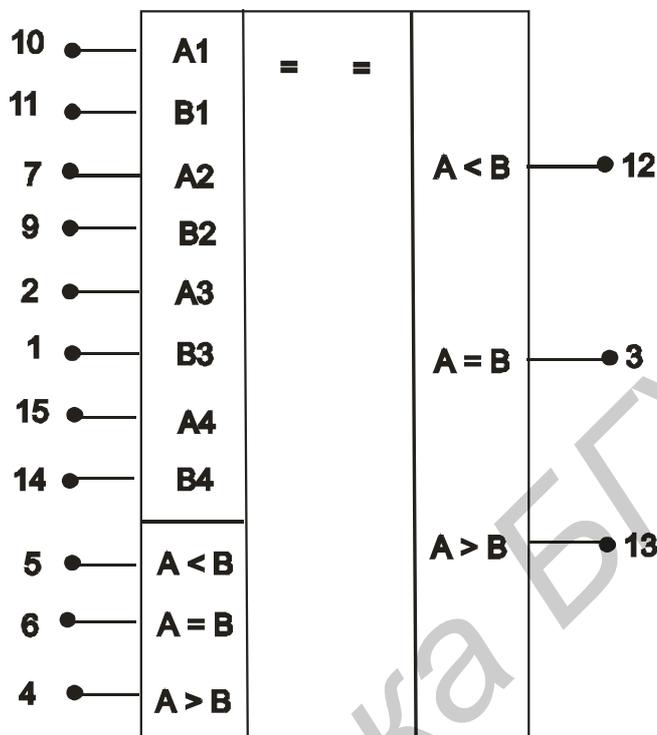


Рис. 7.16

Рассмотрим каскадное соединение компараторов К561ИП2 для сравнения двух восьмиразрядных чисел. При этом соединении выходы $A = B$ и $A < B$ предыдущей микросхемы (младшие разряды) подключают к соответствующим входам последующей. На входы $A < B$, $A = B$, $A > B$ микросхемы младших разрядов попадают соответственно потенциалы U_0 , U_1 и U_1 (U_0 соответствует логическому «0», а U_1 – «1»). В последующих микросхемах на входах $A > B$ поддерживают потенциал логической единицы U_1 .

8. МУЛЬТИВИБРАТОРЫ

Мультивибраторы предназначены для получения импульсов прямоугольной формы с заданными амплитудой, длительностью и частотой повторения. Мультивибраторы, которые возбуждаются самостоятельно, относятся к *автоколебательным*, если же они работают под воздействием внешних сигналов, то называются *ждущими*. Такие устройства используются в тех случаях, когда не предъявляются жесткие требования к частоте повторения и длительности выходных импульсов.

8.1. Мультивибраторы с коллекторно - базовыми связями

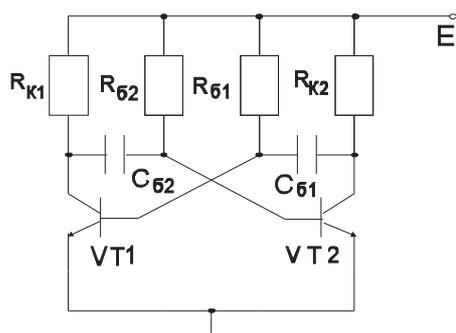


Рис. 8.1

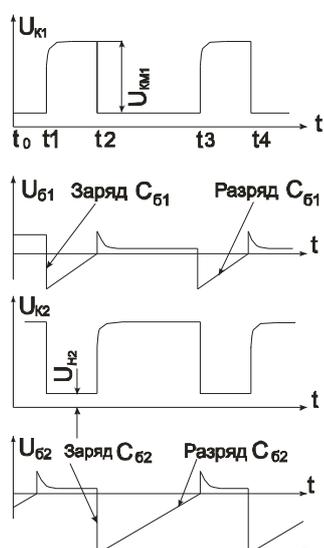


Рис. 8.2

Схема простейшего автоколебательного мультивибратора на транзисторах с коллекторно-базовыми связями приведена на рис. 8.1, временные диаграммы его работы – на рис. 8.2.

Поскольку мультивибратор работает в автоколебательном режиме, то рассмотрение процессов, происходящих в схеме, можно начать с любого момента времени.

Предположим, что в момент времени t_0 транзистор VT1 насыщен, а VT2 закрыт, при этом конденсатор $C_{б1}$ разряжен, а $C_{б2}$ заряжен и разряжается по цепи $R_{б2}$, коллектор–эмиттер открытого транзистора VT1. До тех пор, пока не разрядится конденсатор $C_{б2}$, транзистор VT2 будет находиться в закрытом состоянии, так как на правой обкладке конденсатора $C_{б2}$ будет сохраняться отрицательный заряд. В течение времени разряда этого конденсатора на коллекторе транзистора VT2 поддерживается высокий потенциал, т.е. формируется положительный перепад импульса. После разряда $C_{б2}$ транзистор VT2 начинает открываться, конденсатор $C_{б1}$ заряжается по цепи $R_{к2}$ – переход база – эмиттер.

При этом потенциал базы VT1 становится

более отрицательным, что приводит к его запиранию и формированию на коллекторе положительного перепада. В это время на коллекторе транзистора VT2 формируется отрицательный перепад импульса. Таким образом, длительность формирования импульсов связана с постоянной времени разряда конденсаторов $C_{б}R_{б}$, а длительность их фронтов – с постоянной времени заряда $C_{б}R_{к}$.

В дальнейшем рассмотренные в схеме переходные процессы повторяются. Длительность положительного и отрицательного перепадов импульсов определяется следующим образом:

$$T_1 \approx C_{б1}R_{б1} \ln 2 \approx 0,7C_{б1}R_{б1}, \quad (8.1)$$

$$T_2 \approx C_{б2}R_{б2} \ln 2 \approx 0,7C_{б2}R_{б2}. \quad (8.2)$$

В случае симметрии схемы период повторения

$$T = T_1 + T_2 = \frac{1}{F} = 2C_6 R_6 \ln 2 = 1,4 C_6 R_6. \quad (8.3)$$

Длительность переднего фронта (переход транзистора из режима насыщения в режим отсечки) рассчитывается следующим образом:

$$\tau_{\phi 1} \approx 2,3 C_6 R_k. \quad (8.4)$$

Время формирования заднего фронта (переход транзистора из режима отсечки в режим насыщения) находится из выражения

$$\tau_{\phi 2} \approx (2 \dots 3) \tau_\alpha = \frac{0,3 \dots 0,5}{f_\alpha}, \quad (8.5)$$

где $\tau_\alpha = \frac{1}{2\pi f_\alpha}$, f_α – предельная частота усиления по току транзистора в схеме с общей базой. Величины резисторов в схеме выбираются из условий:

$$R_{\text{кмин}} \geq \frac{E_k}{I_{\text{кдоп}}}; \quad (8.6)$$

степень насыщения транзисторов $S = 1,2 \dots 2$, а сопротивление в цепи базы

$$R_6 \approx 10 R_k; \quad (8.7)$$

амплитуда выходного импульса:

$$U_{\text{км}} = E_k - I_{\text{к0}} R_k - U_{\text{кн}} \approx E_k. \quad (8.8)$$

Для получения хорошей формы импульса необходимо выполнять условие $t_{\phi 1,2} \ll T_{1,2}$.

Недостатком мультивибраторов с коллекторно-базовыми связями является большая длительность положительных фронтов импульсов. Лучшую форму импульсов позволяет получить схема с блокировочными диодами, приведенная на рис. 8.3.

В данной схеме через блокировочные диоды VD1 и VD2 параллельно коллекторным резисторам включены зарядные резисторы $R_{\text{зар}}$. Поэтому разряд конденсаторов происходит через эквивалентные сопротивления коллекторной нагрузки.

$$R_{\text{кэкв}} = \frac{R_k \cdot R_{\text{зар}}}{R_k + R_{\text{зар}}}. \quad (8.9)$$

Во время заряда конденсатора диод закрыт и перезаряд емкости происходит через резистор $R_{\text{зар}}$, а напряжение на коллекторе нарастает с постоянной времени $\tau_1 = R_k C_{\text{н.к}}$, где $C_{\text{н.к}} \ll C_6$, $C_{\text{н.к}}$ – емкость коллекторной нагрузки. В этом случае длительность фронта импульса становится значительно меньше. Такая схема позволяет улучшить предельную скважность импульсов.

Еще одной схемой, позволяющей уменьшить положительные фронты, является схема мультивибратора с фиксацией коллекторных потенциалов (рис. 8.4).

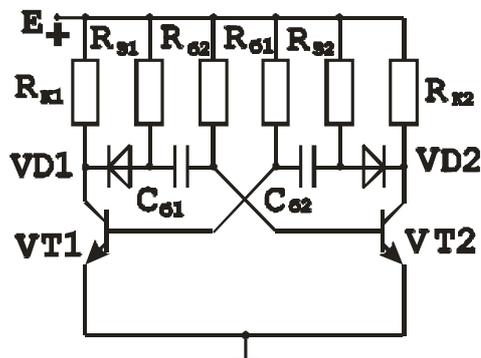


Рис. 8.3

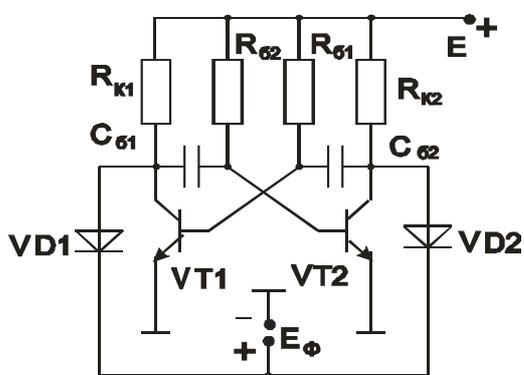


Рис. 8.4

При запираии транзистора напряжение на коллекторе, достигая величины, примерно равной E_{Φ} , больше не увеличивается вследствие открывания диодов. Длительность положительных фронтов уменьшается и находится из выражения

$$t_{\Phi} = C_{\sigma} R_{\kappa} \ln \frac{1}{1 - \frac{E_{\Phi}}{E}}. \quad (8.10)$$

Амплитуда выходного импульса $U_{\text{мк}} \cong E_{\Phi}$, длительность полупериодов

$$T_{1,2} = C_{\sigma} R_{\kappa} \ln \left(1 + \frac{E_{\Phi}}{E} \right). \quad (8.11)$$

Для обеспечения хорошей температурной стабильности параметров мультивибратора необходимо использовать кремниевые транзисторы.

8.2. Мультивибраторы на основе ОУ

Автоколебательный мультивибратор может быть выполнен на основе операционного усилителя (ОУ) (рис. 8.5).

Времязадающая цепочка $R_1 C_1$ включена в цепь отрицательной обратной связи, положительная обратная связь вводится через делитель, состоящий из резисторов R_2 и R_3 . Работа схемы происходит следующим образом. Предположим, что сигнал на выходе ОУ положительный, конденсатор при этом заряжается. Заряд конденсатора положительным напряжением происходит до тех пор, пока напряжение на инвертирующем входе не превысит сигнал на неинвертирующем входе. Как только это произойдет, выходное напряжение скачком изменит свой знак и станет отрицательным, при этом конденсатор C_1 будет перезаряжаться. Когда величина отрицательного напряжения на конденсаторе превысит значение напряжения на инвертирующем входе, выходное напряжение снова изменит свой знак, станет положительным и рассмотренные выше процессы повторятся. Временная диаграмма работы мультивибратора приведена на рис. 8.6.

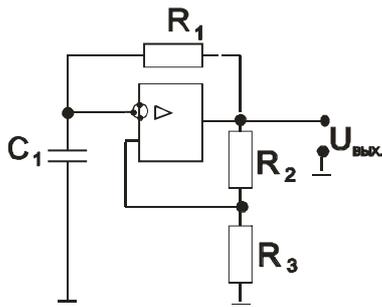


Рис. 8.5

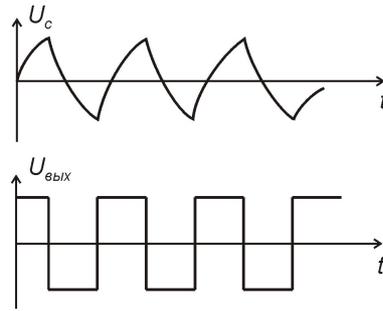


Рис. 8.6

Напряжение на неинвертирующем входе (рис. 8.5 и 8.6) находится как

$$U_{\text{неинв}} = U_{\text{ВЫХ}} \frac{R_3}{R_2 + R_3} = K_{\text{д}} U_{\text{ВЫХ}}, \quad (8.12)$$

где $K_{\text{д}} = \frac{R_3}{R_2 + R_3}$ – коэффициент деления делителя.

Длительность полупериодов выходного сигнала находится следующим образом:

$$T_1 = \tau_+ \ln \frac{|U_{\text{ВЫХ}}^+| + K_{\text{д}} |U_{\text{ВЫХ}}^-|}{|U_{\text{ВЫХ}}^+| - K_{\text{д}} |U_{\text{ВЫХ}}^+|}, \quad (8.13)$$

$$T_2 = \tau_- \ln \frac{|U_{\text{ВЫХ}}^-| + K_{\text{д}} |U_{\text{ВЫХ}}^+|}{|U_{\text{ВЫХ}}^-| - K_{\text{д}} |U_{\text{ВЫХ}}^-|}, \quad (8.14)$$

где $\tau_+ = C_1(R_1 + r_{\text{ВЫХ}}^+)$, $\tau_- = C_1(R_1 + r_{\text{ВЫХ}}^-)$, $r_{\text{ВЫХ}}^+$, $r_{\text{ВЫХ}}^-$ – выходное сопротивление усилителя для положительного и отрицательного импульса.

В случае симметрии схемы $\tau_+ = \tau_-$, а период колебаний $T_0 = T_1 + T_2$,

$$T_0 = 2T \ln \frac{1 + K_{\text{д}}}{1 - K_{\text{д}}} = 2R_1 C_1 \ln \left(1 + 2 \frac{R_3}{R_2} \right). \quad (8.15)$$

Чтобы получить различные величины длительностей отрицательного и положительного перепадов импульсов, необходимо создать цепочки перезаряда с неодинаковыми постоянными времени.

8.3. Мультивибраторы на логических элементах

Для построения мультивибраторов можно использовать логические элементы типа «И-НЕ» (рис. 8.7).

Элементы «И-НЕ» охвачены двумя цепочками положительных обратных связей. Рассмотрим принцип работы этой схемы. Пусть на выходе элемента Э1 формируется перепад «0 – 1», а на выходе Э2 – перепад «1 – 0». В этом случае конденсатор C_1 будет заряжаться от элемента Э1 через резистор R_2 и выходное сопротивление $r_{\text{ВЫХ}1}$ причем диод VD2 будет запирается. На выходе элемента Э2 установится уровень логического нуля, а конденсатор C_2 начнет разряжаться через выходное сопротивление элемента Э2 и диод VD1. По мере заряда C_1

напряжение на нем станет увеличиваться, а на входе элемента Э2 – уменьшаться. Как только величина напряжения на входе Э2 достигнет порогового значения, он переключается и на его выходе сформируется перепад «0 – 1», а на Э1 «1 – 0». Вследствие этого емкость C_2 будет заряжаться, а C_1 – разряжаться через открытый элемент Э1 и диод VD2. В процессе заряда конденсатора C_2 напряжение на входе элемента Э1 будет снижаться и по достижении пороговой величины произойдет его опрокидывание, далее явления, рассмотренные в схеме, повторяются.

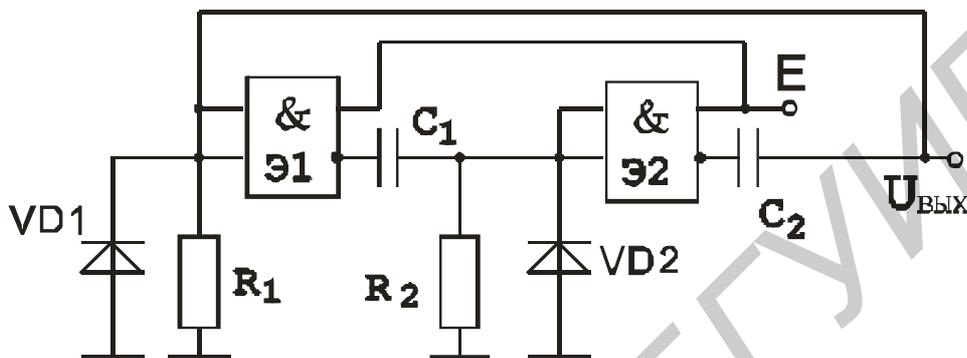


Рис. 8.7

Период колебаний для симметричной схемы мультивибратора рассчитывается по формуле

$$T \cong 2C(R + r_{\text{вых1}}) \ln \frac{U_{R\text{макс}}}{U_{\text{пор}}}, \quad (8.16)$$

где $r_{\text{вых1}}$ – выходное сопротивление элемента в состоянии «1».

Недостатком рассмотренной схемы является жесткий режим самовозбуждения, что требует скачка напряжения для ее запуска. Поэтому лучше использовать схему с запускающим конъюнктом (рис. 8.8).

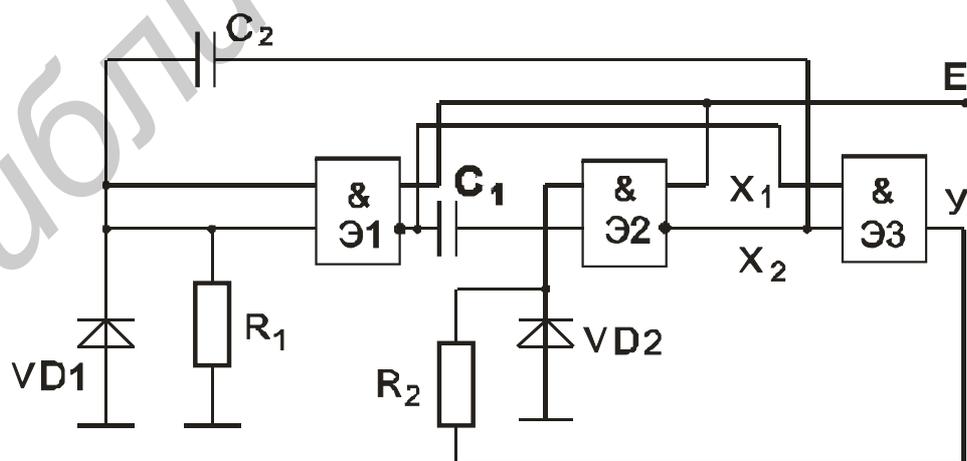


Рис. 8.8

При наличии колебаний на входе элемента Э3 $X_1 = \overline{X_2}$ – на его выходе

$Y = 0$. При срыве колебаний $X_1 = X_2 = 1$, а $Y = 1$, что приводит элемент Э2 к переключению и возникновению колебаний в схеме.

Другой разновидностью схем формирования импульсных сигналов являются ждущие мультивибраторы – это такие схемы, которые формируют сигнал на выходе при воздействии на вход запускающих сигналов. Такие устройства самостоятельно возвращаются в исходное состояние.

Схема ждущего мультивибратора, построенного на логических элементах, приведена на рис. 8.9.

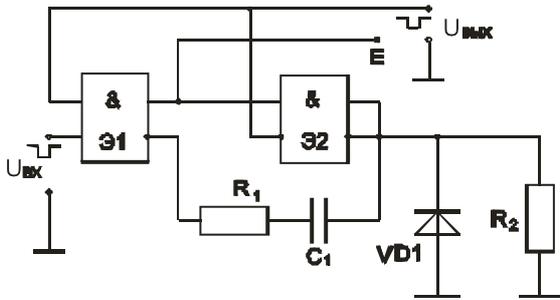


Рис. 8.9

Исходное состояние схемы следующее: на выходе элемента Э1 – уровень логического нуля, а на выходе Э2 – уровень логической единицы, конденсатор C_1 заряжен до очень низкого уровня. На вход схемы подается запускающий импульс отрицательной полярности (т.е. уровень логического нуля), что создает на выходе Э1 высокий уровень сигнала

через время задержки t_3 . Этот скачок сигнала через дифференцирующую цепь подается на вход логического элемента Э2 и вызывает переключение его состояния из единичного в нулевое, которое поддерживается до тех пор, пока сигнал на его входе не уменьшится до уровня $U_{пор}$, что приводит к возвращению схемы в исходное состояние. Конденсатор C_1 разряжается через открытый элемент Э1 и диод. Резистор R_1 ограничивает величину разрядного тока. Длительность формируемого импульса определяется как

$$T_{\text{вых}} \cong R_2 C_1 \ln \frac{E_1}{U_{\text{пор}}}, \quad (8.17)$$

а время восстановления схемы

$$\tau_{\text{в}} = 3\tau_2, \quad (8.18)$$

где $\tau_2 = C_1(r_{i0} + r_{\text{пр}})$ – постоянная времени заряда конденсатора (r_{i0} – сопротивление открытого элемента, $r_{\text{пр}}$ – сопротивление открытого диода), E_1 – уровень логической единицы.

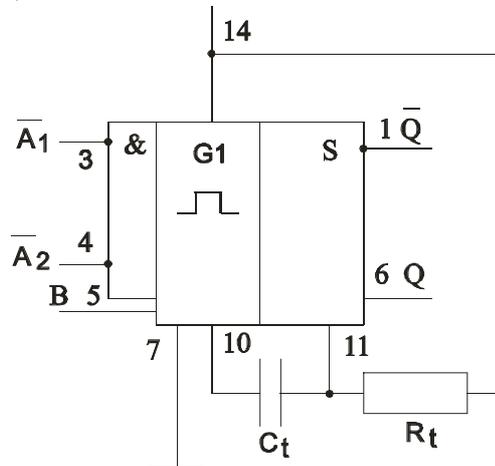


Рис. 8.10

Формирователи импульсных сигналов можно строить не только на основе логических элементов, но и на триггерах, операционных усилителях и других устройствах.

Отечественной промышленностью выпускались ждущие мультивибраторы в интегральном исполнении, например, К155АГ1, К155АГ3. Схема включения мультивибратора К155АГ1 приведена на рис. 8.10. Длительность выходного импульса равна $\tau_{и} = 0,7C_tR_t$. Схема имеет три импульсных входа логического управления: В – прямой запуск, $\overline{A_1}, \overline{A_2}$ – инверсные.

Отличительной особенностью второй схемы (К155АГ3) является то, что она содержит два ждущих мультивибратора с возможностью перезапуска.

9. ГЕНЕРАТОРЫ ПИЛООБРАЗНОГО НАПРЯЖЕНИЯ

9.1. Принцип получения пилообразного напряжения

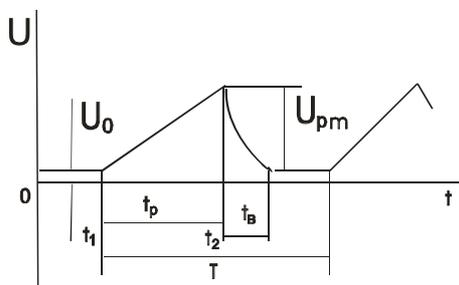


Рис. 9.1

Генераторы пилообразного напряжения используются в осциллографах, радиолокационной и измерительной технике, схемах преобразования информации и ряде других устройств. По-другому, их еще называют генераторами линейно изменяющегося напряжения (ГЛИН). Различают положительное и отрицательное, а также нарастающее и спадающее пилообразные напряжения. На рис. 9.1 приведено положительное нарастающее пилообразное напряжение.

Напряжение пилообразной формы (рис. 9.1) характеризуется амплитудой U_{pm} , остаточным напряжением U_0 и двумя промежутками времени: временем рабочего хода t_p , в течение которого напряжение изменяется по линейному закону, и временем восстановления t_B , в течение которого напряжение возвращается к исходному значению. Закон изменения напряжения за время восстановления обычно несущественен, однако необходимо выполнение условия $t_p \gg t_B$.

Для получения пилообразного напряжения в схеме генератора необходимо обеспечить в течение времени t_p заряд или разряд некоторого конденсатора большой емкости постоянным током. Действительно, если $I_p = I_c = \text{const}$, то напряжение на конденсаторе

$$U_c = \int_{t_1}^{t_2} (I_c / C) dt = (I_c / C)(t_2 - t_1), \quad (9.1)$$

т. е. для получения идеальной линейности напряжения на конденсаторе U_c ток заряда должен быть постоянным. Напряжение U_c для большинства генераторов является выходным или передается на выход через повторитель.

Требование постоянства тока I_c вытекает также из выражения для скорости заряда (разряда) конденсатора постоянным током:

$$dU_c / dt = I_c / C. \quad (9.2)$$

Чтобы оценить степень линейности напряжения за время рабочего хода, вводят коэффициент нелинейности:

$$K_H = \frac{(dU_c / dt)_{t=t_1} - (dU_c / dt)_{t=t_2}}{(dU_c / dt)_{t=t_1}}. \quad (9.3)$$

Подставляя (9.2) в формулу (9.3), получаем

$$K_H = \frac{I_c(t_1) - I_c(t_2)}{I_c(t_1)}. \quad (9.4)$$

Генераторы пилообразного напряжения, или, по-другому, генераторы линейно изменяющегося напряжения (ГЛИН) характеризуются также коэффициентом использования напряжения источника питания E_{Π}

$$K_u = U_{pm} / E_{\Pi}, \quad (9.5)$$

относительными нестабильностями начальной скорости и начального уровня напряжения.

Важными характеристиками являются быстродействие, нагрузочная способность, возможность регулировки уровня выходного сигнала, экономичность и другие.

9.2. Схемы построения генераторов

Схема простейшего генератора линейно возрастающего напряжения и временные диаграммы входного и выходного напряжений схемы приведены на рис. 9.2, а, б соответственно. В исходном состоянии транзистор

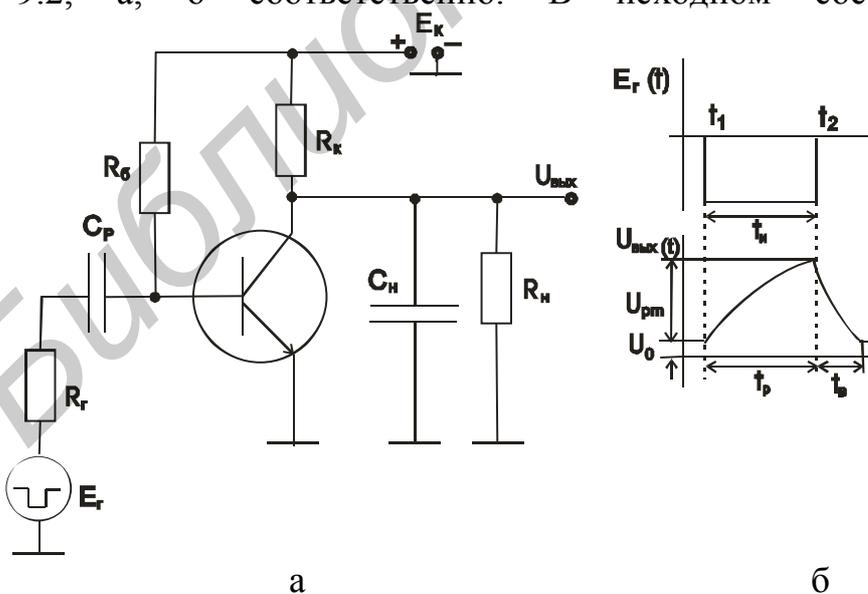


Рис. 9.2

находится в режиме насыщения. Пренебрегая остаточным напряжением U_0 насыщенного транзистора, следует принять, что $U_c(0) \approx 0$. В момент времени t_1 транзистор под действием входного импульса запирается. Если не учитывать время переходных процессов в транзисторе, то можно считать, что ток через конденсатор в момент времени t_1 скачком возрастает до значения

$$I_c(t_1) \approx E_k / R_k. \quad (9.6)$$

По мере заряда конденсатора напряжение U_c возрастает по экспоненциальному закону с постоянной времени $\tau_3 = R_{\text{экв}} \cdot C$, стремясь к значению $U_{c \text{ макс}}$:

$$U_{\text{вых}} = U_c = U_0 + (E_{\text{экв}} - U_0) \cdot (1 - e^{-t/\tau_3}), \quad (9.7)$$

где U_0 – напряжение на открытом транзисторе.

При расчете учтем то, что сопротивление закрытого транзистора намного больше, чем R_k и R_H , поэтому получим:

$$E_{\text{экв}} = I_k \cdot R_{\text{экв}}, \quad R_{\text{экв}} = R_k \parallel R_H.$$

Амплитуда ЛИН за время рабочей стадии t_p равна:

$$U_{\text{pm}} = (E_{\text{экв}} - U_0) \cdot (1 - e^{-t_p/\tau_3}). \quad (9.8)$$

Коэффициент нелинейности, рассчитанный по выражению (9.3),

$$K_H = 1 - e^{-t_p/R_{\text{экв}} \times C} = U_{\text{pm}} / (E_{\text{экв}} - U_0). \quad (9.9)$$

Если $t_p \ll R_{\text{экв}} \cdot C$, тогда

$$K_H = t_p / R_{\text{экв}} \cdot C = (t_p / (R_k \cdot C)) \cdot (1 + R_k / R_H). \quad (9.10)$$

Ток I_c уменьшается с той же постоянной времени:

$$I_c(t) = (E_k / R_k) e^{-\frac{t}{\tau_3}}. \quad (9.11)$$

В момент времени t_2 , когда транзистор снова открывается, ток через конденсатор

$$I_c(t_2) = (E_k / R_k) e^{-\frac{t_2}{\tau_3}}. \quad (9.12)$$

Формула (9.10) с учетом (9.6) и (9.12) приобретает вид

$$K_H = U_{\text{pm}} / E_k = 1 - e^{-\frac{t_2}{\tau_3}}, \quad (9.13)$$

где $U_{\text{pm}} = E_k \left(1 - e^{-\frac{t_2}{\tau_3}} \right)$ – амплитуда выходного напряжения. При $t_2 \ll \tau_3$ раз-

ложим экспоненту $e^{-\frac{t_{и}}{\tau_3}}$ в степенной ряд и ограничимся первыми двумя членами. Тогда формула (9.13) будет иметь вид

$$K_{и} = \frac{t_{и}}{\tau_3} = \frac{t_{и}}{R_{к}C}. \quad (9.14)$$

После момента времени $t_{и}$ транзистор открывается и под действием базового тока $I_{б}$ ток коллектора изменяется по экспоненциальному закону, т.е. начинается стадия восстановления, при этом транзистор будет находиться в активном режиме, пока не произойдет разряд конденсатора. Время восстановления, определяемое с момента окончания времени $t_p = t_{и}$ до момента времени, когда транзистор входит в режим насыщения, определяется формулой

$$t_{в} = \frac{Q_c}{I_{разр}} = \frac{CU_{pm}}{\beta I_{б} - I_{C}(t_2)} = \frac{CU_{pm}}{\beta I_{б} - I_{кн}}, \quad (9.15)$$

где Q_c – величина заряда конденсатора; $I_{разр}$ – ток разряда.

Длительность рабочей стадии определяется как $t_p \approx \frac{CU_{pm}}{I_{кн}}$.

Вводя в формулу (9.15) величину степени насыщения транзистора S , получим

$$t_{в} = \frac{t_p}{S-1}. \quad (9.16)$$

Таким образом, для уменьшения времени обратного хода следует увеличивать степень насыщения транзистора. Однако при этом выходное напряжение генератора задерживается относительно момента подачи входного сигнала на время $t_{рас}$, обусловленное рассасыванием носителей в базе.

9.3. Улучшение параметров генераторов пилообразного напряжения

Принципиальная схема ГЛИН с токостабилизирующей обратной связью представлена на рис. 9.3, а. Транзистор VT1 в этой схеме выполняет функцию ключевого элемента. Транзистор VT2, включенный по схеме эмиттерного повторителя, осуществляет обратную связь, обеспечивая постоянство потенциалов на резисторе $R_{к}$ и тем самым постоянство зарядного тока.

При подаче на вход схемы отрицательного импульса напряжения (рис. 9.3, б) транзистор VT1 запирается и конденсатор C заряжается через открытый в исходном состоянии диод и резистор $R_{к}$. Изменение напряжения ΔU_c передается через эмиттерный повторитель, выполненный на транзисторе VT2, на диод, который закрывается. После запираания диода процесс заряда конденсатора C определяется напряжением на конденсаторе C_0 , который при достаточно большой емкости C_0 можно в данном случае рассматривать как источник по-

стоянного напряжения. По окончании входного импульса и отпирания транзистора VT1 конденсатор С разряжается через транзистор VT1, находящийся в активной области, так как $U_{\beta 1} \approx 0$, $|U_{\kappa 1} = U_c| > U_{\beta 1}$.

Время обратного хода определяется по формуле (9.16). Напряжение $U_c = U_{\kappa 1}$ во время восстановления уменьшается почти до нуля. Диод открывается, а транзистор VT1 входит в режим насыщения. Отпирание диода позволяет конденсатору C_0 снова перезарядиться до напряжения, близкого к E_k . Длительность подзаряда t_{Π} конденсатора C_0 , определяющая восстановление исходного состояния схемы, равна

$$t_{\Pi} = (3 \dots 5)(r_d + R_{\text{вых.п}})C_0, \quad (9.17)$$

где r_d – прямое сопротивление открытого диода; $R_{\text{вых.п}}$ – выходное сопротивление эмиттерного повторителя.

Коэффициент нелинейности данной схемы генератора

$$K_H = \frac{U_{\text{рм}}}{E_k} \left[(1 - K_{\Pi})K_{\Pi} + \frac{C}{C_0} + \frac{R_k}{R_{\text{вх.п}} + R_k} \right], \quad (9.18)$$

где K_{Π} – коэффициент передачи эмиттерного повторителя, $R_{\text{вх.п}}$ – входное сопротивление эмиттерного повторителя.

Амплитуда выходного напряжения

$$U_{\text{рм}} = \frac{K_{\Pi} E_k \cdot t_{\text{и}}}{(R_k \cdot C)} \approx \frac{E_k \cdot t_{\text{и}}}{(R_k \cdot C)}. \quad (9.19)$$

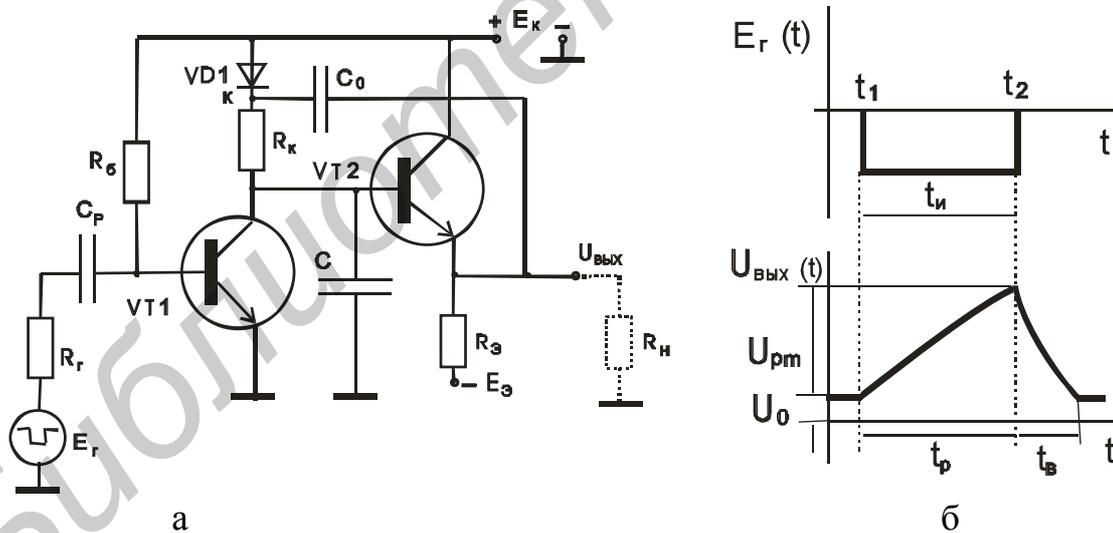


Рис. 9.3

Нагрузка, подключенная к выходу эмиттерного повторителя, по сравнению с предыдущей схемой меньше сказывается на коэффициенте нелинейности, поскольку нагрузкой транзистора VT1 в данном случае служит входное сопротивление эмиттерного повторителя

$$R_{\text{вх.п}} = (1 + \beta) \cdot (r_k^* \parallel R_3 \parallel R_H). \quad (9.20)$$

Из формулы (9.20) следует, что для повышения нагрузочной способности схемы следует увеличивать сопротивление резистора R_3 . Поэтому для обеспе-

чения нормального режима эмиттерного повторителя при большой величине R_3 вводят дополнительный источник питания E_3 .

Если требуется получить коэффициент $K_H < 10\%$, используют токостабилизирующие нелинейные элементы в цепи заряда или разряда выходного конденсатора. Таким элементом является, например, транзистор, включенный по схеме ОБ. При заданном токе эмиттера $I_3 = \text{const}$ дифференциальное сопротивление коллекторного перехода транзистора $r_k = \frac{\Delta U_{кб}}{\Delta I_k}$ составляет 1 МОм и

более. Таким образом, при изменении приложенного к транзистору напряжения $U_{кб} \approx U_{кэ}$ ток через транзистор практически постоянен.

Схема генератора падающего напряжения с транзисторным стабилизатором тока в цепи разряда конденсатора и временные диаграммы входного и выходного напряжений приведены на рис. 9.4, а, б. В исходном состоянии коммутирующий транзистор VT1 открыт и насыщен. Условие насыщения транзистора VT1 имеет вид $R_6 < R_k \beta$ или

$$R_6 = \frac{R_k \beta \min}{S} \quad (9.21)$$

В коллекторной цепи токостабилизирующего транзистора VT2, находящегося в активном режиме, протекает ток $I_{к2} = \alpha_2 I_{э2} \approx \frac{E_3}{R_3}$.

Так как транзисторы VT1 и VT2 соединены последовательно, то и через транзистор VT1 протекает ток

$$I_k = I_{к1} = I_{к2}.$$

Таким образом, в исходном состоянии схемы конденсатор C заряжен до уровня

$$U_C(0) = U_{\text{ВЫХ}}(0) = E_k - I_k R_k = E_k - \frac{E_3 R_k}{R_3} = E'_k \quad (9.22)$$

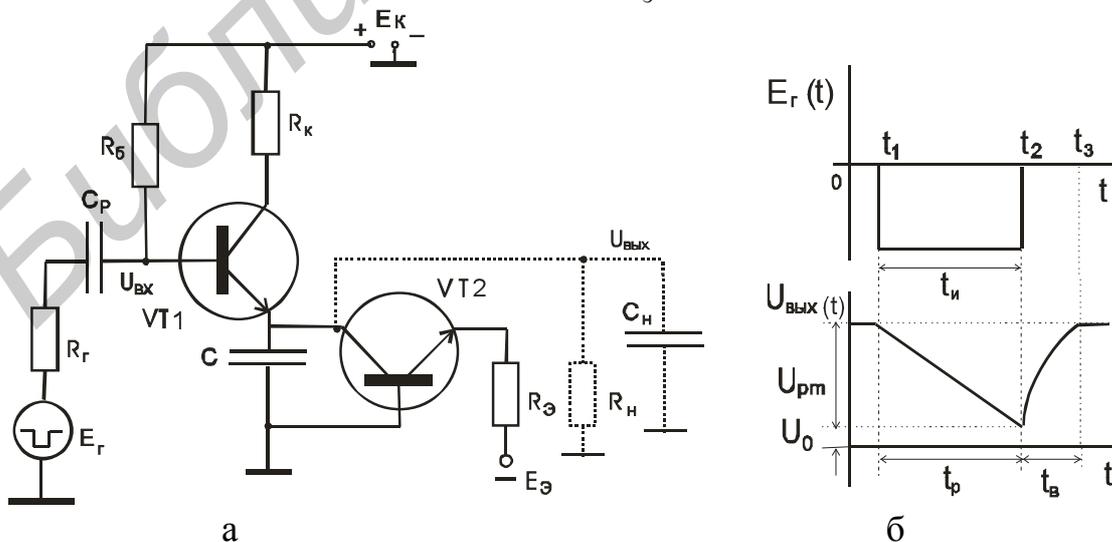


Рис. 9.4

. При запираании транзистора VT1 скачком напряжения потенциал на конденсаторе скачком измениться не может. Поэтому в момент времени t_1 ток через конденсатор скачком (если пренебречь переходными процессами при переключении транзистора VT1) возрастает от нуля до значения

$$I_c(t_1) = I_{к2} = \frac{\alpha_2 E_э}{R_э}. \quad (9.23)$$

Затем конденсатор C разряжается через транзистор VT2. Изменение тока разряда C за время действия входного импульса связано с изменением напряжения на коллекторе VT2 и с выходным сопротивлением r_k транзистора, включенного по схеме ОБ:

$$\Delta I_{к2} = \Delta I_c = \frac{\Delta U_{кб}}{R_{вых2б}} = \frac{U_{pm}}{r_k}. \quad (9.24)$$

Из формул (9.23) и (9.24) получим

$$K_H = \frac{U_{pm} R_э}{E_э \alpha_2 r_k} = \frac{U_{pm}}{I_{э2} \alpha_2 r_k}. \quad (9.25)$$

Амплитуду выходного напряжения можно определить по формуле

$$U_{pm} = \frac{I_c}{C} t_{и} = \frac{\alpha_2 E_э t_{и}}{R_э C}. \quad (9.26)$$

Подставляя (9.26) в (9.25), будем иметь

$$K_H = t_{и} / (r_k C). \quad (9.27)$$

По окончании входного импульса в момент t_2 транзистор VT1 быстро насыщается (здесь можно пренебречь переходными процессами при отпирании транзистора VT1) и конденсатор заряжается с постоянной времени

$$\tau_3 = (R_{вых2б} \parallel R_k) C \gg R_k C. \quad (9.28)$$

Таким образом, $t_b = (3...5)\tau_3 = (3...5)R_k C$.

Построить ГЛИН можно и на основе ОУ. Для этой цели используют интегратор, выполненный на его основе, схема устройства приведена на рис. 9.5, а.

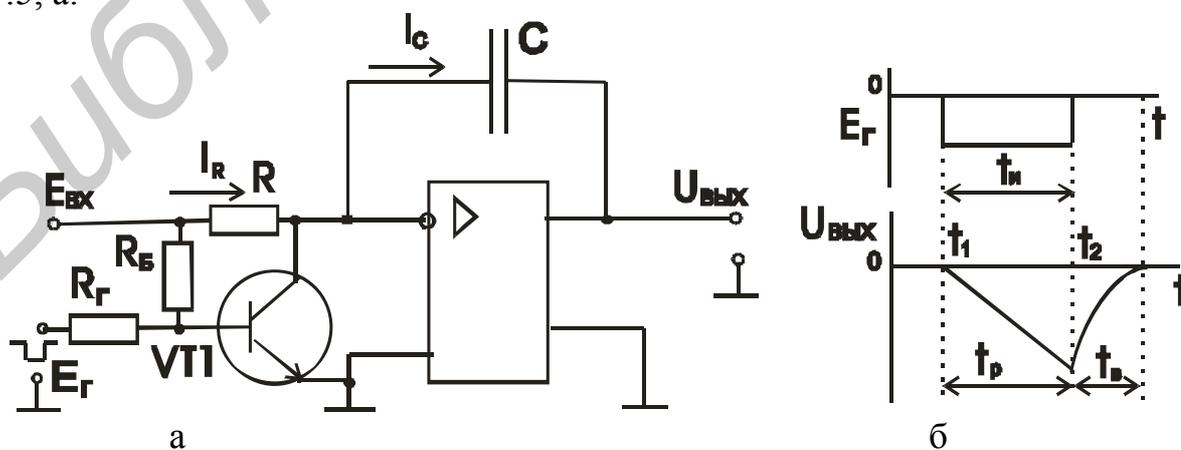


Рис. 9.5

В момент времени t_1 подается импульс отрицательной полярности, ключ, выполненный на основе транзистора VT1, размыкается, за время t_p формируется линейно изменяющееся напряжение, по окончании запускающего импульса в момент t_2 ключ открывается, конденсатор C разряжается, на выходе устанавливается близкое к нулю напряжение (рис. 9.5, б). Если операционный усилитель близок к идеальному ($K_U \rightarrow \infty$, $U_{вх} \rightarrow 0$, $i_{вх} \rightarrow 0$), то

$$U_{\text{ВЫХ}} = -\frac{1}{C} \int_0^t I_R \cdot dt = -\frac{1}{C} \int_0^t \frac{E_{\text{ВХ}}}{R} \cdot dt = -\frac{E_{\text{ВХ}}}{RC} \cdot t. \quad (9.29)$$

Таким образом, заряд конденсатора осуществляется практически постоянным током $I_C = I_R$. Коэффициент нелинейности стремится к значению $K_H = 1/K_U$, т.е. имеет очень малую величину.

Стабильность частоты генераторов. Высокая стабильность частоты генераторов часто необходима в устройствах как аналоговой, так и цифровой техники. Рассмотренные схемы генераторов обладают низкой стабильностью частоты. Стабильность частоты автогенераторов ограничивается нестабильностью параметров транзисторов, главным образом реактивных составляющих входного и выходного сопротивления и коэффициента передачи тока базы. Одним из способов стабилизации частоты является стабилизация напряжения питания. Стабильность частоты в широком диапазоне температур можно повысить применением схем термостабилизации и термокомпенсации режима.

Однако наибольшая стабильность может быть достигнута при использовании в качестве колебательной системы кварцевых пластин. При соответствующем изготовлении кварцевая пластина является одной из самых совершенных электромеханических колебательных систем. Кристаллический кварц обладает свойством пьезоэффекта, который заключается в том, что механическое воздействие приводит к появлению электрических зарядов на ее поверхности, а при воздействии внешнего электрического поля ее размеры меняются. Величина зарядов пропорциональна деформации, а знак меняется при замене растяжения сжатием. Кроме того, кварцевая пластина обладает рядом резонансных частот. Если частота колебаний приложенного напряжения близка к резонансной частоте кварца, то амплитуда колебаний и ток через пластину резко возрастают. Эквивалентная схема кварцевой пластины совместно с кварцедержателем имеет следующий вид (рис. 9.6),

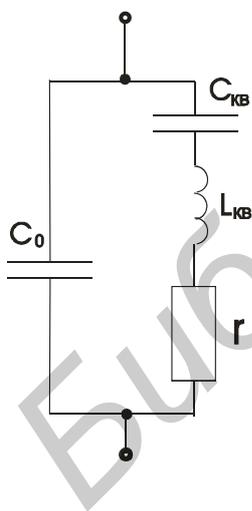


Рис. 9.6

где $C_{\text{кв}}$ – собственная емкость кварца; $L_{\text{кв}}$ – собственная индуктивность кварца; r – сопротивление потерь в кварце; C_0 – статическая емкость между электродами, которая зависит от размеров и диэлектрической проницаемости кварца.

Кварцевый резонатор обладает двумя резонансными частотами:

$$\omega_{\text{посл}} = \frac{1}{\sqrt{LC_{\text{кв}}}} - \text{частота последовательного резонанса}; \quad (9.30)$$

$$\omega_{\text{пар}} = \frac{1}{\sqrt{LC_{\text{экв}}}} - \text{частота параллельного резонанса} \quad (9.31)$$

$$C_{\text{экв}} = \frac{C_0 \cdot C_{\text{кв}}}{C_0 + C_{\text{кв}}}.$$

Разность частот $\omega_{\text{посл}}$ и $\omega_{\text{пар}}$ весьма мала, так как $C_0 \gg C_{\text{кв}}$. В величину емкости $C_{\text{экв}}$ входят емкости схемы, поэтому более стабильной является частота $\omega_{\text{посл}}$. Кварцевый резонатор настраивается на частоту с точностью порядка $10^{-5} \dots 10^{-7}$, характеризуется высокой добротностью Q , составляющей от нескольких миллионов до десятков миллионов, малым коэффициентом включения контура ($10^{-3} \dots 10^{-5}$), что обуславливает высокую стабильность частоты автогенератора. Для обеспечения высокой стабильности (10^{-6} и выше) применяется термостатирование кварца или всей схемы автогенератора. Кварц можно включить либо в цепь обратной связи, либо использовать в качестве индуктивности контура, либо в разрыв цепи контура (кварц в контуре). Наибольшее распространение получили схемы с включением кварца между базой и эмиттером или между коллектором и базой по трехточечной схеме, в которой кварц служит в качестве индуктивности.

При работе цифровых схем часто возникает задача синхронизации моментов изменения или записи сигналов. Для этого можно воспользоваться любым известным генератором сигналов, в том числе построенным на одиночном транзисторе или операционном усилителе. Однако в этом случае потребуется специальное устройство преобразования выходного сигнала генератора к цифровым логическим уровням, используемым в разрабатываемой схеме. Намного проще использовать для построения генераторов цифрового сигнала логические элементы. Как известно из общей теории построения генераторов сигналов, для самовозбуждения генераторов необходимо выполнить два условия: баланс фаз и баланс амплитуд. Так как любые логические элементы обладают усилением, то для построения генераторов можно использовать как инверторы, так и схемы логического «И» и «ИЛИ». В некоторых случаях для построения генераторов используют триггеры. Распространенной схемой генераторов на логических элементах является схема мультивибратора. В этой схеме для реализации положительной обратной связи используются два инвертора. Схема мультивибратора приведена на рис. 9.7.

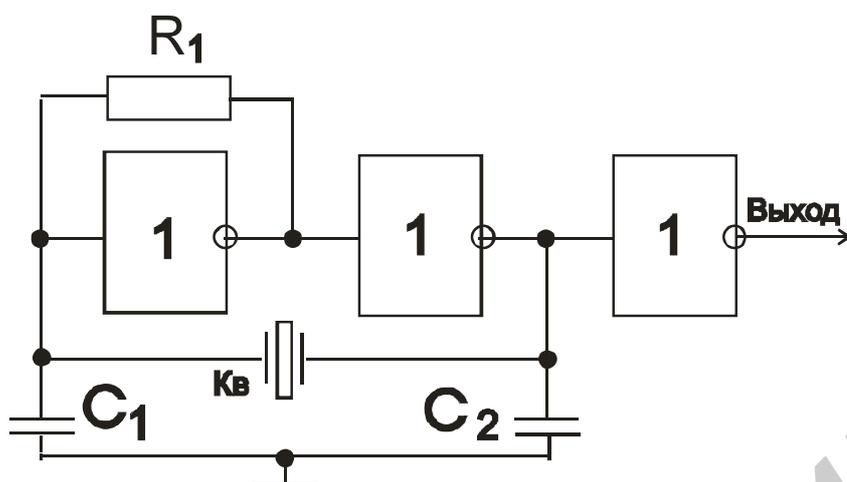


Рис. 9.7

Некоторые из возможных схем генераторов с кварцевой стабилизацией частоты на ОУ приведены на рис. 9.8, б, в. В автогенераторе (рис. 9.8, а) использован последовательный резонанс. Микросхемы DD1, DD2 типа 155ЛА7 выполняют функции усилителей. Для вывода их в активную область, в которой возможно «мягкое» возбуждение, они охвачены отрицательной ОС, введенной с помощью резисторов R_1, R_2, R_3, R_5 . Паразитное возбуждение микросхем устранено с помощью конденсаторов C_1, C_2 . Так как ЛЭ 155ЛА7 имеют открытый коллектор, то в цепи выходов микросхем включены резисторы R_4, R_6 . Конденсатор C_3 введен для гальванической развязки выхода DD1 и входа DD2. По существу микросхемы DD1 и DD2 представляют собой усилитель переменного тока, который не инвертирует входной сигнал. Положительная обратная связь, наблюдаемая на частоте последовательного резонанса кварцевого резонатора, приводит к появлению автоколебаний. Так как добротность резонатора очень велика, то при K_y , существенно большем единицы, автоколебания имеют синусоидальную форму. При очень большом K_y форма выходного напряжения отличается от синусоидальной, что не сказывается на стабильности частоты.

Автогенератор (см. рис. 9.8, б) отличается от генератора (см. рис. 9.8, а) только тем, что в нем в качестве усилителя применен ОУ. Верхняя частота, на которой возможно устойчивое самовозбуждение такого генератора, обычно не превышает нескольких сотен килогерц.

В генераторе (рис. 9.8, в) используется параллельный резонанс. Кварцевый резонатор включен в цепь отрицательной ОС. На частоте параллельного резонанса $Z_{\text{пол}}$ кварцевого резонатора резко возрастает. Глубина отрицательной ОС уменьшается, а положительной – остается неизменной. Если результирующее значение обратной связи окажется положительным и $K_y > 1$, то автогенератор возбуждается. Ограничение амплитуды автоколебаний осуществляется за счет выхода ОУ в нелинейную область.

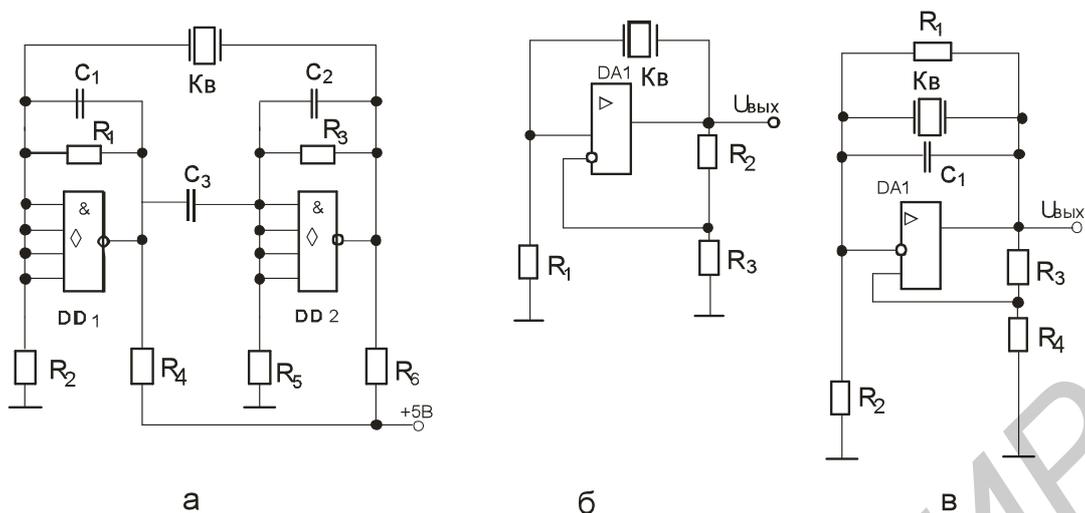


Рис. 9.8

Кроме резонаторов из кварца, ранее выпускались резонаторы из ниобата лития (с маркировкой РН или РМ), танталата лития (с маркировкой РТ) и из других пьезоэлектриков. Кварцевые резонаторы изготавливали на основную частоту 20...22 МГц (для работы на более высоких частотах используются механические гармоники). Зарубежные предприятия выпускали кварцы с основной частотой 35 МГц.

В настоящее время осваиваются резонаторы в виде так называемой обратной мезаструктуры, работающие на объемных колебаниях сдвига по толщине, у которых частота первой гармоники достигает 250 МГц.

Технология инвертирующих мезаструктур использует метод химического травления, позволяющий выборочно удалить кварц из центра подложки и получить по ее краям несколько утолщенную кольцеобразную зону. Чем тоньше центральная часть, тем выше частота первой гармоники, – внешнее кольцевое утолщение облегчает монтаж кристалла.

Кварцевые генераторы широко используются в многочисленных цифровых устройствах, измерительной технике, автоматике и радиотехнике, когда нужно получить повышенную точность и стабильность частоты

ЗАКЛЮЧЕНИЕ

История развития электронных приборов составляет отрезок времени около сотни лет. Первый ее период связан с эпохой создания вакуумных ламп и с появлением несколько позже газоразрядных приборов. На их основе были разработаны электронные устройства, а затем долгие годы происходило их совершенствование.

Основным показателем совершенства электронной аппаратуры является плотность упаковки, т. е. количество элементов схемы в 1 см^3 действующего устройства. Если, например, основным элементом электронного устройства являются лампы, то можно достигнуть плотности около $0,3 \text{ эл/см}^3$. С учетом этого для размещения современной ЭВМ потребуется объем в несколько тысяч кубических метров. Кроме того, нужны мощные источники питания такой машины.

Создание в конце 40-х годов первых полупроводниковых элементов (диодов и транзисторов) привело к появлению нового принципа конструирования электронной аппаратуры – модульного. Основой при этом является элементарная ячейка-модуль, стандартная по размерам, способу сборки и монтажу. При этом плотность упаковки возросла до $2,5 \text{ эл/см}^3$.

Дальнейшее совершенствование полупроводниковых приборов, резисторов, конденсаторов и других элементов, уменьшение их размеров привело к созданию микромодулей. Плотность упаковки при этом превышала 10 эл/см^3 . Микромодули завершили эпоху транзисторной электроники и привели к возникновению интегральной электроники или микроэлектроники. В схемотехническом отношении интегральная электроника часто не отличается от транзисторной, так как в интегральной схеме можно выделить все элементы принципиальной схемы устройства, но размеры этих элементов очень малы (примерно $0,5 - 1 \text{ мкм}$). Технология изготовления интегральных схем позволила резко повысить плотность упаковки, доведя ее до тысяч элементов в 1 см^3 .

Современные устройства схемотехнической электроники имеют время задержки $10^{-9} \dots 10^{-10}$ с/вентиль и максимальную скорость обработки информации $10^9 \dots 10^{10}$ оп/с. Однако такие характеристики недостаточно эффективны для обработки больших массивов информации в реальном масштабе времени, решения задач искусственного интеллекта и т.п.

Одним из альтернативных путей дальнейшего развития электроники по отношению к классическому схемотехническому направлению может являться использование динамических неоднородностей в качестве носителя информации при обработке больших ее массивов (функциональная электроника). В устройствах функциональной электроники массив информационных сигналов может быть обработан целиком, а не в виде отдельных битов информации, как в схемотехнической электронике. При этом возможна обработка информации в аналоговой и цифровой формах одновременно. Все это позволяет достигнуть производительности более 10^{15} оп/с. Различны также функциональные возможности устройств схемотехнической и функциональной интегральной электроники.

Важным свойством устройств функциональной электроники является использование в процессах обработки информации элементарных функций высшего порядка, примерами которых являются фурье - преобразование, операции свертки, корреляции и автокорреляции, управляемая задержка и фильтрация информационных сигналов, их когерентное сложение и ответвление (деление), комбинированная обработка сигналов и т.д. Поэтому устройство функциональной электроники может рассматриваться как процессор, одновременно обрабатывающий большой объем информации.

Имеются достаточные основания считать, что последующее развитие электронных приборов и устройств пойдет по пути не только дальнейшей микроминиатюризации классической схемотехнической электроники (нанотехнология), но и развития функциональной электроники, способной решить сложные вопросы обработки больших массивов информации в реальном масштабе времени.

ЛИТЕРАТУРА

1. Опадчий, Ю. Ф. Аналоговая и цифровая электроника / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М. : Горячая Линия – Телеком, 1999. – 768 с.
2. Миловзоров, В. П. Элементы информационных систем: учеб. пособие для вузов / В. П. Миловзоров. – М. : Высш. шк., 1989. – 439 с.
3. Волович, Г. И. Схемотехника аналоговых и аналого-цифровых устройств / Г. И. Волович. – М. : Изд. дом «Додека – XXI», 2005. – 528 с.
4. Гусев, В. Г. Электроника: учеб. пособие для вузов / В. Г. Гусев, Ю. М. Гусев. – М. : Высш. шк., 1991. – 790 с.
5. Схемотехника электронных систем. Аналоговые и импульсные устройства / В. И. Бойко [и др.]. – СПб. : БХВ – Петербург, 2004. – 496 с.
6. Расчет элементов цифровых устройств / Л. Н. Преснухин [и др]. – М.: Высш. шк., 1991.– 526 с.
7. Лачин, В. И. Электроника: учеб. пособие / В. И. Лачин, Н. С. Савелов. – Ростов н/Д : Феникс, 2002.– 576 с.
8. Титце, У. Полупроводниковая схемотехника / У. Титце, К. Шенк; пер. с нем. – М. : Мир, 1982.– 512 с.
9. Расчет электронных схем / И. Г. Изъюрова [и др]. - М. : Высш. шк., 1987.– 335 с.
10. Дробот, С. В. Практикум по курсу «Электронные приборы» для студ. всех спец. БГУИР / С. В. Дробот, В. А. Мельников, В. Н. Путилин. – Минск : БГУИР, 2003. – 179 с.
11. Ткаченко, Ф. А. Техническая электроника / Ф. А. Ткаченко. – Минск: Дизайн ПРО, 2000. – 351 с.
12. Валенко, В. С. Электроника и микросхемотехника / В. С. Валенко, М. С. Хандогин. – Минск : Беларусь, 2000. – 325 с.
13. Ерофеев, Ю. Н. Импульсная техника / Ю. Н. Ерофеев. – М. : Высш. шк., 1989.– 391 с.
14. Цифровые интегральные микросхемы: справочник / М. И. Богданович [и др.] – Минск : Полымя, 1996.– 605 с.
15. Угрюмов, Е. П. Цифровая схемотехника / Е. П. Угрюмов – СПб. : БХВ – Петербург, 2004. – 528 с.
16. Федорков, Б. Г. Микросхемы ЦАП и АЦП: функционирование, параметры и применение / Б. Г. Федорков, В. А. Телец. – М : Энергоатомиздат, 1990. –320 с.

Учебное издание

Бельский Алексей Якимович

ЭЛЕКТРОННЫЕ ПРИБОРЫ: ЦИФРОВЫЕ УСТРОЙСТВА

УЧЕБНО-МЕТОДИЧЕСКОЕ ПОСОБИЕ

Редактор *Т. Н. Крюкова*
Корректор *Е. Н. Батурчик*

Подписано в печать 16.11.2010. Формат 60x84 1/16. Бумага офсетная. Гарнитура «Таймс». Отпечатано на ризографе. Усл. печ. л. 7,67. Уч.- изд. л. 8,0. Тираж 200 экз. Заказ 198.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 03.04.2009.
220013, Минск, П. Бровки, 6