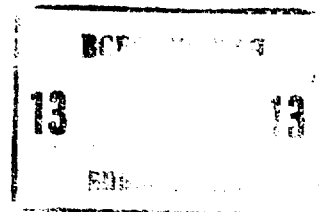




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

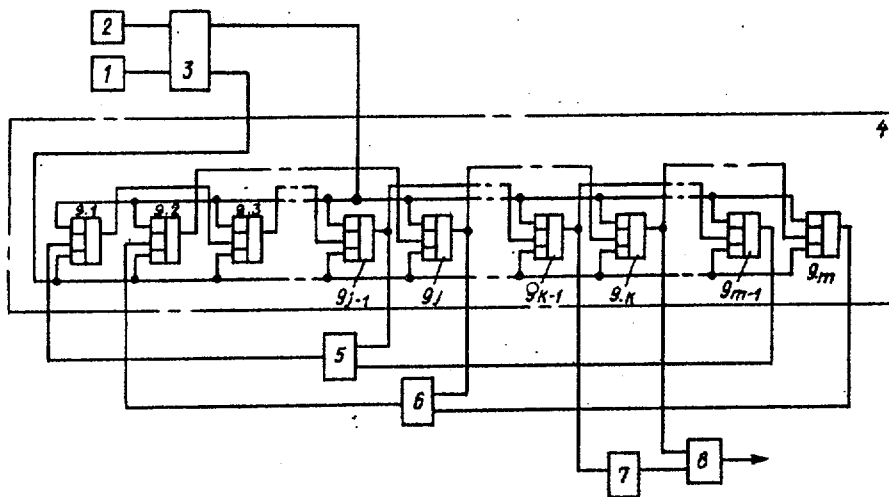


- (21) 3847102/24-21
 - (22) 21.01.85
 - (46) 07.11.86. Бюл. № 41
 - (71) Минский радиотехнический институт
 - (72) В.Н.Ярмолик и И.А.Мурашко
 - (53) 621.374.2 (088.8)
 - (56) Яковлев В.В., Федоров Р.Ф.
- Стохастические вычислительные машины. Л.: Машиностроение, 1974, с.246-248.

IEEE Transactions on Communications, Vol. com-26, June, 1978, № 6, p.924, fig. 4.

(54) ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ

(57) Изобретение может быть использовано для тестирования быстродействующих логических схем. Целью изобретения является повышение надежности. Для достижения цели в генератор псевдослучайной последовательности введены генератор 2 одиночного импульса и переключатель 3. Генератор также содержит генератор 1 тактовых импульсов, регистр 4, сумматоры 5,6,8 по модулю два, элемент 7 задержки. Данный генератор псевдослучайной последовательности позволяет не только сократить аппаратные затраты, но и упростить процедуру синтеза генераторов псевдослучайных последовательностей. 1 з.п. ф-лы, 1 ил.



Изобретение относится к импульсной технике.

Целью изобретения является повышение надежности работы генератора псевдослучайной последовательности.

На чертеже представлена функциональная схема генератора псевдослучайной последовательности.

Генератор псевдослучайной последовательности содержит генератор 1 тактовых импульсов, генератор 2 одиночного импульса, переключатель 3, регистр 4, первый и второй сумматоры 5 и 6 по модулю два, элемент 7 задержки, третий сумматор 8 по модулю два. Выходы генератора 1 тактовых импульсов и генератора 2 одиночного импульса соединены соответственно с вторым и первым входами переключателя 3, первый и второй выходы которого соединены соответственно с вторым и четвертым входами регистра 4, четвертый и пятый выходы которого соединены соответственно с первым и вторым входами первого сумматора 5 по модулю два, выход которого соединен с третьим входом регистра 4, второй и третий выходы которого соединены соответственно с первым и вторым входами второго сумматора 6 по модулю два, выход которого соединен с первым входом регистра 4, первый и шестой выходы которого соединены соответственно с вторым входом третьего сумматора 8 по модулю два и входом элемента 7 задержки, выход которого соединен с первым входом третьего сумматора 8 по модулю два.

Регистр 4 содержит m D-триггеров 9.1 ... 9.m. Информационный вход первого D-триггера 9.1 соединен с третьим входом регистра 4, первый вход которого соединен с информационным входом второго D-триггера 9.2. Информационный вход i -го D-триггера 9.i соединен с выходом $(i-2)$ -го D-триггера 9.i-2 ($i=3, m$). Установочные входы m D-триггеров 9.1...9.m соединены между собой и с вторым входом регистра 4, четвертый вход которого соединен с входами синхронизации m D-триггеров 9.1...9.m. Выходы $(j-1)$ -го и j -го D-триггеров 9.j-1 и 9.j являются соответственно четвертым и вторым выходами регистра 4 ($j=2, m$), шестой и первый выходы которого соединены соответственно с

выходами $(k-1)$ -го и k -го D-триггеров 9.k-1 и 9.k ($k=2, m$). Выходы $(m-1)$ -го и m -го D-триггеров 9.m-1 и 9.m являются соответственно пятым и третьим выходами регистра.

Генератор псевдослучайной последовательности работает следующим образом.

В исходном состоянии в регистр 4 посредством сигнала с выхода генератора 2 одиночного импульса и переключателя 3 записывается код 11...1. С приходом первого тактового импульса с выхода генератора 1 тактовых импульсов i -й D-триггер 9.i регистра 4 принимает информацию от $(i-2)$ -го D-триггера 9.i-2 ($i=3, m$). Первый сумматор 5 по модулю два формирует при этом сигнал для первого D-триггера 9.1 регистра 4, а второй сумматор 6 по модулю два - для второго D-триггера 9.2 регистра 4. С приходом следующих импульсов на выходах m D-триггеров 9.1-9.m регистра 4 формируются псевдослучайные последовательности, определяемые порождающим полиномом. При этом последовательность, формируемая на выходе k -го D-триггера 9.k регистра 4, сдвинута относительно последовательности, формируемой на выходе $(k-1)$ -го D-триггера 9.k-1 регистра 4, на $\lfloor N/2 \rfloor$, где N - период псевдослучайной последовательности, $k=2, m$. Таким образом, в соседних разрядах регистра 4 формируются копии псевдослучайной последовательности, сдвинутые на $\lfloor N/2 \rfloor$, а с помощью элемента 7 задержки сдвиг осуществляется на $N/2$. Суммируя далее эти две копии псевдослучайной последовательности на сумматоре 8 по модулю два, получаем на его выходе псевдослучайную последовательность с удвоенной частотой.

Ф о р м у л а и з о б р е т е н и я

1. Генератор псевдослучайной последовательности, содержащий генератор тактовых импульсов, регистр, первый, второй и третий сумматоры по модулю два, элемент задержки, выход которого соединен с первым входом третьего сумматора по модулю два, второй вход которого соединен с первым выходом регистра, второй и третий выходы которого соединены соот-

ветственно с первым и вторым входами второго сумматора по модулю два, выход которого соединен с первым входом регистра, четвертый и пятый выходы которого соединены соответственно с первым и вторым входами первого сумматора по модулю два, отличающемся тем, что, с целью повышения надежности работы, в него введены генератор одиночного импульса и переключатель, первый выход которого соединен с вторым входом регистра, третий вход которого соединен с выходом первого сумматора по модулю два, четвертый вход регистра соединен с вторым выходом переключателя, первый и второй выходы которого соединены соответственно с выходами генератора одиночного импульса и генератора тактовых импульсов, шестой выход регистра соединен с входом элемента задержки.

2. Генератор по п.1, отличающийся тем, что регистр содержит m D-триггеров, информационный вход первого из которых соединен с третьим входом регистра, первый вход которого соединен с информационным входом второго D-триггера, информационный вход i -го D-триггера соединен с выходом $(i-2)$ -го D-триггера ($i=\overline{3,m}$), установочные входы m D-триггеров соединены между собой и с вторым входом регистра, четвертый вход которого соединен с входами синхронизации m D-триггеров, выходы $(j-1)$ -го и j -го из которых являются соответственно четвертым и вторым выходами регистра ($j=\overline{2,m}$), шестой и первый выходы которого соединены соответственно с выходами $(k-1)$ -го и k -го D-триггеров ($k=\overline{2,m}$), выходы $(m-1)$ -го и m -го из которых являются соответственно пятым и третьим выходами регистра.

Составитель Ю.Бурмистров

Редактор В.Иванова

Техред Л.Сердюкова

Корректор А.Обручар

Заказ 6045/57

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4