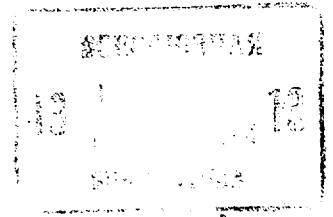




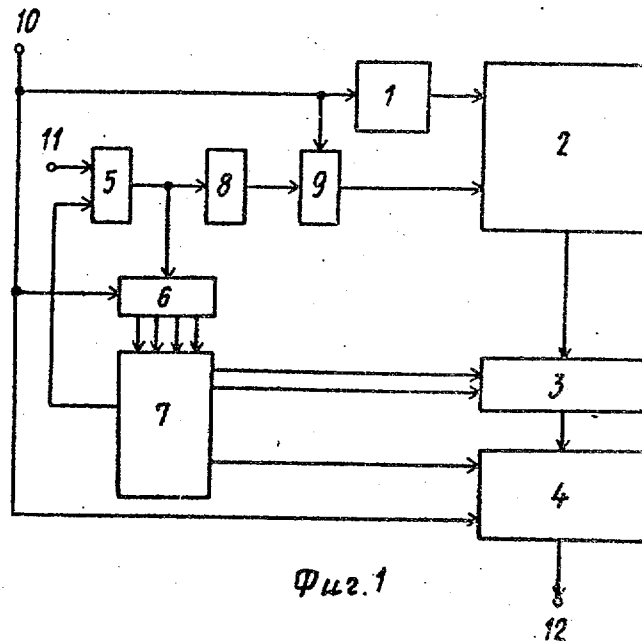
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3914887/24-24
- (22) 24.06.85
- (46) 15.01.87. Бюл. № 2
- (71) Минский радиотехнический институт
- (72) А.А. Жалковский и А.А. Шостак
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 572781, кл. G 06 F 5/02, 1977.
Авторское свидетельство СССР № 760085, кл. G 06 F 5/02, 1980.
- (54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ
- (57) Изобретение относится к вычислительной технике и может быть использовано для построения преобразователей кодов. Изобретение позволяет повысить быстродействие устройства за

счет преобразования каждого десятичного разряда за один такт. Преобразователь двоично-десятичного кода в двоичный содержит счетчик 1, блок 2 постоянной памяти, коммутатор 3, сумматоры 4, 5, первый регистр 6, блок 7 управления, шифратор 8, второй регистр 9, тактирующий вход 10, информационные входы 11, выходы 12. Блок 7 управления содержит элементы И и элементы ИЛИ. Введение второго регистра, шифратора и второго сумматора позволило производить в одном такте как преобразование текущего двоично-десятичного разряда, так и анализ последующего, что обеспечило повышение быстродействия устройства. 1 з.п. ф-лы, 2 ил.



Изобретение относится к вычислительной технике и может быть использовано для построения преобразователей кодов как дробных, так и целых чисел.

Цель изобретения - повышение быстродействия преобразователя за счет преобразования одного двоично-десятичного разряда за один такт.

На фиг.1 приведена структурная схема предлагаемого преобразователя двоично-десятичного кода в двоичный; на фиг.2 - функциональная схема блока управления.

Преобразователь двоично-десятичного кода в двоичный содержит (фиг.1) счетчик 1, блок 2 памяти, коммутатор 3, первый и второй сумматоры 4 и 5, первый регистр 6, блок 7 управления, шифратор 8, второй регистр 9, тактирующий вход 10, информационные входы 11 и выходы 12 устройства.

Блок 7 управления содержит элементы И 13, элементы ИЛИ 14, входы 15, первый, второй, третий и четвертый выходы 16 - 19 блока управления.

Преобразователь двоично-десятичного кода в двоичный работает следующим образом.

Входной двоично-десятичный код поступает на информационные входы 11 устройства по одному десятичному разряду, каждый из которых сопровождается тактовым импульсом, поступающим на тактирующий вход 10. В основу преобразователя двоично-десятичного кода в двоичный положен следующий принцип. Значения некоторых двоично-десятичных цифр, для возможности преобразования их за один такт, могут быть представлены особым образом, как это показано в табл.1. При этом i -я ненулевая двоично-десятичная цифра (для целых чисел $i = 0, 1, 2, \dots, n - 1$, для дробных $i = -n, -n + 1, -n + 2, \dots, -1$; n - разрядность десятичного операнда) с учетом возможного переноса в соседнюю старшую цифру преобразуется в двоичный код посредством подсуммирования к ранее накопленному результату или вычитания из него без сдвига либо со сдвигом на один разряд влево двоичного эквивалента значения $x \cdot 10^i$, где $x = \{1, 3, 5\}$, а при нулевой цифре к ранее накопленному результату прибавляется нулевая информация, т.е. для каждой i -й двоично-десятичной

цифры в преобразователе хранятся только одно-, трех- и пятикратное значения двоичного эквивалента 10^i , а формирование двоичных эквивалентов для всех остальных ее значений производится путем соответствующей настройки коммутатора 3 и первого сумматора 4 на выполнение тех или иных операций.

Основные блоки устройства имеют следующее функциональное назначение.

Счетчик 1 формирует старшую часть адресов, по которым расположены двоичные эквиваленты десятичных значений $x \cdot 10^i$ в блоке 2 памяти. Последний предназначен для хранения двоичных эквивалентов десятичных значений $x \cdot 10^i$, количество которых определяется разрядностью n преобразуемого десятичного числа, и может быть реализован на постоянной полупроводниковой памяти.

Коммутатор 3 в зависимости от значения сигналов на его первом и втором управляющих входах осуществляет сдвиг на один разряд влево поступающей на его вход информации или передает ее транзитом на выход. Если оба управляющих сигнала нулевые, то на его выходе вырабатываются нули.

Первый сумматор 4 производит суммирование сдвинутого или переданного транзитом через коммутатор 3 двоичного эквивалента либо нулевой информации с ранее накопленным результатом и запоминает образующуюся при этом сумму.

Второй сумматор 5 осуществляет суммирование значения переноса из преобразуемой двоично-десятичной цифры сформированного на четвертом выходе блока 7 управления и значения соседней старшей цифры, поступающей через вход 11 преобразователя и является комбинационной схемой.

Первый регистр 6 предназначен для запоминания значения двоично-десятичной цифры на время такта ее преобразования.

Блок 7 управления вырабатывает по значениям двоичных разрядов a_2, a_1, a_0 преобразуемой двоично-десятичной цифры сигнал переноса (II) в соседнюю старшую десятичную цифру исходного операнда, управляющие сигналы для коммутатора 3 (сдвиг на 0 и 1 разряд влево) и сигнал выбора режима для накапливающего (первого) сум-

матора 4 (сложение "+" или вычитание "-"). Значения этих сигналов обеспечивают выполнение операций в преобразователе над входными двоично-десятичными цифрами согласно табл.1. Ниже приведена таблица истинности, полностью описывающая закон функционирования блока 7 управления, который является комбинационной схемой. Шифратор 8 по значению суммы $(i + 1)$ -й двоично-десятичной цифры и переноса из i -й преобразуемой в данном такте двоично-десятичной цифры вырабатывает двухразрядный код, значение которого определяет младшую часть адреса, выбираемого в следующем такте из блока 2 постоянной памяти двоичного эквивалента $x \cdot 10^{i+1}$, где $x = \{1, 3, 5\}$. Первый и третий отделы табл.2 представляют собой таблицу истинности шифратора 8. Кодовые комбинации 00, 01, 10 на его выходах T_2 и T_1 обеспечивают выбор из блока 2 постоянной памяти двоичных эквивалентов 10^{i+1} , $3 \cdot 10^{i+1}$ и $5 \cdot 10^{i+1}$ соответственно. Шифратор 8 является комбинационной схемой. Второй регистр 9 предназначен для хранения значения младшей части адреса, сформированного шифратором 8.

Преобразование целых двоично-десятичных чисел осуществляется следующим образом.

До прихода первого управляющего импульса все триггеры преобразователя устанавливаются в "0" (цепи установки в "0" на фиг.1 не показаны). Сигналы на выходах 16 - 19 блока 7 управления согласно закону его функционирования (табл.2) также устанавливаются в "0", при этом на выходе коммутатора 3 устанавливаются нули. Значение первой младшей двоично-десятичной цифры через вход 11 преобразователя и сумматор 5 поступает на вход шифратора 8, на выходе которого согласно его таблице истинности (табл.2) вырабатывается двухразрядный код младшей части адреса двоичного эквивалента для преобразования первой десятичной цифры. Первый управляющий импульс, поступающий на шину 10, записывает в первый регистр 6 первую двоично-десятичную тетраду преобразуемого числа, а во второй регистр 9 - соответствующую информацию с выхода шифратора 8. Этот же управляющий импульс увеличивает на

единицу содержимое счетчика 1, на выходе которого формируется старшая часть адреса первого двоичного эквивалента. В первом сумматоре при этом останется нулевая информация. С приходом следующего тактирующего импульса выбранный из блока 2 постоянной памяти двоичный эквивалент $x \cdot 10^0$, (где $x = \{1, 3, 5\}$) поступает параллельным кодом на вход коммутатора 3. Одновременно с этим в блоке 7 управления по значению двоично-десятичной тетрады, записанной в первый регистр 6 (табл.2), вырабатываются на выходах 16 и 17 сигналы управления коммутатором, на выходе 19 формируется сигнал переноса в соседнюю старшую тетраду и на выходе 18 образуется потенциал выбора режима работы первого сумматора 4 ("0" - сложение, "1" - вычитание).

В соответствии со значением сигналов на выходах 16 и 17 блока 7 управления на выходе коммутатора 3 образуется результат, равный значению $K \cdot \mathcal{E}_i$, где $K = \{0, 1, 2\}$, а \mathcal{E}_i - двоичный эквивалент одно-, трех- или пятикратного значения веса младшей десятичной цифры. Первый сумматор 4 по значению сигнала на выходе 18 блока 7 управления настраивается либо на сложение, либо на вычитание. В этом же такте значение второй двоично-десятичной цифры через вход 11 преобразователя и сумматор 5 поступает на вход шифратора 8, обеспечивая на его выходе двухразрядный код младшей части адреса второго двоичного эквивалента $x \cdot 10^1$, выборка которого осуществляется во втором такте.

В конце первого такта преобразования управляющий импульс записывает в регистр 6 вторую двоично-десятичную цифру преобразуемого числа, а в регистр 9 - соответствующую информацию с выхода шифратора 8. Этот же управляющий импульс увеличивает содержимое счетчика 1, формируя значение старшей части адреса второго двоичного эквивалента, и записывает в аккумулятор первого сумматора 4 результат суммирования (вычитания) значения $K \cdot \mathcal{E}_i$ с предыдущим содержимым аккумулятора.

Вслед за первым десятичным разрядом точно так же за один такт происходит преобразование каждого после-

дующего двоично-десятичного разряда исходного числа до тех пор, пока не будут преобразованы все двоично-десятичные разряды исходного двоично-десятичного числа, и возможный бит переноса из старшего двоично-десятичного разряда, который обрабатывается в дополнительном такте при подаче на информационные входы 11 нулевой информации.

При этом в первом сумматоре 4 формируется искомое двоичное число, которое подается на выходе 12 преобразователя.

В случае преобразования дробного десятичного числа преобразователь работает таким же образом. При этом в блоке 2 постоянной памяти должны содержаться двоичные эквиваленты $x \cdot 10^{-n}$, $x \cdot 10^{-n+1}$, ..., $x \cdot 10^{-1}$, где $x = \{1, 3, 5\}$.

Ф о р м у л а и з о б р е т е н и я

1. Преобразователь двоично-десятичного кода в двоичный, содержащий счетчик, выходы которого соединены с соответствующими первыми адресными входами блока постоянной памяти, выходы которого соединены с информационными входами коммутатора, выходы которого соединены с соответствующими информационными входами первого сумматора, тактовый вход счетчика объединен с тактовым входом первого регистра и является тактирующим входом преобразователя, выходы первого регистра соединены с соответствующими входами блока управления, первый и второй выходы которого соединены с первым и вторым управляющими входами коммутатора, третий выход - с управляющим входом первого сумматора, выходы которого являются выходами преобразователя, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия путем выполнения преобразования одного двоично-десятичного разряда за один такт, в него введены второй регистр, шифратор и второй сумматор, информационные входы которого являются информационными входами преобразователя, выходы второго сумматора соединены с соответствующи-

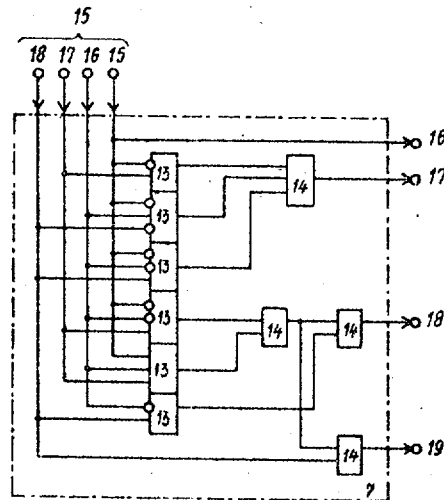
ми информационными входами первого регистра и соответствующими входами шифратора, выходы которого соединены с соответствующими информационными входами второго регистра, выходы которого подключены ко вторым адресным входам блока постоянной памяти, тактовые входы второго регистра и первого сумматора подключены к тактирующему входу преобразователя, четвертый выход блока управления соединен со входом переноса второго сумматора.

2. Преобразователь по п.1, о т л и ч а ю щ и й с я тем, что блок управления содержит элементы И и элементы ИЛИ, первые инверсные входы первого, второго, третьего и четвертого элементов И и первый прямой вход пятого элемента И объединены и являются первым входом и первым выходом блока управления, прямой вход второго элемента И, вторые инверсные входы третьего и четвертого элементов И, второй прямой вход пятого элемента И и инверсный вход шестого элемента И объединены и являются вторым входом блока управления, прямые входы первого и четвертого элемента И и третий прямой вход пятого элемента И объединены и являются третьим входом блока управления, второй инверсный вход второго элемента И, прямые входы третьего и шестого элементов И и первый вход первого элемента ИЛИ объединены и является четвертым входом блока управления, выходы первого, второго и третьего элементов И соединены с соответствующими входами второго элемента ИЛИ, выход которого является вторым выходом блока управления, выходы четвертого и пятого элементов И соединены с соответствующими входами третьего элемента ИЛИ, выход которого соединен со вторым входом первого элемента ИЛИ и первым входом четвертого элемента ИЛИ, выход шестого элемента И соединен со вторым входом четвертого элемента ИЛИ, выход которого является третьим выходом блока управления, выход первого элемента ИЛИ является четвертым выходом блока управления.

Т а б л и ц а 1

Вводимая в преоб- разова- тель че- рез вход 11 i -я двоич- но-деся- тичная цифра	Перенос из $(i-1)$ - ной дво- ично-де- сятичной цифры	Представ- ление в преобразо- вателе i -й двоич- но-десятич- ной цифры	Перенос в $(i+1)$ - ю дво- ично- деся- тич- ную цифру
0000	0	0000	0
0000	1	0001	0
0001	0		
0001	1		
0010	0	0010	0
0010	1	0011	0
0011	0		
0011	1	0110	1
0100	0		
0100	1	0101	0
0101	0		
0101	1		
0110	0	0110	0
0110	1	0011	1
0111	0		
0111	1		
1000	0	0010	1
1000	1		
1001	0	0001	1
1001	1	0000	1

Входы блока 7 управления и шифратора 8				Выходы блока 7 управления				Выходы шифра- тора 8	
a_8	a_4	a_2	a_1	16 0 разр.	17 I разр.	19 II	18 + ИЛИ -	T_2	T_1
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0
0	0	1	1	1	0	0	0	0	1
0	1	0	0	0	1	1	1	0	1
0	1	0	1	1	0	0	0	1	0
0	1	1	0	0	1	0	0	0	1
0	1	1	1	1	0	1	1	0	1
1	0	0	0	0	1	1	1	0	0
1	0	0	1	1	0	1	1	0	0
1	0	1	0	0	0	1	0	0	0



Фиг. 2

Составитель Г. Козуля

Редактор Т. Митейко

Техред В. Кацар

Корректор М. Максимишинец

Заказ 7459/58

Тираж 899

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4