



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1429121 A1

(51) 4 G 06 F 11/26

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4196666/24-24
(22) 19.02.87
(46) 07.10.88. Бюл. № 37
(71) Минский радиотехнический институт
(72) И.П.Кобяк и В.М.Галецкий
(53) 681,3(088.8)
(56) Авторское свидетельство СССР
№ 1149265, кл. G 06 F 11/26, 1984.
Авторское свидетельство СССР
№ 1297059, кл. G 06 F 11/26, 1985.

(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ ТЕСТОВ

(57) Изобретение относится к вычислительной технике. Цель изобретения состоит в повышении быстродействия устройства. Устройство состоит из генератора тактовых импульсов, генератора псевдослучайных чисел, блока синхронизации, счетчика длины теста, блока задания исходных данных, трех регистров сдвига, двух счетчиков, мультиплексора, элемента И, группы элементов И, группы триггеров, блока памяти и узла коммутации. Устройство позволяет проводить в автоматическом режиме синтез и генерацию тестовых последовательностей. 7 ил.

(19) SU (11) 1429121 A1

Изобретение относится к автоматике и вычислительной технике и может быть использовано при производственном контроле интегральных схем, а также узлов и блоков на основе этих схем.

Цель изобретения - повышение быстродействия.

На фиг. 1 показана блок-схема устройства; на фиг. 2 - блок синхронизации; на фиг. 3 - блок памяти и регистры сдвига; на фиг. 4 - взаимосвязь отдельных элементов устройства; на фиг. 5 - схематические взаимосвязи блоков, приведенных на фиг. 4, при $m=3$, где m - максимальное число входов объекта контроля; на фиг. 6 - счетчик с переменным модулем счета; на фиг. 7 - мультиплексор.

Устройство (фиг. 1) содержит генератор 1 тактовых импульсов, генератор 2 псевдослучайных чисел, блок 3 синхронизации, счетчик 4 длины теста, блок 5 задания исходных данных, регистры 6 и 7 сдвига, счетчик 8 (с переменным модулем счета), счетчик 9, мультиплексор 10, регистр 11 сдвига, элемент И 12, группу 13 элементов И, группу триггеров 14, блок 15 памяти, узел 16 коммутации, вход 17 задания режима работы устройства.

Блок синхронизации (фиг. 2) содержит регистр 18, блок 19 памяти (ПЗУ команд), коммутатор 20, счетчик 21, элемент И 22, элемент ИЛИ 23, триггер 24, элементы 25 и 26 индикации, блок 27 задания начального адреса.

Счетчик (фиг. 6) содержит группу триггеров 28.1...28. группу элементов 2-И-ИЛИ 29.1...29. (-1), группу элементов ИЛИ (30.1...30.) -1).

Рассмотрим основные функции, выполняемые из блоков устройства.

Генератор 1 тактовых импульсов предназначен для синхронизации работы узлов устройства для формирования тестов.

Генератор 2 псевдослучайных чисел предназначен для выработки последовательности равновероятных двоичных символов с эталонными статистическими характеристиками. Работа генератора синхронизируется импульсами генератора тактовых импульсов (ГТИ). Установочные S-входы триггеров сдвигевого регистра соединены с блоком 3 синхронизации и служат для предварительной

установки генератора в исходное состояние перед началом проверки цифрового блока.

Блок 3 синхронизации (фиг. 7) предназначен для формирования управляющих и синхронизирующих сигналов, необходимых для работы устройства в целом. В состав блока входят микропрограммное устройство управления, состоящее из регистра адреса и ПЗУ, блока двухвходовых элементов И, RS-триггера, счетчика адреса блока 15 памяти, элементы коммутации и индикации. Блок переключателей служит для предварительного занесения в регистр адреса микрокоманды (РАМК) начального адреса микропрограммы, записанной в ПЗУ. Верхнее положение переключателя соответствует подаче уровня логической единицы, нижнее положение - логического нуля. На вход синхронизации С1 РАМК подается единичный потенциал, инициирующий запись в регистр. Записанная информация является начальным адресом микропрограммы, считываемой из ПЗУ. Наличие свечения индикатора свидетельствует о том, что триггер находится в единичном состоянии, т.е. выбрана область памяти, в которой хранятся команды условного перехода или останова.

Считанная из ПЗУ микрокоманда состоит из двух полей - поля адреса следующей микрокоманды и поля управляющих сигналов. После адреса следующей микрокоманды имеет разрядность, равную $q+1$, поле управляющих сигналов является пятнадцатиразрядным, причем двенадцатый Y_{12} и тринадцатый Y_{13} управляющие сигналы служат для управления счетчиком адреса, входящего в состав блока 3 синхронизации, четырнадцатый управляющий сигнал Y_{14} управляет вентилем, разрешающим подачу тактовых импульсов от блока 1 на вход С2 РАМК. При подаче тактового импульса на данный вход осуществляется запись адреса следующей микрокоманды в регистр. Кроме того, тактовые импульсы поступают на вторые входы элементов И 13, первые входы которых соединены с выходами ПЗУ. Этим обеспечивается формирование импульсных управляющих сигналов, что необходимо при считывании последовательности единичных сигналов. Запрещенное состояние вентиля индицируется узлом 26 индикации. Управляющий сигнал Y_0 под-

ключен к углу 16 коммутации и является источником синхронизирующих сигналов для счетчика 8 с переменным модулем счета. Высокий потенциал на управляющем входе 17 соответствует подаче синхроимпульсов на тактовый вход счетчика 8, низкий потенциал обеспечивает подачу псевдослучайной последовательности от генератора 2 на синхровход счетчика 8.

Управляющий сигнал U_0 блока 3 синхронизации предназначен для сброса в ноль триггера останова в режиме выполнения микропрограмм. Синхросигналы $U_1 - U_0$ предназначены соответственно для синхронизации первого регистра 6, синхронизации генератора 2 установки начального состояния блока 2, увеличения на единицу счетчика 4, инкрементации счетчика 9, синхронизации регистра 11, сброса в ноль регистров 11 и 14, синхронизации блока 12, управления чтением/записью блока 15 памяти, синхронизации второго регистра 7.

Счетчик 4 предназначен для формирования сигнала останова для блока 3 синхронизации при окончании прохождения теста. Информация о длине тестовой последовательности заносится от блока 5 путем установки соответствующего кода на информационных входах $D_1 - D_m$ счетчика и установки режима занесения на входах S_1 и S_2 .

Блок 5 представляет собой набор двухпозиционных переключателей, а также формирователь 9 импульса сброса блока.

Первый и второй регистры 6 и 7 предназначены для подачи константных логических значений на входы счетчика 8. Сигналы, записанные в регистры, содержат информацию о входах/выходах проверяемой схемы, а также о подмножествах множества входов объекта контроля. Аппаратная реализация регистров может быть выполнена с использованием интегральных микросхем К 155 ИР13.

Счетчик 8 (фиг. 6) содержит m DV-триггеров с управляющими входами, $(m-1)$ элементов ИЛИ и $(m-1)$ элементов 2-2И-ИЛИ, причем инверсные выходы триггеров соединены с их информационными входами, V-входы триггеров соединены между собой и представляют собой разрешающий вход счетчика с переменным модулем счета, кроме того,

управляющие R- и S-входы соответствующих триггеров, кроме m -го, являются входами соответствующих элементов ИЛИ, выходы которых являются управляющими входами элементов 2-2И-ИЛИ, выход каждого из которых, кроме $(m-1)$ -го, соединен с синхронизирующим входом последующего триггера и вторым информационным входом последующего элемента 2-2И-ИЛИ, а выход $(m-1)$ -го элемента 2-2И-ИЛИ соединен с синхронизирующим входом m -го триггера, причем прямые выходы D-триггеров, кроме m -го, подключены к первым информационным входам элемента 2-2И-ИЛИ, кроме того, второй информационный вход первого элемента 2-2И-ИЛИ соединен с синхронизирующим входом первого триггера и является синхровходом счетчика с переменным модулем счета, R- и S-входы триггеров образуют группу входов блока 8, выходами которого являются прямые выходы D-триггеров.

Совместно с другими блоками устройства счетчик 8 реализует заданные режимы работы:

1. Формирование последовательности равновероятных двоичных символов с эталонными статистическими характеристиками (псевдослучайные последовательности).

2. Формирование последовательности двоичных символов с изменяемой вероятностью их появления.

3. Формирование логических констант.

4. Формирование теста типа "бегущий код" (в частном случае - "бегущий ноль" и "бегущая единица").

5. Формирование функций счета.

Совокупность структурных компонентов счетчика 8 и регистры 6 и 7 позволяют реализовать вышеупомянутые типы последовательностей на заданном множестве входов объекта контроля, что приводит к сокращению общего времени тестирования.

Счетчик 8 функционирует следующим образом. Если на S- и R-входах триггеров каждого из разрядов отсутствуют единичные сигналы с выходов регистров 6 и 7, то элементы ИЛИ, входы которых соединены с S- и R-входами триггеров, будут формировать нулевой логический уровень, который разрешает прохождение сигнала с выхода предыдущего триггера на синхровход по-

следующего через соответствующий вход селектора. А так как триггеры счетчика 8 включены по схеме со счетным входом, то при подаче на их V-входы логической единицы, блок 8 представляет собой m -разрядный двоичный счетчик. Если же из регистров 6 или 7 на один из управляющих входов некоторого триггера и группы триггеров счетчика 8 поступает уровень логической единицы, то последние устанавливаются в соответствующее состояние "0" или "1", а соответствующие элементы ИЛИ формируют управляющие сигналы, которые позволяют исключить данные триггеры из цепочки последовательности соединенных элементов памяти счетчика 8. При этом образуется счетчик с коэффициентом пересчета 2^{m-n} , где k - количество константных значений на выходе счетчика с переменным модулем счета.

При включении режима псевдослучайной генерации на синхронизирующий вход блока 8 через узел 16 подается сигнал от генератора 2 псевдослучайных чисел, а на разрешающий вход - синхроимпульсы U_{11} . При этом в ячейках памяти счетчика 8 осуществляется сложение по модулю два хранимой в данный момент времени информации и информации, поступающей из предыдущего разряда цепочки последовательно соединенных триггеров, что позволяет формировать на соответствующих выходах устройства псевдослучайные последовательности.

Счетчик 9 предназначен для формирования функций счета, подаваемых на входы мультиплексора 10 и группы 13 элементов И. Счетчик работает в двух режимах - режим параллельной записи информации с входов A_1, \dots, A_m и режим инкрементации. Выбор режима осуществляется подачей соответствующего логического уровня на вход счетчика от блока 5 задания исходных данных. Импульсы сложения формируются блоком 3 синхронизации.

Третий регистр 11 предназначен для записи информации с выхода объекта контроля или произвольно выбранной точки комбинационной схемы с помощью шупа. Информация записывается при поступлении на С-вход регистра 11 импульса сдвига от блока 3. Сброс регистра осуществляется подачей со-

ответствующего импульса на вход R установки регистра в ноль.

Элемент И 12 предназначен для синхронной передачи информации с выхода комбинационной схемы на входы группы 13 элементов И. Элемент 12 представляет собой стандартный элемент булевой алгебры.

Группа 13 элементов И содержит m двухвходовых элементов, к первым входам которых подсоединены выходы двоичного счетчика 9, а вторые входы - к выходу элемента И 12 для подачи синхронизирующего сигнала в соответствующий момент времени.

Элементы индикации, которые могут быть установлены на триггерах 14, необходимы для визуального считывания информации обслуживающим персоналом с целью формирования требуемых воздействий с помощью блока 3 синхронизации и блока 5 задания исходных данных.

Блок 15 необходим для накопления информации о подмножествах входов тестируемой схемы, влияющих на переключение заданной точки или выхода комбинационной части проверяемой схемы. Необходимая информация из блока 15 в соответствующий момент времени извлекается и помещается в выбранный регистр 6 или 7. Адресные входы блока 15 соединены с выходами счетчика адреса блока 3, один из управляющих сигналов которого формирует строб записи или логический уровень чтения ОЗУ.

Устройство работает следующим образом.

Информация о входах/выходах контролируемого устройства (логическая единица - вход, логический ноль - выход) набирается на переключателях блока 5. Упомянутые выходы соединены с информационными входами A_1, \dots, A_m двоичного счетчика 9. Соответствующим переключателем блока 5 (второй выход четвертой группы выходов), соединенным с входом S задания режима работы блока 9, устанавливается режим параллельной записи. При этом двоичный счетчик выполняет функцию конвейерного регистра, запись в который осуществляется путем подачи на синхровход импульса от блока 3 синхронизации.

Регистры 11 и 14 устанавливаются в ноль импульсом сброса, подаваемым от блока 3 синхронизации. После это-

го вход блока 11 подключается к шине питания +5 В для создания на входе регистра 11 сдвига уровня логической единицы. Подачей синхроимпульса данная информация записывается в первый триггер блока 11.

От блока 3 на вход элемента И 12 подается синхронизирующий импульс, который совместно с выходным сигналом мультиплексора 10 (логическая единица) позволяет передать информацию через группу 13 элементов И с выходов блока 9 на входы группы триггеров 14. При этом передаваемый код поступает на входы триггеров группы, что позволяет осуществить необходимую перезапись (фиг. 4).

Блок 3 сигналом Y_{12} устанавливает счетчик адреса блока 15 памяти в нулевое состояние, после чего на вход "Чтение-Запись" блока 15 поступает строб записи Y_9 , который инициирует запись инверсной информации с выходов регистра 14 в нулевую ячейку памяти. Передача инверсной информации необходима для того, чтобы информация о входах/выходах, записанная в первый или второй сдвиговые регистры 6 или 7 соответственно, позволяла исключать из структуры счетчика 8 триггеры, выходы которых подают на выходы объекта контроля. Отключение соответствующего триггера осуществляется уровнем логической единицы, что обусловлено конструкцией счетчика 8 с переменным модулем счета, исходное же задание информации о входах/выходах является инверсным.

Цель описанных действий - передача информации о входах/выходах в регистр 6 или 7 для организации исчерпывающего перебора кодовых комбинаций на входах проверяемой схемы. Соответствующая микропрограмма записывается в ПЗУ в виде последовательности управляющих сигналов. Структура считываемой микрокоманды содержит поле адреса следующей микрокоманды D_0, \dots, D_q и поле управляющих сигналов Y_0, \dots, Y_1 . Для обращения к данной микропрограмме на узле 27 блока 3 синхронизации набирается ее стартовый адрес (в данном случае - нулевой), что приводит к параллельному занесению информации, заданной на переключателях в регистр адреса микрокоманды и установке триггера условия останова в нулевое состояние. При этом индикатор

25 выключается. Нулевая микрокоманда разрешает прохождение импульсов синхронизации от блока 1 тактовых импульсов через элемент И 12 на вход С2 регистра адреса микрокоманды (сигнал Y_{11}). Поле управляющих сигналов данной микрокоманды содержит сигналы управления Y_5, Y_7, Y_{12}, Y_{13} , которые позволяют осуществить запись информации о входах/выходах тестируемой схемы в счетчик 9, сбросить в ноль регистр 11 и группу триггеров 14, занести нулевую комбинацию в счетчик адреса блока 15 памяти соответственно. После выполнения нулевой микрокоманды осуществляется безусловный переход к выполнению микрокоманды, адрес которой задан в поле D_0, \dots, D_q . В данном случае осуществляется переход к первой микрокоманде, содержащей управляющие сигналы Y_6 - запись логической единицы в нулевой триггер регистра 11, Y_{11} - разрешение синхронизации. Далее осуществляется переход к микрокоманде с адресом 2. При выполнении этой микрокоманды управляющий сигнал Y_8 синхронизирует блок 12, что приводит к записи информации о входах/выходах от блока 9 в триггеры 14 через группу 13 элементов И. Микрокоманда, записанная по третьему адресу, формирует строб записи Y_9 блока 15 памяти. Четвертая микрокоманда формирует сигнал Y_{10} - синхронизации регистра 6 сдвига с целью перезаписи информации из нулевой ячейки блока 15 памяти. При этом предполагается, что на входы задания режима работы регистра 6 от блока 5 задания исходных данных подана комбинация логических сигналов, содержащая информацию о режиме параллельной записи в регистр. Микропрограмма завершается выполнением пятой микрокоманды, содержащей управляющие сигналы Y_3, Y_4, Y_7 , что позволяет установить начальное состояние генератора 2 псевдослучайных чисел, занести информацию о длине тестовой последовательности с выходов блока 5 задания исходных данных в счетчик 4 длины теста, сбросить в ноль регистр 11 и триггеры 14. После этого осуществляется переход к микрокоманде с адресом 6, не содержащим управляющих сигналов, т.е. выполняется команда "Останов". Нулевой логический уровень (сигнал Y_{11}) отключает генератор тактовых импуль-

сов и работа устройства прекращается. Завершение выполнения микропрограммы сопровождается включением индикатора 26.

Кроме описанной выше микропрограммы в ПЗУ содержится другая микропрограмма, позволяющий подобным образом занести необходимую информацию во второй регистр 7 сдвига. Выполнение этой микропрограммы предполагается сразу же после выполнения первой микропрограммы. Останов после выполнения первой микропрограммы обусловлен необходимостью смены исходных данных, предназначенных для записи в регистр 7 сдвига. Данная микропрограмма располагается с седьмого по одиннадцатый адреса ПЗУ. Двенадцатая ячейка ПЗУ содержит команду "Останов", аналогичную рассмотренной.

После выполнения указанных микропрограмм переключениями блока 5 устанавливается режим хранения регистров 6 и 7 сдвига, режим счета счетчика 9. Уровень на управляющем входе узла 16 устанавливается в единичное значение, что соответствует заданию режима счета счетчика, 8 с переменным модулем счета. Вход третьего регистра 11 сдвига соединяется с заданной точкой объекта контроля, относительно которой необходимо построить вектор-строку двоичных цифр, единичные сигналы в которой будут соответствовать входам схемы, влияющим на переключение данной точки. Микропрограмма перебора кодовых комбинаций на входах объекта контроля начинается с тринадцатого адреса. По этому адресу считываются управляющие сигналы U_4 , U_6 , U_{11} , U_{11} . По сигналу U_4 осуществляется инкрементация счетчика 4, сигнал U_6 является сигналом записи выходной информации объекта контроля в регистр 11. По сигналу U_{11} осуществляется добавление единицы в счетчик 8 с переменным модулем счета. Поле адреса следующей микрокоманды содержит адрес текущей микрокоманды, что обуславливает выполнение перечисленных операций в течение времени, необходимого для перебора всех комбинаций на входах схемы. При переполнении счетчика 4 длины теста сигнал "Останов" поступает на S-вход триггера останова и устанавливает его в единичное состояние. При этом очередная команда считывается из

ячейки ПЗУ с адресом $2^q + B$ (B - тринадцатая ячейка). Эта команда позволяет осуществить условный переход к микрокоманде с адресом 14, и, кроме того, сигналом U_0 установить триггер останова в нулевое состояние. Микрокоманда с адресом 14 служит для увеличения на единицу содержимого счетчика 9 (сигнал U_5) и осуществления перехода к микрокоманде с адресом 15. Последняя, сигналами U_4 и U_3 осуществляет инкрементацию счетчика 4 и синхронизацию блока 12 с целью формирования разрешающего импульса для передачи содержимого блока 9 в регистр 14, после чего осуществляется переход к четырнадцатой микрокоманде. Эти две микрокоманды повторяются в цикле до тех пор, пока счетчик 4 длины теста не переполнится, после чего происходит установка триггера останова блока 3 синхронизации в единичное состояние сигналом переполнения и переход к микрокоманде с адресом $2^q + C^e$ (C - пятнадцатая ячейка). Данная микрокоманда сбрасывает триггер останова в ноль и осуществляет условный переход к микрокоманде с адресом 16, которая необходима для наращивания содержимого регистра адреса блока 15 (U_2 , U_3) с целью записи сформированной вектор-строки в последующую свободную ячейку памяти блока 15. Семнадцатая микрокоманда формирует строб записи ОЗУ и осуществляет переход к микрокоманде останова 18.

При необходимости сформировать другие векторы (для других точек схемы) необходимо осуществить перекоммутацию входа третьего регистра 11 сдвига и повторно обратиться к микропрограмме, расположенной начиная с тринадцатого адреса ПЗУ.

После окончания формирования всех заданных строк можно перейти к режиму тестирования объектов контроля. Микропрограмма тестирования расположена начиная с девятнадцатого адреса ПЗУ. Предварительно устанавливается режим параллельной записи регистра 6, информация о длине теста заносится в блок 4. Информация о длине теста для выбранной точки (или выхода схемы) может быть определена оператором при построении соответствующей вектор-строки. При этом необходимо двоичную

комбинацию считать с индикаторов регистра 14.

Обращение к девятнадцатой микрокоманде ПЗУ позволяет осуществить установку нулевого кода в счетчик адреса блока 15 (сигнал Y_{12}) и перейти к выполнению двадцатой команды. Эта микрокоманда формирует импульс записи необходимой информации в счетчик 4 длины теста и прибавление единицы в счетчик адреса блока 15. Микрокоманда, расположенная по адресу 21, необходимая для формирования сигнала записи в один из регистров 6 или 7 (например, регистр 6) и перехода к микрокоманде 22 "останова". Это необходимо для установки режимов счета счетчика 4 и режима хранения регистра 6 сдвига. После этого осуществляется передача управления в двадцать третью ячейку ПЗУ, управляющие сигналы в которой U_4 и U_{11} предназначены для инкрементации счетчиков 4 и 8. Двадцать третья команда А повторяется до тех пор, пока не произойдет переполнение счетчика 4 и не осуществится условный переход к команде останова с адресом $2q+A$. При этом тестирование заданной точки или выхода схемы завершается. Для продолжения режима тестирования других точек схемы необходимо установить нужные режимы работы счетчика 4 и регистра 6 и обратиться к двадцатой микрокоманде ПЗУ.

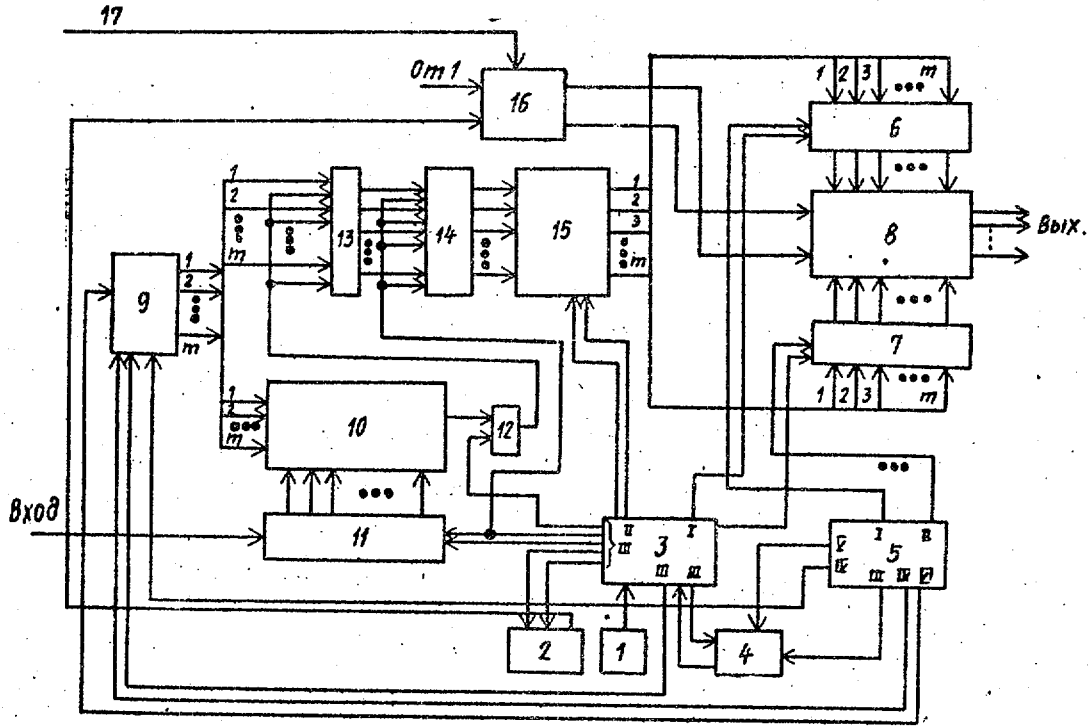
Ф о р м у л а и з о б р е т е н и я

Устройство для формирования тестов, содержащее генератор тактовых импульсов, генератор псевдослучайных чисел, блок синхронизации, счетчик длины теста, блок задания исходных данных, два регистра сдвига, первый счетчик, причем выход генератора тактовых импульсов соединен с тактовым входом блока синхронизации, первая группа выходов блока задания исходных данных соединена с информационными входами первого регистра сдвига, вторая и третья группы выходов блока задания исходных данных соединены соответственно с информационными входами второго регистра сдвига и счетчика длины теста, выход переполнения которого соединен с входом останова блока синхронизации, первый выход которого соединен с синхровходом первого регистра сдвига, второй, третий и чет-

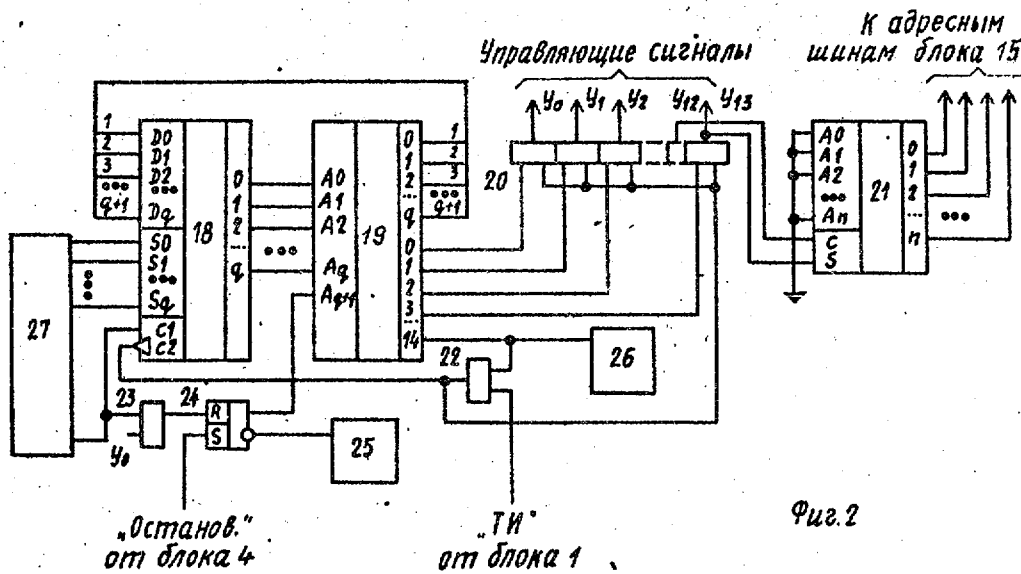
вертый выходы блока синхронизации соединены с установочным входом и синхровходом генератора псевдослучайных чисел и счетным входом счетчика длины теста соответственно, информационные входы которого соединены с четвертой группой выходов блока задания исходных данных, отличающиеся тем, что, с целью повышения быстродействия, в устройство введены второй счетчик, мультиплексор, третий регистр сдвига, элемент И, группа элементов И, группа триггеров, блок памяти и узел коммутации, причем пятая группа выходов блока задания исходных данных соединена с группой информационных входов второго счетчика, а шестая группа выходов блока задания исходных данных соединена с входами установки режима и сброса второго счетчика, вход прямого счета которого соединен с пятым выходом блока синхронизации, кроме того, группа m -разрядных выходов второго счетчика (где m - разрядность тестового слова устройства) подключена к первой группе управляющих входов мультиплексора, группа информационных входов которого соединена с группой разрядных выходов третьего сдвигового регистра, i -й выход второго счетчика ($i = \overline{1, m}$) соединен с первым входом i -го элемента И группы элементов И, вторые входы которых соединены с выходом элемента И, первый вход которого является выходом мультиплексора, а второй вход элемента И соединен с шестым выходом блока синхронизации, выходы элементов И группы соединены с входами установки соответствующих триггеров группы, входы сброса которых соединены с седьмым выходом блока синхронизации и входом сброса третьего регистра сдвига, выходы триггеров группы соединены с информационными входами блока памяти, группа адресных входов которого соединена с группой выходов блока синхронизации, выход генератора тактовых импульсов соединен с первым информационным входом узла коммутации, второй информационный вход которого соединен с выходом генератора псевдослучайных чисел, управляющий вход узла коммутации соединен с первым входом задания режима работы устройства, первый и второй выходы узла коммутации соединены с разрешающим и счетным входами первого счетчика

соответственно, а выходы блока памяти соединены с информационными входами первого и второго регистров сдвига, кроме того, восьмой выход блока синхронизации соединен с синхровходом второго регистра сдвига, девятый выход блока синхронизации соединен с синхровходом третьего регистра сдвига, информационный вход третьего сдвигового регистра является вторым входом задания режима работы устрой-

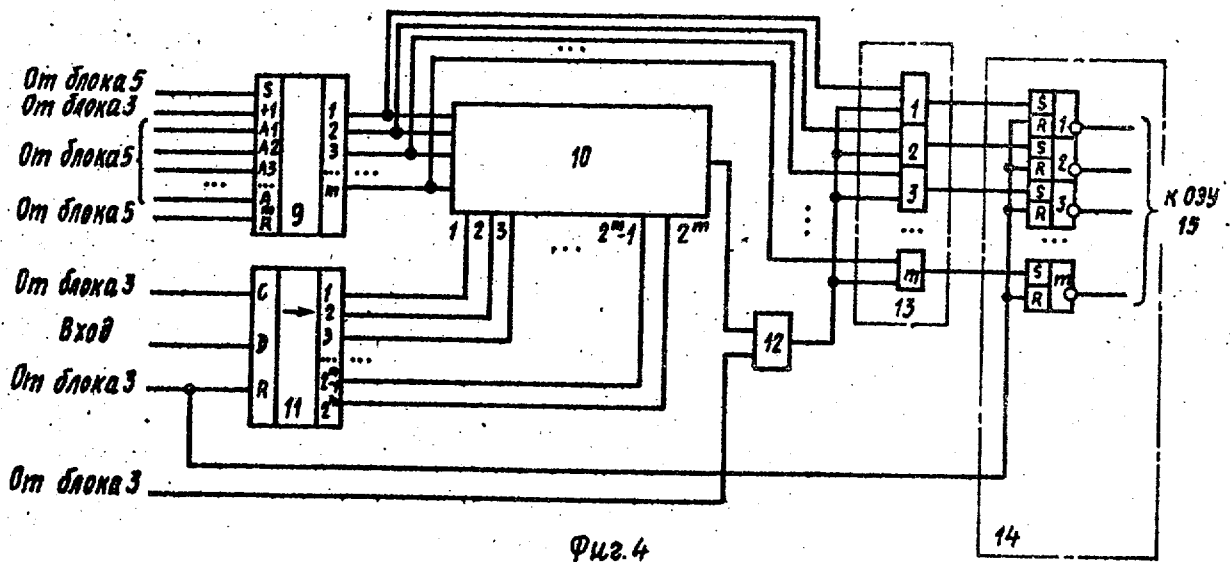
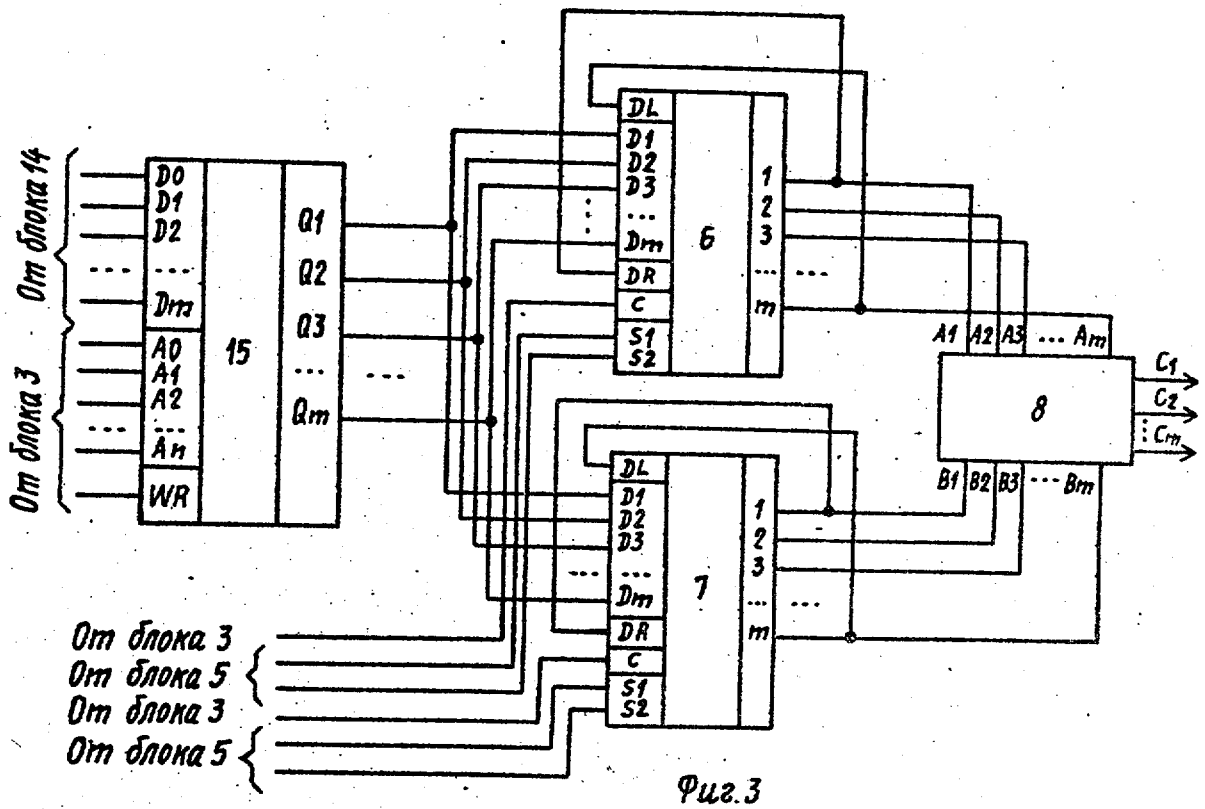
ства, а разрядные выходы первого счетчика являются выходами устройства, разрядные выходы первого регистра сдвига соединены с входами установки в нулевое состояние соответствующих разрядов первого счетчика, входы установки в единичное состояние которых соединены с соответствующими разрядными выходами второго регистра сдвига.

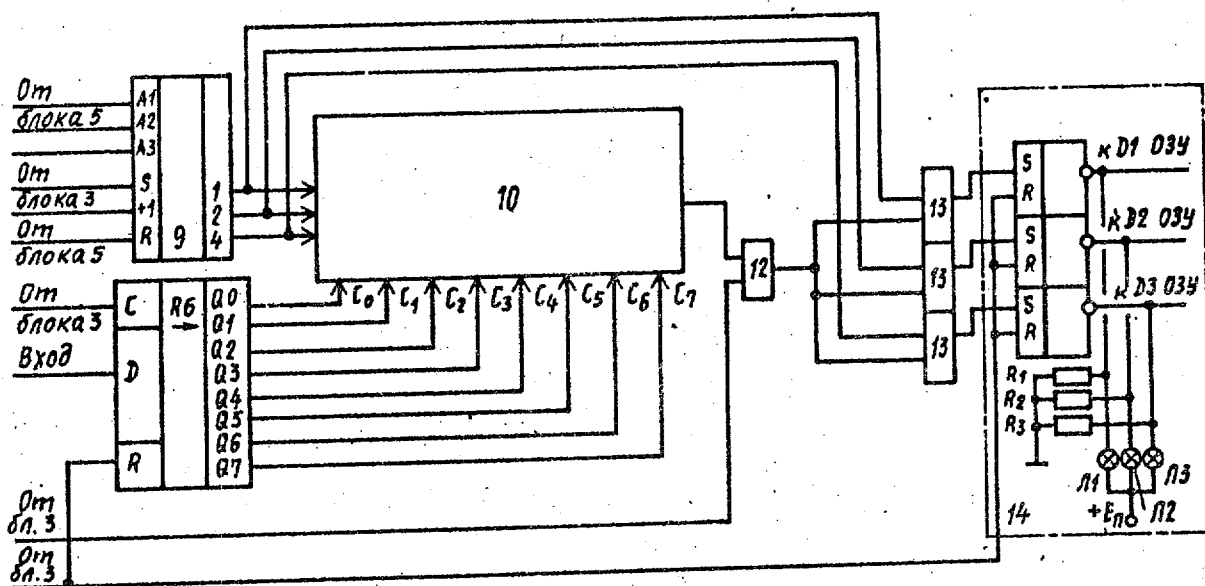


Фиг. 1

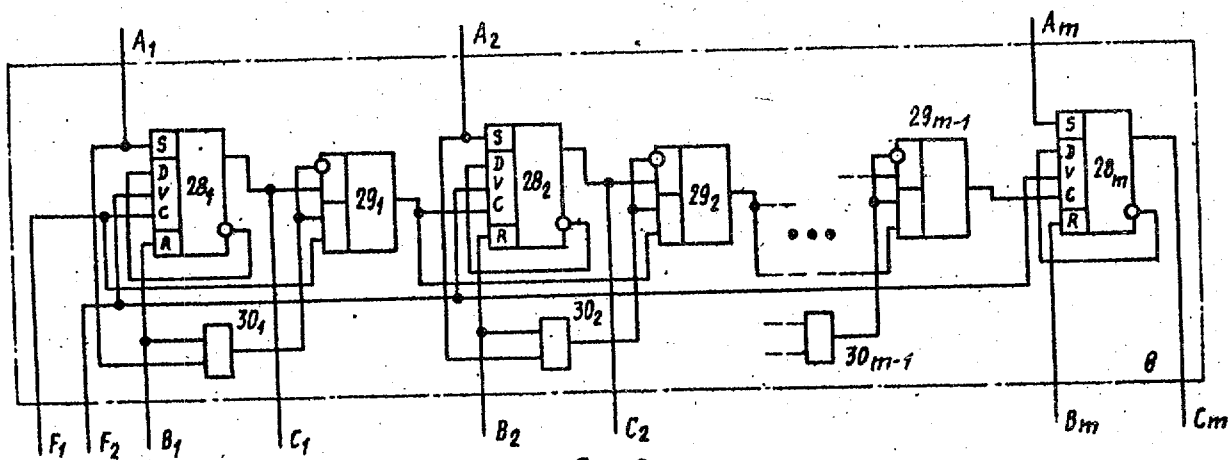


Фиг. 2

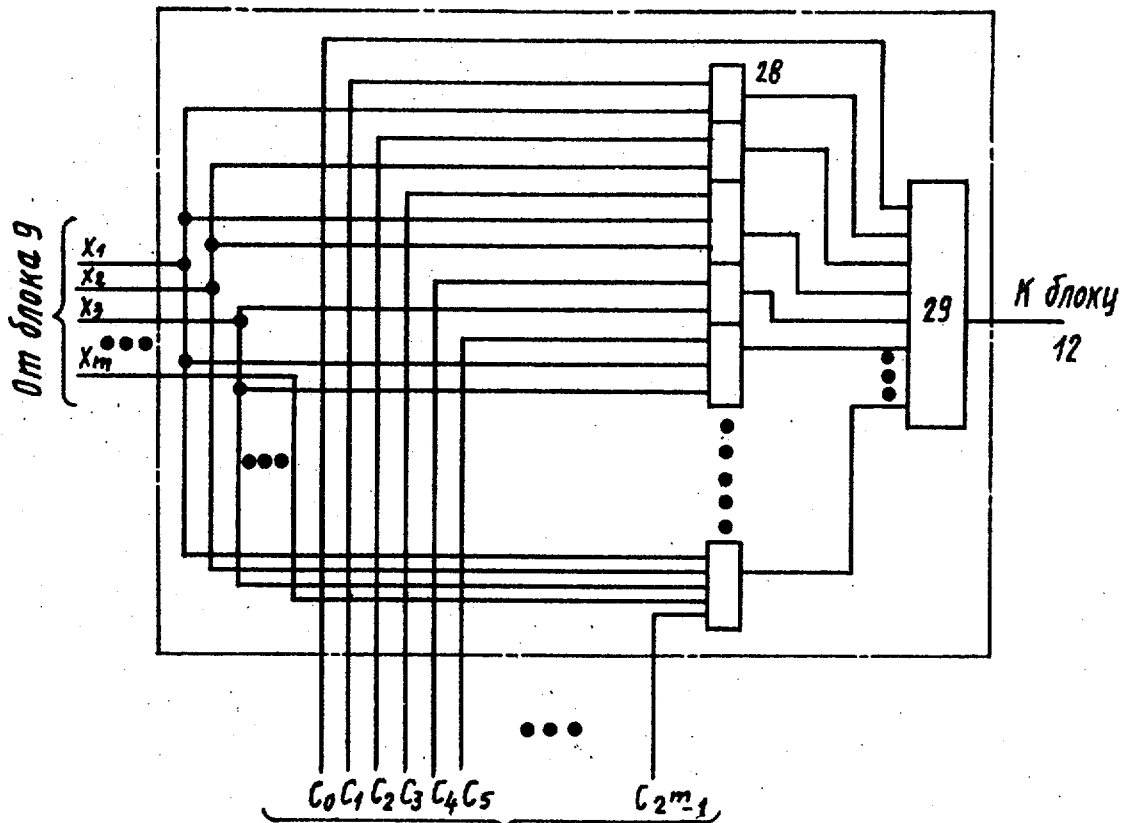




Фиг. 5



Фиг. 6



Фиг. 7

Редактор В. Бугренкова Составитель В. Леоненко Техред Л. Сердюкова Корректор Г. Решетник

Заказ 5127/46

Тираж 704

Подписное

ВНИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4