



(51)4 Н 03 М 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

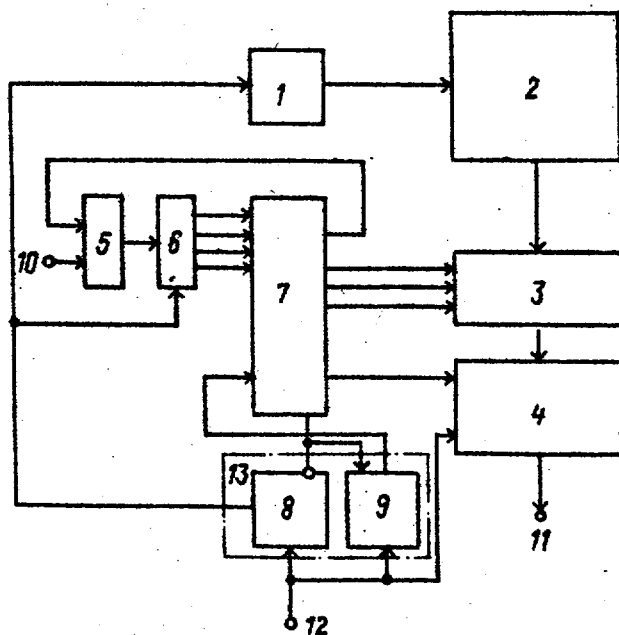
- (21) 3919979/24-24
- (22) 22.05.85
- (46) 30.03.87. Бюл. № 12
- (71) Минский радиотехнический институт
- (72) А.А.Жалковский и А.А.Шостак
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР № 572781, кл. Н 03 М 7/12, 1977.

Авторское свидетельство СССР
№ 760085, кл. Н 03 М 7/12, 1980.

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ

(57) Изобретение относится к автоматике и цифровой вычислительной технике и может быть использовано для построения преобразователей кодов как правильных и смешанных дробей,

так и целых чисел. Целью изобретения является повышение быстродействия преобразователя. Поставленная цель достигается тем, что в преобразователе, содержащий переключатель эквивалентов 1, блок 2 хранения эквивалентов, сдвигатель 3, накапливающий сумматор 4, регистр тетрады 6, блок 7 управления и блок управления 13, введен сумматор 5, входы которого являются входами преобразователя, вход переноса соединен с выходом переноса блока 7 управления сдвигом, а выход соединен с входом регистра тетрады 6. Это позволяет уменьшить число суммирований при преобразовании двоично-десятичных тетрад. 1 з.п. ф-лы, 2 ил., 2 табл.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для построения преобразователей кодов как правильных и смешанных дробей, так и целых чисел.

Цель изобретения - повышение быстродействия преобразователя.

На фиг.1 приведена структурная схема предлагаемого преобразователя двоично-десятичного кода в двоичный; на фиг.2 - функциональная схема блока управления сдвигом.

Преобразователь двоично-десятичного кода в двоичный содержит (фиг.1) переключатель 1 эквивалентов, блок 2 хранения эквивалентов, сдвигатель 3, накапливающий сумматор 4, сумматор 5, регистр 6 тетрады, блок 7 управления сдвигом, элемент запрета 8, триггер 9, информационный вход 10 преобразователя соединен со входами сумматора 5, выход 11 преобразователя является выходом накапливающего сумматора 4, тактовый вход 12 преобразователя соединен с синхровходами накапливающего сумматора 4, триггера 9 и входом элемента запрета 8.

Элементы 8 и 9 с соответствующими связями образуют блок управления 13.

Блок 7 управления сдвигом содержит (фиг.2) элементы запрета 14-17, элементы И 18 и 19, элементы запрета 20-23 и элементы ИЛИ 24-28. Информационные входы 29-32 соединены с входами элементов запрета 14-17 и 20-23 и элементов И 18-19. Выходы элементов ИЛИ 24-28 и элемента запрета 22 являются выходами 33-38 блока управления сдвигом, вход 39 признака длинного цикла преобразования которого соединен со входами элементов запрета 14, 20, 22, 23 и элемента И 18.

Переключатель 1 эквивалентов формирует адреса, по которым расположены двоичные эквиваленты десятичных значений $10^{\pm i}$, (i - целое положительное число) в блоке 2 хранения эквивалентов, и может быть реализован на двухтактном синхронном двоичном счетчике.

Блок 2 хранения эквивалентов предназначен для хранения двоичных эквивалентов $10^{\pm i}$, количество которых определяется разрядностью преобразуемого десятичного числа.

Сдвигатель 3 осуществляет сдвиг поступающего на его вход с выхода блока 2 двоичного эквивалента на 0,1

или 2 разряда влево или вырабатывает на выходе нули.

Сдвигатель может входить, например, в арифметико-логическое устройство ЭВМ, тогда не требуется дополнительное оборудование для его реализации.

Накапливающий сумматор 4 производит суммирование сдвинутого или переданного транзитом через сдвигатель 3 двоичного эквивалента с ранее накопленным результатом и запоминает образующуюся при этом сумму в аккумуляторе.

Сумматор 5 осуществляет суммирование значения переноса из преобразуемой двоично-десятичной цифры, сформированного на выходе блока 7, и значения соседней старшей цифры, поступающей через вход 10 преобразователя.

Регистр 6 тетрады предназначен для запоминания значения двоично-десятичной цифры на время цикла ее преобразования.

Блок 7 управления сдвигом вырабатывает по значениям двоичных разрядов $a_8 a_4 a_2 a_1$ преобразуемой двоично-десятичной цифры и по значению признака длинного цикла преобразования (ПДЦП) потенциал переноса (П) в соседнюю старшую десятичную цифру исходного операнда, управляющие потенциалы для сдвигателя 3 (сдвиг на 0,1 или 2 двоичных разряда влево), потенциал выбора режима для накапливающего сумматора 4 (сложение "+" или вычитание "-"), а также признак длинного цикла преобразования (ПДЦП) данной двоично-десятичной цифры. Данные, приведенные в табл.1 истинности, полностью описывают закон функционирования блока 7.

Блок 13 управления запоминает значение признака длинного цикла преобразования преобразуемой двоично-десятичной цифры и в случае его равенства единице (случай длинного преобразования) запрещает поступление импульса с тактового входа 12 преобразователя на синхровходы регистра 6 тетрады и переключателя 1 эквивалентов, состояние которых при этом сохраняется неизменным до завершения цикла преобразования данной десятичной цифры.

В основу предлагаемого преобразователя двоично-десятичного кода в двоичный положен следующий принцип. Двоичное значение преобразуемого n -разрядного десятичного числа может

быть получено путем суммирования двоичных эквивалентов десятичных значений $10^{\pm i}$ ($i = 0, 1, 2, \dots, n$) без сдвига или со сдвигом влево на определенное число разрядов. Количество суммируемых i -го двоичного эквивалента $10^{\pm i}$ и число разрядов, на которое необходимо при этом его сдвигать, однозначно определяется значением i -ой двоично-десятичной цифры. Так, например, цифра в разряде сотен ($i=2$) имеющая значение 0011, преобразуется посредством двух суммируемых двоичного эквивалента 10^2 (1100100₂) с суммой предыдущих двоичных эквивалентов: в первый раз без сдвига, во второй раз - со сдвигом на один двоичный разряд влево. Для уменьшения количества таких суммируемых, а следовательно, для увеличения скорости действия, некоторые вводимые в преобразователь двоично-десятичные цифры представляются особым образом. В табл. 2 приведены операции, выполненные преобразователем под выходными двоично-десятичными цифрами с целью уменьшения тактов суммирования. Из десяти возможных значений преобразованных цифр (пять из которых приведены в табл. 2) только три (0011, 0101, 0011) требуют цикла преобразования, состоящего из двух тактов. При этом в преобразователе в сравнении с известным устройством исключается сдвиг на 3 разряда влево, что ведет к упрощению сдвигателя 3.

Преобразователь работает следующим образом.

До прихода первого управляющего импульса все его триггеры гасятся (цепи гашения на фиг. 1 не показаны). Потенциалы выходов 33-38 блока 7 управления сдвигом согласно закону его функционирования (табл. 1) устанавливаются в 0, при этом на выходе сдвигателя 3 обеспечиваются нули. Первый импульс, поступающий на вход 12, проходит через элемент запрета 8 и записывает в регистр 6 тетрады младшую двоично-десятичную тетраду преобразуемого числа, а также переводит переключатель 1 эквивалентов на считывание из блока 2 первого эквивалента. Этот же импульс записывает в аккумулятор накапливающего сумматора 4 нулевую информацию (результат суммирования нулевого содержимого аккумулятора и нулевой информации с вы-

хода сдвигателя 3). Затем начинается первый цикл преобразования, состоящий из одного или двух тактов.

Выбранный из блока 2 двоичный эквивалент поступает параллельным кодом на вход сдвигателя 3. Одновременно с этим в блоке 7 управления сдвигом по значению двоично-десятичной тетрады, записанной в регистре 6 тетрады, и предыдущему признаку длинного цикла преобразования, хранящему в триггере 9, на выходе 37 вырабатывается потенциал переноса в соседнюю старшую тетраду, на выходах 36-34 образуются потенциалы сдвига на 0, 1 или 2 разряда влево соответственно (если все потенциалы нулевые, то на выходе сдвигателя 3 обеспечиваются нули), на выходе 33 формируется потенциал выбора режима работы накапливающего сумматора 4 ("0" - сложение, "1" - вычитание), а на выходе 38 - потенциал признака длинного цикла преобразования для обрабатываемой тетрады (табл. 1).

В соответствии со значением сигналов на выходах 34-36 блока 7 на выходе сдвигателя 3 образуется результат, равный значению $k \cdot \mathcal{E}_1$, где $k = \{0, 1, 2, 4\}$; \mathcal{E}_1 - двоичный эквивалент веса первой десятичной цифры. Накапливающий же сумматор 4 по значению сигнала на выходе 33 блока 7 настраивается либо на сложение, либо на вычитание. В конце первого такта цикла преобразования управляющий импульс записывает в аккумулятор накапливающего сумматора 4 результат суммирования (вычитания) значения $k \cdot \mathcal{E}_1$ с предыдущим содержимым аккумулятора, а в триггер 9 - информацию о длине цикла преобразования. Если потенциал признака длинного цикла преобразования равен "0", то этот же импульс записывает в регистр 6 тетрады следующую двоично-десятичную тетраду и переводит переключатель 1 эквивалентов на считывание из блока 2 нового, соответствующего второй цифре, двоичного эквивалента \mathcal{E}_2 . Цикл преобразования в этом случае состоит из одного такта.

Если же потенциал признака длинного цикла преобразования равен "1" (для цифр, преобразованных к виду 0011, 0101, 0011), то управляющий импульс через элемент запрета 8 не

проходит. При этом сохраняются состояние регистра 6 тетрады и переключателя 1 эквивалентов, что делает возможным повторное суммирование (вычитание) во втором такте цикла преобразования выбранного эквивалента \mathcal{E}_1 при другом значении параметра k сдвига. В блоке 7 вырабатывается новая комбинация потенциалов (на выходе 38 потенциал в этом случае всегда равен "0").

Следующий импульс записывает в аккумулятор накапливающего сумматора 4 результат повторного суммирования (вычитания), обнуляет триггер 9 и записывает в регистр 6 тетрады вторую двоично-десятичную тетраду, а также переводит переключатель 1 эквивалентов на считывание из блока 2 соответствующего двоичного эквивалента \mathcal{E}_2 . Цикл преобразования состоит в этом случае из двух тактов.

Вслед за первым десятичным разрядом точно так же за один цикл, состоящий из одного или двух тактов, происходит преобразование каждого последующего двоично-десятичного разряда исходного числа. При этом для каждого нового цикла считывается из блока 2 очередной эквивалент 10^{2^i} . Так продолжается до тех пор, пока не будут преобразованы все двоично-десятичные разряды исходного числа, а в накапливающем сумматоре 4 не сформируется искомое двоичное число, которое подается на выход 11 преобразователя. Поскольку из самой старшей тетрады возможен перенос, то необходим дополнительный такт для выборки эквивалента \mathcal{E}_{n+1} и суммирования его (если перенос равен 1) с ранее накопленным результатом.

Ф о р м у л а и з о б р е т е н и я

1. Преобразователь двоично-десятичного кода в двоичный, содержащий переключатель эквивалентов, блок хранения эквивалентов, сдвигатель, накапливающий сумматор, регистр тетрады, блок управления и блок управления сдвигом, информационные входы которого соединены с соответствующими выходами регистра тетрады, выход выбора режима блока управления сдвигом соединен с управляющим входом сложения-вычитания накапливающего сумматора, выход которого является выходом преобразователя, а информа-

ционные входы накапливающего сумматора соединены с выходами сдвигателя, информационные входы которого соединены с выходами блока хранения эквивалентов, входы которого соединены с выходами переключателя эквивалентов, отличающийся тем, что, с целью повышения быстродействия, в него введен сумматор, а блок управления содержит триггер и элемент запрета, выход которого соединен с синхровходами переключателя эквивалентов и регистра тетрады, информационные входы которого соединены с выходами сумматора, вход переноса которого соединен с выходом переноса блока управления сдвигом, разрядные входы которого соединены с входами кода сдвига сдвигателя, информационные входы сумматора соединены с информационным входом преобразователя, тактовый вход которого соединен с синхровходами триггера, накапливающего сумматора и с прямым входом элемента запрета, инверсный вход которого соединен с выходом признака длинной операции блока управления сдвигом и с управляющим входом триггера, выход которого соединен с входом признака длинной операции блока управления сдвигом.

2. Преобразователь по п.1, отличающийся тем, что в нем блок управления сдвигом содержит два элемента И, восемь элементов запрета и пять элементов ИЛИ, причем прямой вход первого, первые прямые входы второго и третьего элементов запрета, первые инверсные входы четвертого и пятого и инверсный вход шестого элементов запрета соединены с информационным входом первого разряда блока управления сдвигом, информационный вход второго разряда которого соединен с первыми входами первого и второго элементов И, с вторым прямым входом второго и первым прямым входом четвертого элементов запрета, с инверсными входами седьмого и восьмого элементов запрета, с вторым инверсным входом пятого элемента запрета, второй инверсный вход четвертого элемента запрета, второй прямой вход третьего элемента запрета, второй вход второго элемента И и прямой вход шестого элемента запрета соединены с информационным входом третье-

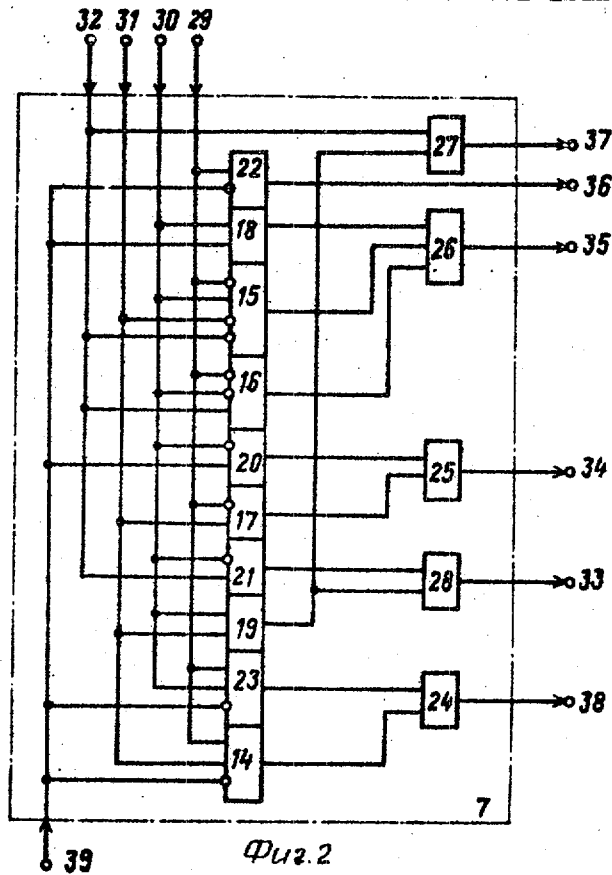
го разряда блока управления сдвигом, информационный вход четвертого разряда которого соединен с прямыми входами пятого и восьмого элементов запрета, с третьим инверсным входом четвертого элемента запрета и с первым входом первого элемента ИЛИ, второй вход которого соединен с выходом второго элемента И и с первым входом второго элемента ИЛИ, второй вход которого соединен с выходом восьмого элемента запрета, вход признака длинной операции блока управления сдвигом соединен с инверсными входами первого, второго и третьего элементов запрета, с прямым входом седьмого элемента запрета и с вторым входом первого элемента И, выходы второго и третьего элементов запрета соответственно соединены с первым и

вторым входами третьего элемента ИЛИ, выход которого является выходом признака длинной операции блока управления сдвигом, выходы шестого и седьмого элементов запрета соединены соответственно с первым и вторым входами четвертого элемента ИЛИ, выход первого элемента И и выходы четвертого и пятого элементов запрета соединены соответственно с первым, вторым и третьим входами пятого элемента ИЛИ, выходы четвертого и пятого элементов ИЛИ и выход первого элемента запрета являются выходами соответственно первого, второго и третьего разрядов блока управления сдвигом, выходы первого и второго элементов ИЛИ являются выходами соответственно переноса и выбора режима блока управления сдвигом.

Т а б л и ц а 1

Входы						Выходы				
39 ИЛИИ	32 a_8	31 a_4	30 a_2	29 a_1	37 И	34 Сдв.2 разр.	35 Сдв.1 разр.	36 Сдв.0 разр.	33 + или -	38 ИЛИИ
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1	0	0
0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	1	0	0	0	1	0	1
0	0	1	0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	0	1	0	1
0	0	1	1	0	1	1	0	0	1	0
0	0	1	1	1	1	0	0	1	1	1
0	1	0	0	0	1	0	1	0	1	0
0	1	0	0	1	1	0	0	1	1	0
0	1	0	1	0	1	0	0	0	0	0
1	0	0	1	1	0	0	1	0	0	0
1	0	1	0	1	0	1	0	0	0	0
1	0	1	1	1	1	0	1	0	1	0

Вводимая через вход 10 в преобразователь i -ая двоично-десятичная цифра	Перенос из $(i-1)$ -ой двоично-десятичной цифры	Представление в преобразователе i -ой двоично-десятичной цифры	Перенос в $(i-1)$ -ую двоично-десятичную цифру
0101	1	0100	1
0110	0		
0110	1	0011	1
0111	0		
0111	1	0010	1
1000	0		
1000	1	0001	1
1001	0		
1001	1	0000	1



Фиг. 2