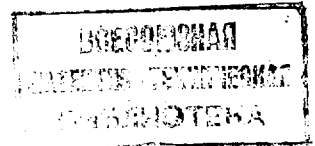




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

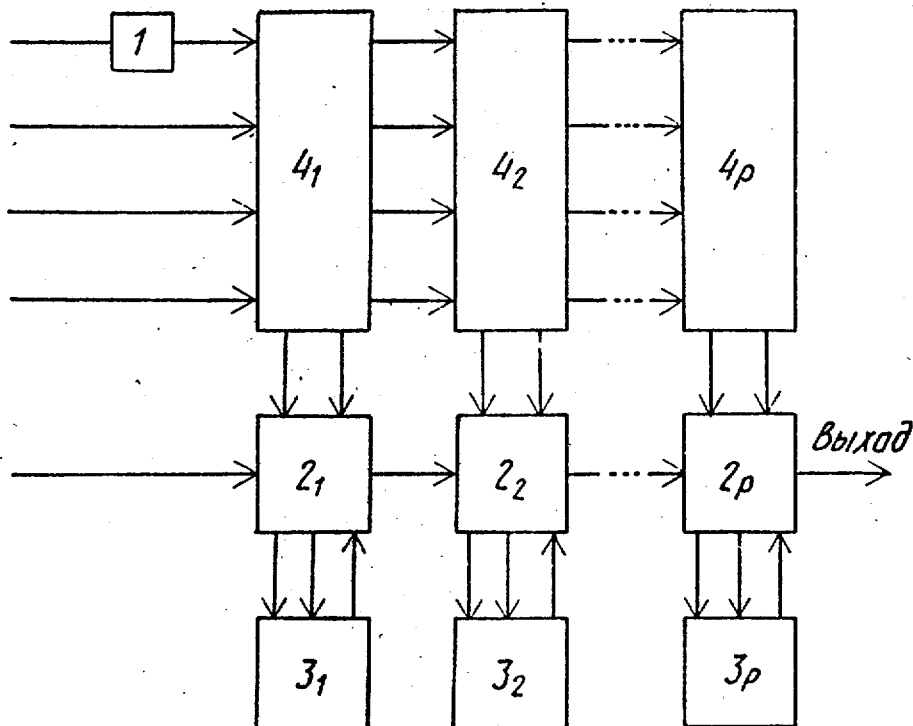


1

(21) 4704593/24  
(22) 14.06.89  
(46) 15.06.91. Бюл. № 22  
(71) Минский радиотехнический институт  
(72) Е.Н.Зайцева, А.В.Кривицкий, Г.А.Кухарев и В.П.Шмерко  
(53) 681.325(088.8)  
(56) Авторское свидетельство СССР № 1168925, кл. G 06 F 7/04, 1984.  
Авторское свидетельство СССР № 1317430, кл. G 06 F 7/00, 1986.  
(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЛОГИЧЕСКИХ ПРОИЗВОДНЫХ МНОГОЗНАЧНЫХ ДАННЫХ

2

(57) Изобретение относится к цифровой вычислительной технике и может быть использовано для аппаратной поддержки вычислений в системах синтеза, анализа и контроля цифровых автоматов, диагностики цифровых устройств, обработки изображений, сжатия данных, синтеза топологии БИС и СБИС. Цель изобретения – расширение функциональных возможностей устройства за счет обработки многозначных данных. Устройство содержит генератор 1 тактовых импульсов,  $r$  операционных блоков 2,  $p$  блоков 3 памяти и  $p$  блоков 4 управления, где  $r$  – порядок логической производной или логического интеграла. 4 ил.



Фиг. 1

Изобретение относится к цифровой вычислительной технике и может быть использовано для аппаратной поддержки вычислений в системах синтеза, анализа, контроля и диагностики цифровых автоматов, обработки изображений, сжатия данных, синтеза топологии больших и сверхбольших интегральных схем.

Целью изобретения является расширение функциональных возможностей устройства за счет обработки многозначных данных.

На фиг. 1 представлена схема устройства; на фиг. 2 – схема операционного блока; на фиг. 3 – схема блока памяти; на фиг. 4 – схема блока управления.

Устройство содержит генератор 1 тактовых импульсов, операционные блоки 2<sub>1</sub>–2<sub>р</sub>, где р – порядок логической производной/интеграла, блоки 3<sub>1</sub>–3<sub>р</sub> памяти, блоки 4<sub>1</sub>–4<sub>р</sub> управления. Каждый операционный блок содержит коммутатор 5 и сумматор 6 по модулю К, где К – значность данных. Каждый блок памяти содержит регистры 7<sub>1</sub>–7<sub>τ</sub>, где τ – значение параметра логической производной/интеграла, и элементы 8<sub>1</sub>–8<sub>τ</sub> задержки. Каждый блок управления содержит первый и второй регистры 9 и 10, первый и второй элементы 11 и 12 сравнения, первый и второй счетчики 13 и 14, первый и второй элементы ИЛИ 15 и 16, с первого по четвертый триггеры 17 – 20, первый и второй элементы И 21 и 22.

Операционный блок 2<sub>1</sub> (1 – 1, р) обеспечивает однократное вычисление логической производной с параметром τ системы К-значных данных по координате X и Y в соответствии с выражениями для р-кратных логических производных с параметром τ, определяемых матричными операторами вида:

$$\frac{\partial^{(p)} X_{kn}}{\partial (\partial X)^{(p)}} = M_{kn}^{(\tau)} \cdot \frac{\partial^{(p-1)} X_{kn}}{\partial (\partial X)^{(p-1)}} \pmod{k}; \quad (1)$$

$$\frac{\partial^{(p)} X_{kn}}{\partial (\partial Y)^{(p)}} = \frac{\partial^{(p-1)} X_{kn}}{\partial (\partial Y)^{(p-1)}} \cdot M_{kn}^{(\tau)} \pmod{k}, \quad (2)$$

где  $M_{kn}^{(\tau)}$  – матрица логической производной с параметром τ. Исходными данными для i-го операционного блока является система К-значных данных, заданная матрицей вида

$$\frac{\partial^{(i-1)} X_{kn}}{\partial (\partial X)^{(i-1)}} \quad (3)$$

(при логической обработке по координате X) или матрицей вида

$$\frac{\partial^{(i-1)} X_{kn}}{\partial (\partial Y)^{(i-1)}} \quad (4)$$

(при логической обработке по координате Y). Причем справедливо следующее соотношение:

$$\frac{\partial^{(o)} X_{kn}}{\partial (\partial X)^{(o)}} = \frac{\partial^{(o)} X_{kn}}{\partial (\partial Y)^{(o)}} = X_{kn},$$

то есть для блока 2<sub>1</sub> исходными данными является система К-значных данных, заданная матрицей  $X_{kn}$ .

Блок 4<sub>1</sub> управления предназначен для синхронизации функционирования блоков 2<sub>1</sub> и 3<sub>1</sub>. С первого по К<sup>n</sup>-й такты работы блока 2<sub>1</sub> на его первый информационный вход поэлементно подается первый столбец или строка матрицы многозначных данных.

С первого по τ-й такты первые τ элементов первого столбца или первой строки матрицы многозначных данных (3) или (4) пересылаются через коммутатор 5 с его информационного входа на его второй выход. Первые τ тактов работы блока 2<sub>1</sub> на первый и второй входы сумматора 6 по модулю К информация не поступает, что равносильно подаче на первый и второй входы сумматора 6 по модулю К блока 2<sub>1</sub> нулевых элементов.

С (τ + 1)-го по К<sup>n</sup>-й такты коммутатор 5 осуществляет пересылку данных со своего информационного входа на первый и второй выходы одновременно, а на второй информационный вход сумматора 6 по модулю К поэлементно поступают (К<sup>n</sup> – τ) К-значных данных, принадлежащих первому столбцу или строке матрицы (3) или (4) соответственно.

С (К<sup>n</sup> + 1)-го по (τ + К<sup>n</sup>)-й такты коммутатор 5 пересылает данные со своего информационного входа на второй выход. С (К<sup>n</sup> + 1) по 2К<sup>n</sup>-й такты на первый информационный вход блока 2<sub>1</sub> подается второй столбец или вторая строка матрицы многозначных данных (3) или (4) соответственно.

С (τ + 1)-го по (τ + К<sup>n</sup>)-й такт на первый информационный вход сумматора 6 по модулю К поступает поэлементно первый столбец или первая строка матрицы многозначных данных (3) или (4).

С (τ + 1)-го по (τ – К<sup>n</sup>)-й такт на выходе сумматора 6 по модулю К формируется первый столбец матрицы К-значных данных, имеющий вид

$$\frac{\partial^{(i)} X_{kn}}{\partial (\partial X)^{(i)}}, \quad (5)$$

или первая строка матрицы К-значных данных вида

$$\frac{\partial^{(i)} X_{kn}}{\partial (\partial Y)^{(i)}}. \quad (6)$$

Матрицы (5) и (6) являются логическими производными первого порядка матриц (3) и (4) соответственно.

Далее блок 2<sub>i</sub> функционирует аналогично приведенному выше описанию /с ( $\tau + K^n + 1$ )-го по ( $\tau + K^{2^n}$ )-й такты).

Блок 3<sub>i</sub> памяти обеспечивает задержку матрицы К-значных данных на  $\tau$  тактов относительно начала ввода этой матрицы в блок 3<sub>i</sub>. Матрица К-значных данных вводится в блок 3<sub>i</sub> начиная с первого по  $K^{2^n}$ -й такты, а на выходе блока 3<sub>i</sub> эта матрица формируется с ( $\tau+1$ )-го по ( $K^n + \tau$ )-й такты.

Блок 4<sub>i</sub> управления функционирует следующим образом.

Предварительно в момент времени  $t_0$  в регистры 9, 10 по переднему фронту управляющего сигнала на входах записи-чтения записываются соответственно размерность  $K^n$  столбца или строки матрицы К-значных данных ( $n$  – количество переменных) и значение параметра  $\tau$  логической производной или логического интеграла. Счетчики 13 и 14 устанавливаются в нулевые состояния, триггер 19 – в нулевое состояние, триггер 20 – в единичное состояние.

С первого по  $K^n$ -й такты работы блока 4<sub>i</sub> происходит наращивание содержимого счетчиков 13 и 14. На  $\tau$ -м такте работы блока 4<sub>i</sub> элемент 12 сравнения формирует на выходе сигнал высокого логического уровня, так как на  $\tau$ -м такте содержимое регистра 10 совпадает с содержимым счетчика 14. В триггер 18 записывается состояние выхода элемента 12 сравнения и тем самым на выходе триггера 18 формируется высокий логический уровень. Затем триггер 18 переключается в нулевое состояние по переднему фронту очередного ( $\tau + 1$ )-го тактового импульса. С выхода триггера 18 через элемент ИЛИ 16 на информационный вход триггера 19 поступает сигнал, по заднему фронту которого третий триггер 19 переключается в единичное состояние. В результате этого на четвертом выходе блока 4<sub>i</sub> устанавливается высокий логический уровень. Сигнал, сформированный на выходе триггера 18, передается через элемент И 22, так как на его втором входе высокий логический уровень. С выхода триггера 18 через элемент И 21 на вход установки в "0" триггера 20 поступает сигнал, по заднему фронту которого происходит сброс триггера 20. Тем самым на входе разрешения триггера 20, на втором входе первого элемента И 21 и на втором входе элемента И 22 устанавливается низкий логический уровень. Следовательно, на первом выходе блока 4<sub>i</sub> ( $\ell = 1, p-1$ ) формируется сигнал высокого логического уровня только на  $\tau$ -м такте его работы. Этот сигнал обеспечивает установку в исходное состояние блока 4<sub>i+1</sub> управления.

На  $K^n$ -м такте работы блока 4<sub>i</sub> элемент 11 сравнения формирует на выходе сигнал высокого логического уровня. Это осуществляется за счет того, что на  $K^n$ -м такте содержимое регистра 9 совпадает с содержимым счетчика 13. В триггер 17 записывается состояние выхода элемента 11 сравнения. Затем триггер 17 переключается в нулевое состояние по переднему фронту очередного ( $K^n+1$ )-го тактового импульса. С выхода триггера 17 через элемент ИЛИ 15 на входы установки в "0" счетчиков 13 и 14 поступает сигнал, по переднему фронту которого они устанавливаются в нулевое состояние. Тем самым счетчики 13 и 14 выполнили свои функции по управлению работой блока 4<sub>i</sub> на первом цикле его работы и подготовлены для осуществления второго цикла функционирования блоком 4<sub>i</sub>. С выхода триггера 14 через элемент ИЛИ 16 на информационный вход триггера 19 поступает сигнал, по заднему фронту которого триггер 19 устанавливается в нулевое состояние. В результате этого на четвертом выходе блока 4<sub>i</sub> в интервале времени ( $t_{k^n} + 1 - t_{k^n} + \tau + 1$ ) устанавливается низкий логический уровень. С ( $K^n+1$ )-го по  $K^{2^n}$ -й такты блок 4<sub>i</sub> функционирует аналогично тому, как он работал с первого по  $K^n$ -й такты.

Начиная с ( $K^{2^n}+1$ )-го такта функционирования устройства в него можно загружать вторую матрицу К-значных данных, при этом значение параметра  $\tau$  логической производной или логического интеграла должно совпадать с предыдущим, а количество переменных  $n$  может быть иным. В том случае, когда количество переменных  $n$  функции К-значных данных новой матрицы отличается от количества переменных функции К-значных данных предыдущей матрицы, в устройство следует ввести размерность  $K^n$  столбца или строки матрицы и произвести перезагрузку параметра  $\tau$  логической производной или логического интеграла. Это осуществляется между  $K^{2^n}$ -м и ( $K^{2^n}+1$ )-м тактами работы устройства. Ввод в устройство размерности  $K^n$  столбца или строки новой матрицы К-значных данных и перезагрузка параметра  $\tau$  логической производной или логического интеграла осуществляются соответственно через второй и третий входы режима блока 4<sub>i</sub>, а на первый вход режима блока 4<sub>i</sub> при этом подается сигнал высокого логического уровня.

По окончании ввода в устройство второй матрицы К-значных данных можно ввести третью матрицу К-значных данных и т.д.

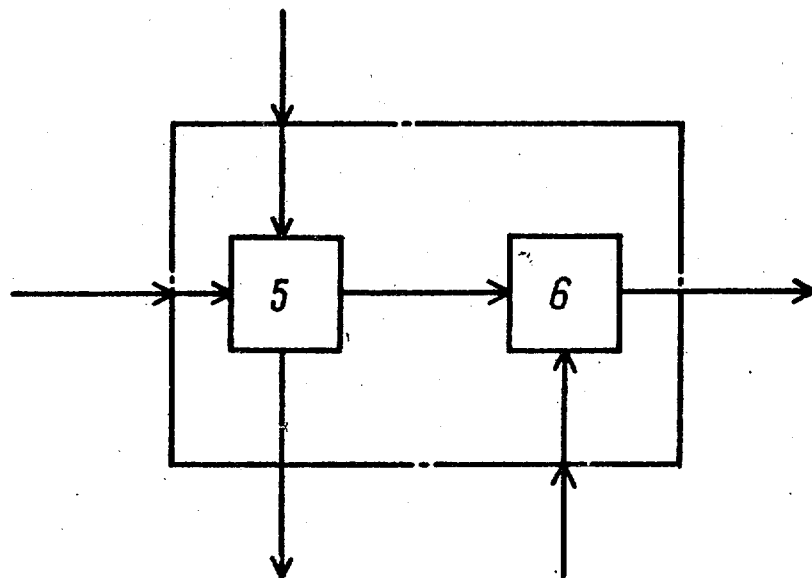
После обработки в устройстве всех введенных в него матриц К-значных данных

устройство останавливается путем подачи на его вход запуска/останова сигнала высокого логического уровня.

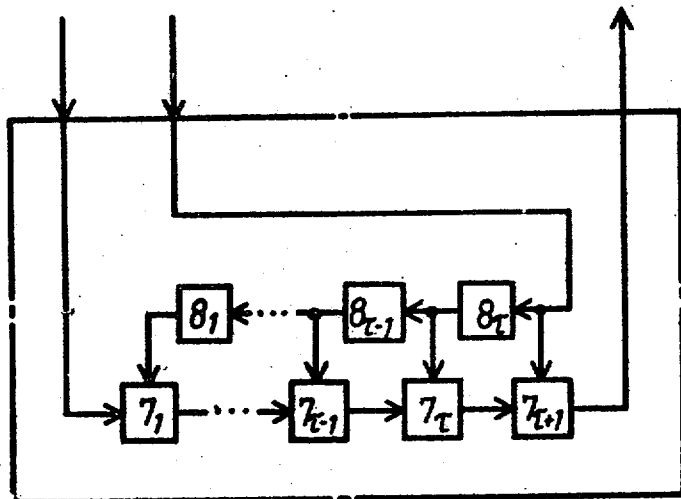
#### Ф о р м у л а и з о б р е т е н и я

Устройство для вычисления логических производных многозначных данных, содержащее первый блок управления, первый операционный блок и генератор тактовых импульсов, причем информационный вход и вход запуска-останова устройства подключены соответственно к первому информационному входу первого операционного блока и к входу запуска-останова генератора тактовых импульсов, выход которого подключен к входу синхронизации первого блока управления, о т л и ч а ю щ е с я т е м , ч т о , с целью расширения функциональных возможностей за счет обработки многозначных данных, оно содержит с второго по  $r$ -й блоки управления (где  $r$  – порядок логической производной интеграла), с второго по  $r$ -й операционные блоки и  $p$  блоков памяти, причем выход генератора тактовых импульсов подключен к входам синхронизации блоков управления с второго по  $r$ -й и к входам синхронизации блоков памяти с первого по  $r$ -й, управляющий вход, вход размерности и вход параметра логической производной интеграла устройства подключены соответственно к первому, второму и третьему входам режима первого блока управления, первый, второй, третий и четвертый выходы  $s$ -го блока управления (где  $s = 1, \dots, r-1$ ) подключены соответственно к первому, второму, третьему входам режима  $(s+1)$ -го блока управления и управляющему входу  $s$ -го операционного блока, четвертый выход  $p$ -го блока управления подключен к управляющему входу  $p$ -го операционного блока, первый и второй выходы  $s$ -го операционного блока подключены соответственно к первому информационному входу  $(s+1)$ -го операционного блока и к информационному входу  $s$ -го блока памяти, первый и второй выходы  $p$ -го операционного блока подключены соответственно к выходу результата устройства и к информационному входу  $p$ -го блока памяти, выход  $b$ -го блока памяти (где  $b=1, \dots, p$ ) подключен к второму информационному входу  $b$ -го операционного блока, причем каждый операционный блок содержит коммутатор и сумматор по модулю  $K$  (где  $K$  – значность данных), причем в каждом операционном блоке первый и второй информационные входы операционного блока подключены соответственно к

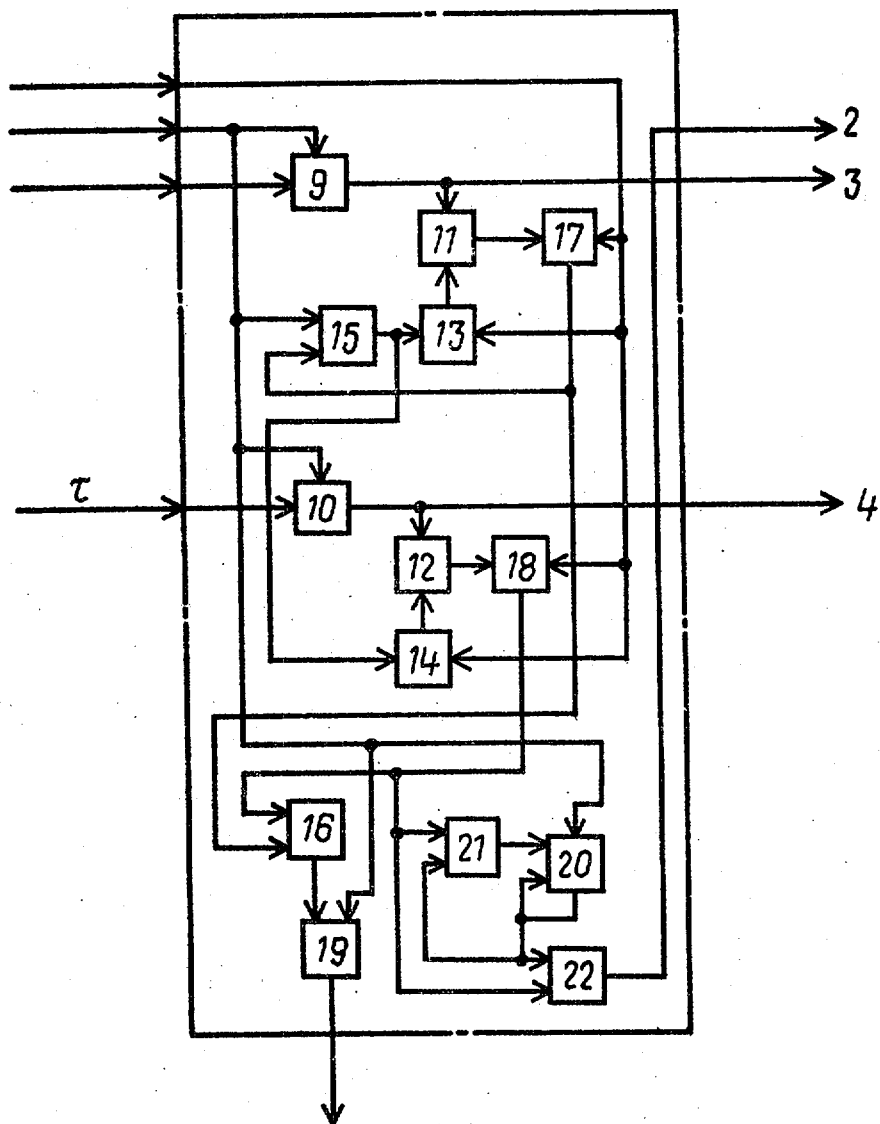
информационному входу коммутатора и к первому информационному входу сумматора по модулю  $K$ , выход которого подключен к первому выходу операционного блока, управляющий вход которого подключен к управляющему входу коммутатора, первый и второй выходы которого подключены соответственно к второму информационному входу сумматора по модулю  $K$  и к второму выходу операционного блока, причем каждый блок управления содержит два регистра, два элемента сравнения, два счетчика, два элемента ИЛИ, четыре триггера и два элемента И, причем в каждом блоке управления вход синхронизации блока управления подключен к входам установки в "0" первого и второго триггеров, к счетным входам первого и второго счетчиков, первый вход режима блока управления подключен к входам записи-чтения первого и второго регистров, к входу установки в "0" третьего триггера, к входу установки в "1" четвертого триггера и к первому входу первого элемента ИЛИ, выход которого подключен к входам установки в "0" первого и второго счетчиков, информационные выходы которых подключены соответственно к первым входам первого и второго элементов сравнения, выходы которых подключены соответственно к входам установки в "1" первого и второго триггеров, выход первого триггера подключен к второму входу первого элемента ИЛИ и к первому входу второго элемента ИЛИ, выход которого подключен к информационному входу третьего триггера, выход второго триггера подключен к второму входу второго элемента ИЛИ, к первым входам первого и второго элементов И, выходы которых подключены соответственно к входу установки в "0" четвертого триггера и к первому выходу блока управления, выход четвертого триггера подключен к входу разрешения четвертого триггера и к вторым входам первого и второго элементов И, второй вход режима блока управления подключен к информационному входу первого регистра, выход которого подключен к второму входу первого элемента сравнения и к второму выходу блока управления, третий вход режима которого подключен к информационному входу второго регистра, выход которого подключен к второму входу второго элемента сравнения и к третьему выходу блока управления, четвертый выход которого подключен к выходу третьего триггера.



Φu2.2



Φu2.3



Фиг. 4

Редактор А.Маковская      Составитель В.Смирнов      Корректор О.Кравцова  
 Техред М.Моргентал

Заказ 2053      Тираж 419      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101