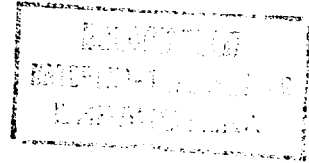




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- 1
- (21) 4246412/24-24
  - (22) 18.05.87
  - (46) 15.12.89. Бюл. № 46
  - (71) Минский радиотехнический институт
  - (72) В. Н. Ярмолик
  - (53) 681.326.7 (088.8)
  - (56) Электроника, 1977, № 5, с. 23-33.  
Electronics letters, 1985, vol. 21, № 19,  
p.p. 856-857.

(54) МНОГОФУНКЦИОНАЛЬНЫЙ МОДУЛЬ ДЛЯ УСТРОЙСТВ ВСТРОЕННОГО КОНТРОЛЯ

(57) Изобретение относится к вычислительной технике и предназначено для построения

Изобретение относится к области вычислительной техники и предназначено для построения контролепригодных цифровых устройств.

Цель изобретения — расширение функциональных возможностей за счет обеспечения дополнительно режимов параллельного многоканального сигнатурного анализатора, анализатора четности информационной последовательности, генерирования детерминированной последовательности и режима регистра сдвига.

На фиг. 1 приведена функциональная схема модуля для  $m=4$  (где  $m$  — разрядность модуля) и для порождающего полинома  $\varphi(x) = 1 \oplus x^1 \oplus x^4$ ; на фиг. 2—11 — эквивалентные схемы модуля в различных режимах его работы.

Модуль (фиг. 1) содержит  $m$  D-триггеров 1, первую 2 и вторую 3 группы из  $m$  элементов 2И, сумматор 4 по модулю два,  $m$  сумматоров 5 по модулю два,  $m$  элементов ИЛИ-НЕ 6 и элемент И 7, первый — четвертый входы 8—11 задания режима, синхровход 12 и группу информационных выходов 13 модуля, причем входы сумматора 4 по модулю два под-

2

ключены к единичным выходам D-триггеров 1, номера которых определяются образующим полиномом  $\varphi(x)$ .  
Количество D-триггеров 1 определяется требуемой разрядностью модуля. Для реальных случаев величина  $m$  принимает значение в диапазоне от 4 до 32. Выбрав величину  $m$  на основании существующих таблиц примитивных полиномов, выбирается примитивный полином  $\varphi(x)$ , для которого  $\deg \varphi(x) = m$ . Так, для  $m=4$  можно выбрать полином  $\varphi(x) = 1 \oplus x \oplus x^4$ . Вид выбранного полинома  $\varphi(x)$  определяет номера D-триггеров 1, выходы которых подключаются к входам сумматора 4. Так, для  $\varphi(x) = 1 \oplus x \oplus x^4$  можно заключить, что к входам сумматора 4 подключаются единичные выходы первого и четвертого D-триггеров 1. Общее количество входов сумматора 4 равняется количеству ненулевых членов полинома  $\varphi(x)$ . Для рассматриваемого примера число входов сумматора 4 равняется трем, так как  $\varphi(x) = 1 \oplus x \oplus x^4$  содержит три ненулевых члена.  
Для задания режимов работы модуля на его входах 8—11 формируются логические переменные 0 или 1 — управляющие сигналы С3, С2, С4 и С5. Для

ключены к единичным выходам D-триггеров 1, номера которых определяются образующим полиномом  $\varphi(x)$ .

Количество D-триггеров 1 определяется требуемой разрядностью модуля. Для реальных случаев величина  $m$  принимает значение в диапазоне от 4 до 32. Выбрав величину  $m$  на основании существующих таблиц примитивных полиномов, выбирается примитивный полином  $\varphi(x)$ , для которого  $\deg \varphi(x) = m$ . Так, для  $m=4$  можно выбрать полином  $\varphi(x) = 1 \oplus x \oplus x^4$ . Вид выбранного полинома  $\varphi(x)$  определяет номера D-триггеров 1, выходы которых подключаются к входам сумматора 4. Так, для  $\varphi(x) = 1 \oplus x \oplus x^4$  можно заключить, что к входам сумматора 4 подключаются единичные выходы первого и четвертого D-триггеров 1. Общее количество входов сумматора 4 равняется количеству ненулевых членов полинома  $\varphi(x)$ . Для рассматриваемого примера число входов сумматора 4 равняется трем, так как  $\varphi(x) = 1 \oplus x \oplus x^4$  содержит три ненулевых члена.

Для задания режимов работы модуля на его входах 8—11 формируются логические переменные 0 или 1 — управляющие сигналы С3, С2, С4 и С5. Для

этих целей можно использовать двухпозиционные переключатели, формирующие на выходе значение 0 или 1, а также генераторы логической единицы и логического нуля.

Модуль работает следующим образом.

В зависимости от значений управляющих сигналов  $C_2$ ,  $C_3$ ,  $C_4$  и  $C_5$  возможны следующие режимы работы, все множество которых можно разбить на три подмножества. Последовательно рассмотрим все режимы каждого из них.

Подмножество режимов работы модуля, когда его элементы памяти используются по своему прямому назначению, т. е. выполняют функцию хранения информации.

Режим  $m$  элементов памяти.

Данный режим обеспечивается следующими значениями управляющих сигналов  $C_2=1$ ,  $C_3=0$ ,  $C_4=1$ ,  $C_5=X$ , где  $X$  означает, что сигнал  $C_5$  может принимать значение нуля либо единицы. В этом режиме для  $m=4$  схема модуля преобразуется к следующему эквивалентному виду (фиг. 2). Как видно из фиг. 2, устройство представляет собой набор элементов памяти, в которые записывается информация путем подачи синхронизирующего импульса на вход устройства 01. Под действием данного сигнала входной вектор  $x_1x_2x_3x_4$  записывается на элементы памяти.

Режим установки в ноль элементов памяти модуля.

Данный режим обеспечивается следующими значениями управляющих сигналов  $C_2=0$ ,  $C_3=0$ ,  $C_4=1$ ,  $C_5=X$ . Все элементы памяти установятся в нулевое состояние под действием синхроимпульса  $C_1$  (фиг. 3).

Режим хранения.

В этом режиме  $C_2=0$ ,  $C_3=0$ ,  $C_4=1$ ,  $C_5=X$  и при подаче синхроимпульсов на вход 12 (сигнал  $C_1$ ) элементы памяти будут сохранять свое предыдущее состояние (фиг. 4).

Режим регистра сдвига.

В этом режиме  $C_2=0$ ,  $C_3=0$ ,  $C_4=0$ ,  $C_5=0$ . Эквивалентная схема устройства для данного режима приведена на фиг. 5. Она представляет собой регистр сдвига, сдвигающий на один разряд вправо. При сдвиге информации на первый элемент памяти записывается значение единицы. Микрооперация сдвига осуществляется под действием синхроимпульса  $C_1$ .

Последовательно используя приведенные режимы первой группы, можно выполнять и ряд других действий. Так, например, последовательное выполнение режимов 1.2 и 1.4 позволяет установить все элементы памяти в единичное состояние.

Подмножество режимов работы модуля, обеспечивающих генерирование тестовых воздействий.

Последовательный генератор псевдослучайных тестовых наборов.

В данном режиме  $C_2=0$ ,  $C_3=0$ ,  $C_4=0$ ,  $C_5=1$  и схема модуля преобразуется в генератор  $M$ -последовательности (фиг. 6).

Параллельный генератор псевдослучайных тестовых наборов.

В данном режиме  $C_2=0$ ,  $C_3=1$ ,  $C_4=0$ ,  $C_5=1$  и схема модуля преобразуется в генератор псевдослучайных чисел, при этом последующий тестовый набор полностью отличается от текущего (фиг. 7).

Генератор детерминированной последовательности. Для случая  $m=4$  при  $C_2=0$ ,  $C_3=1$ ,  $C_4=0$ ,  $C_5=0$  на выходах 13.1 — 13.4 устройства (фиг. 8) формируется следующая детерминированная тестовая последовательность.

	$Q_1$	$Q_2$	$Q_3$	$Q_4$
	0	0	0	0
	1	0	0	0
20	0	1	0	0
	1	1	1	0
	0	0	0	1
	1	0	0	1
	0	1	0	1
25	1	1	1	1
	0	0	0	0
	.....			

Подмножество режимов работы модуля в качестве анализирующей схемы.

30 Многоканальный сигнатурный анализатор.

Для обеспечения данного режима  $C_2=1$ ,  $C_3=0$ ,  $C_4=0$ ,  $C_5=1$ . В данном режиме устройство будет формировать значение сигнатуры как результат сжатия  $m$  входных последовательностей  $x_j$ ,  $j=1, m$ . Для  $m=4$  эквивалентная схема устройства приведена на фиг. 9.

35 Параллельный многоканальный сигнатурный анализатор.

В этом случае  $C_2=1$ ,  $C_3=1$ ,  $C_4=0$ ,  $C_5=1$  и схема устройства будет представлять собой параллельный многоканальный сигнатурный анализатор (фиг. 10).

Схема, определяющая четность количества единиц в последовательностях  $x_j$ ,  $j=1, m$ .

45 В этом случае  $C_2=1$ ,  $C_3=1$ ,  $C_4=1$ ,  $C_5=0$  и эквивалентная схема примет вид (фиг. 11). Содержимое элементов памяти устройства будет определять четность единичных символов в анализируемой последовательности.

50 Таким образом, данное техническое решение позволяет организовать десять режимов его работы, за счет чего заметно расширяются функциональные возможности устройства.

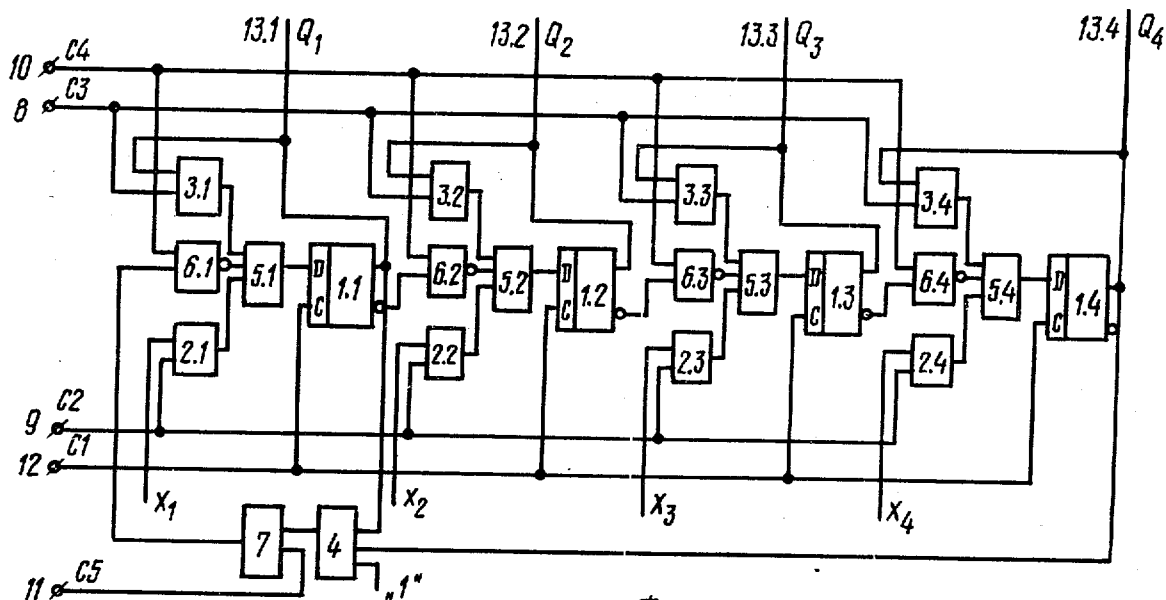
55 Кроме того, надежность модуля повышается за счет увеличения достоверности контроля в режиме многоканального сигнатурного анализатора и улучшения ка-

чества псевдослучайных тестовых последовательностей в режиме генератора.

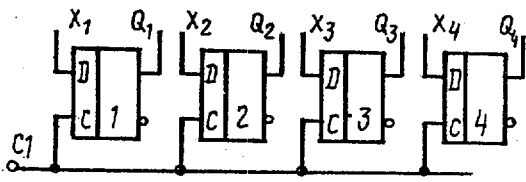
### Формула изобретения

Многофункциональный модуль для устройств встроенного контроля, содержащий  $m$  D-триггеров, где  $m$  — разрядность модуля, первую и вторую группы из  $m$  элементов И, сумматор по модулю два,  $p$  входов которого подключены к прямым выходам D-триггеров, номера которых определяются ненулевыми коэффициентами образующего многочлена, синхровходы D-триггеров объединены и образуют тактовый вход модуля, прямые выходы D-триггеров образуют группу информационных выходов модуля, первые входы элементов И первой группы объединены и образуют первый вход задания режима модуля, первые входы элементов И второй группы объединены и образуют второй вход задания режима модуля, отличающийся тем, что, с целью расширения функциональных возможностей за счет обеспечения дополнительно режимов параллельного многоканального сигнатурного анализатора, анализатора четности информационной последовательности, генерирования детерминированной последовательности и режима регистра сдвига,

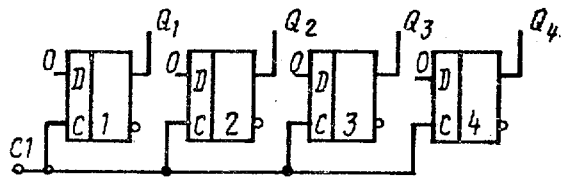
он содержит группу из  $m$  сумматоров по модулю два, группу из  $m$  элементов ИЛИ-НЕ и элемент И, причем инверсный выход  $i$ -го D-триггера ( $i=1, m-1$ ) соединен с первым входом ( $i+1$ )-го элемента ИЛИ-НЕ группы, вторые входы элементов ИЛИ-НЕ группы объединены и образуют третий вход задания режима модуля, выходы  $j$ -х элементов И первой группы ( $j=1, m$ ), выходы  $j$ -х элементов ИЛИ-НЕ группы и выходы  $j$ -х элементов И второй группы соединены соответственно с первыми, вторыми и третьими входами  $j$ -х сумматоров по модулю два группы, выходы которых соединены с информационными входами  $j$ -х D-триггеров, прямые выходы которых соединены с вторыми входами  $j$ -х элементов И второй группы, вторые входы элементов И первой группы образуют группу информационных входов модуля,  $(p+1)$ -й вход сумматора по модулю два подключен к шине единичного потенциала, где  $p$  — число ненулевых коэффициентов образующего многочлена, выход сумматора по модулю два соединен с первым входом элемента И, второй вход которого является четвертым входом задания режима модуля, выход элемента И соединен с первым входом первого элемента ИЛИ-НЕ группы.



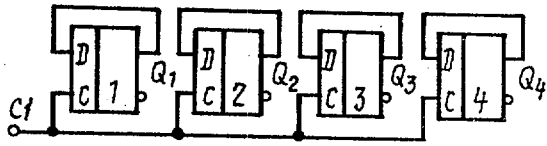
Фиг. 1



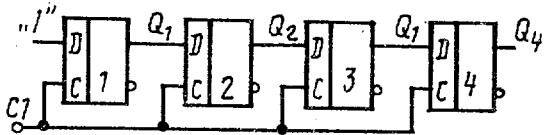
Фиг. 2



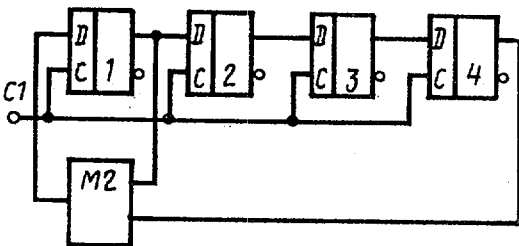
Фиг. 3



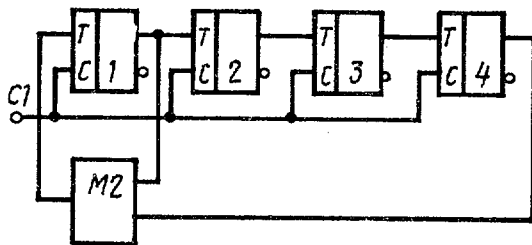
Фиг. 4



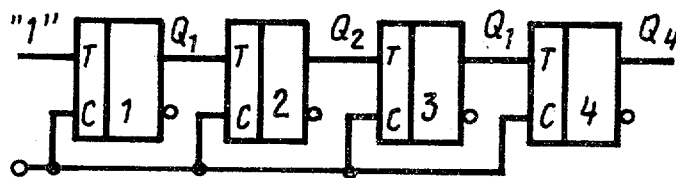
Фиг. 5



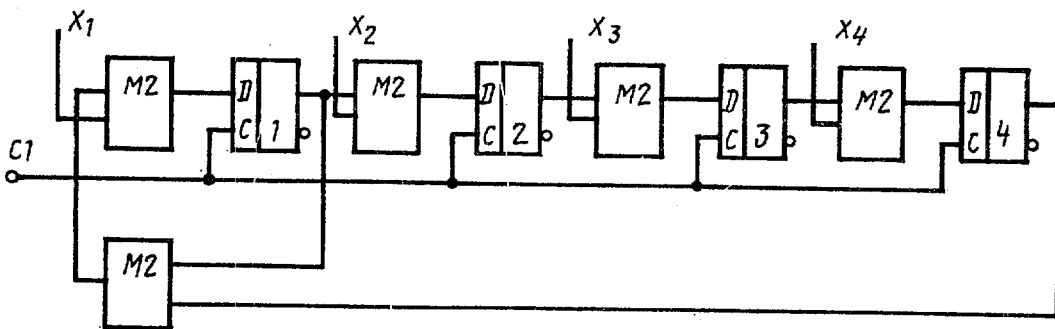
Фиг. 6



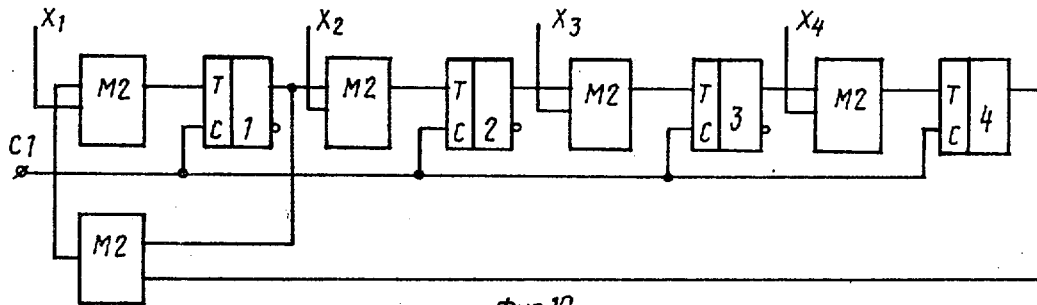
Фиг. 7



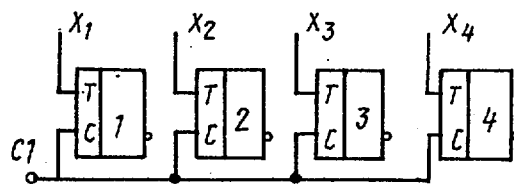
Фиг. 8



Фиг. 9



Фиг.10



Фиг.11

Редактор О. Слесивых  
 Заказ 7642/44  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101

Составитель М. Иванов  
 Техред И. Верес  
 Тираж 668

Корректор А. Обручар  
 Подписное