

Наноразмерные транзисторы с кольцевым затвором на основе сегнетоэлектриков

К. О. Волчик, И. Ю. Ловшенко

Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь

Представлены результаты исследования наноразмерных транзисторов с кольцевым затвором на основе сегнетоэлектриков. Рассмотрены проблемы масштабирования элементов интегральных схем, особенности наноразмерных структур, в частности их квантовые эффекты. Изучены технологии формирования и эксплуатационные характеристики GAAFET. Выявлено, что полная диэлектрическая изоляция днища снижает мощность на 18%, увеличивая производительность на 4%. Данные устройства демонстрируют лучшую устойчивость к изменениям процесса в отношении контроля утечки подканала.

Ключевые слова: масштабирование элементов интегральных микросхем, наноразмерные приборные структуры, GAAFET.

Введение

В настоящее время в связи с проблемами, связанными с уменьшением размера чипов, была представлена значимая конструкция транзистора под названием Gate-All-Around или GAAFET, которая призвана соответствовать закону Мура и, возможно, продолжить продвижение в области полупроводников на уровне транзисторов. По сути, GAAFET представляет собой переработку традиционной конструкции транзистора, в которой материал затвора окружает кремниевый полупроводниковый канал с четырёх сторон, а не с трёх сторон (как это используется в современных устройствах FinFET). Двумя основными преимуществами этой конструкции транзистора являются уменьшение размера конструкции и повышенный потенциал масштабирования длины канала, что связано с увеличением плотности транзисторов.

Основная часть

Интеграция полевых транзисторов с нанолитами GAA включает в себя несколько новых шагов, требующих ряда инноваций для реализации этой технологии. Ключевые модули интеграции перечислены ниже:

1. Формирование стопки нанолитов: стопка SiGe и Si эпитаксиально выращивается на подложке Si; Толщина каждого слоя может контролироваться с высокой точностью.
2. Вскрытие ребер и STI: устройства определяются литографически, и выполняется неглубокая изоляция траншеи, чтобы изолировать соседние устройства.
3. Формирование холостого затвора: формируется затвор из поликремния, чтобы обеспечить последующую обработку.
4. Формирование внутренней прокладки и соединения: эпитаксиальные слои истока/стока n-типа или p-типа выборочно формируются на обеих сторонах открытых концов нанолитов.
5. Замена металлических ворот:
 - Вытягивание фиктивных ворот: фиктивные ворота вытравливаются, открывая полость, на дне которой расположены нанолиты,
 - Высвобождение каналов SiGe: каналы SiGe между нанолитами вытравливаются, чтобы их можно было заполнить металлическими затворами high-k,

– Формирование металлического затвора с высоким значением k (HKMG): выборочно осаждаются межфазный оксид, диэлектрический слой с высоким значением k и рабочие функции n -типа или p -типа.

Сейчас производители процессоров считают, что трехзатворные транзисторы — пройденный этап, и начинают разрабатывать новые архитектуры транзисторов. [5] Усовершенствован плавниковый транзистор (FinFET). Его плавник разделен на три части, за счет чего еще больше увеличилась длина затвора. Такой транзистор с кольцевыми затворами получил название GAAFET (gate-all-around FET).

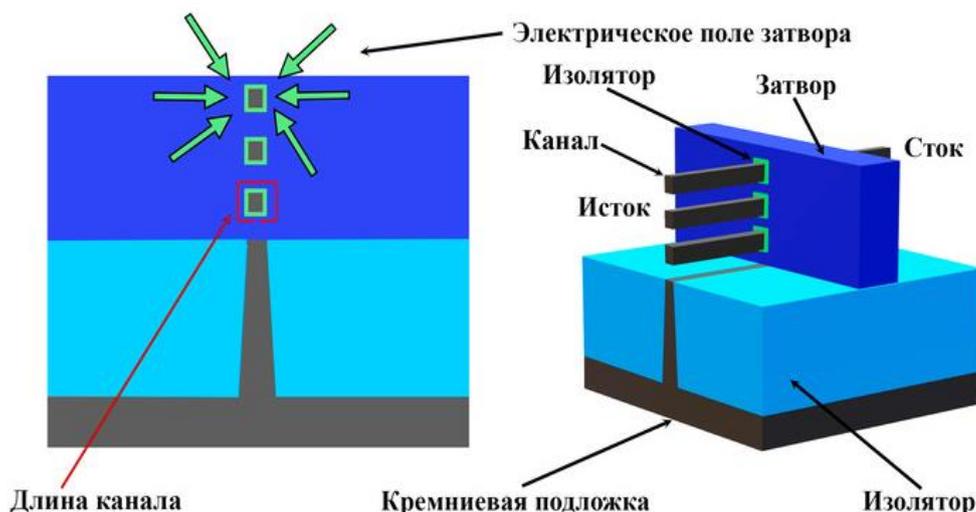


Рис. 1. Упрощенная модель GAAFET

Заключение

Одним из аспектов изготовления нанолитов, который следует тщательно учитывать, является механическая стабильность этих листов в процессе высвобождения канала. Хотя нанолиты обеспечивают гибкость конструкции, соотношение сторон листов и механическая целостность внутренней прокладки играют важную роль в общей стабильности этих листов. Другим аспектом оптимизации является изменчивость устройства, которая может быть вызвана несколькими причинами, включая, помимо прочего, шероховатость края линии, шероховатость края затвора, неравномерное осаждение металла при работе выхода и случайные колебания легирующей примеси.

Список источников

- [1] Consumer electronics (2020) Available at: <https://www.statista.com/outlook/251/100/consumer-electronics/worldwide>(Accessed 14 May 2020).
- [2] **Karbalaei M, Dideban D.** A nanoscale silicon on insulator transistor with superior performance using dual material gate and retrograde/halo doping in source/drain sides. *J Phys Chem Solids* 2019;109247.
- [3] **Kumar P, Singh S, Singh NP, Modi B, Gupta N.** Germanium v/s silicon Gate-allaround junctionless nanowire transistor. In: 2nd International Conference on Devices, Circuits and Systems (ICDCS).
- [4] **Narang R, Saxena M, Gupta R, Gupta M.** Drain current model for a gate all around (GAA) p - n - p - n tunnel FET. *Microelectron J* 2013;44:479–88.
- [5] **V. Moroz et al.**, “FinFET/Nanowire design for 5nm/3nm technology nodes: Channel cladding and introducing a “bottleneck” shape to remove performance bottleneck,” 2017 IEEE Electron Devices Technology and Manufacturing Conference (EDTM), pp. 67–69, Feb. 2017.