



Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра защиты информации

С.Л. ПРИЩЕПА

***ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СХЕМ
С ПОМОЩЬЮ САПР
WEBPASC ISE***

Учебно-методическое пособие
по курсу «САПР цифровых устройств»
для студентов специальностей «Защита информации в телекоммуникациях» и
«Телекоммуникационные системы»
дневной формы обучения

Минск 2006

УДК 004.312(075.8)

ББК 32.844 я 73

П 77

Р е ц е н з е н т :

заведующий кафедрой СиУТ БГУИР,
д-р техн. наук, проф. В.К. Конопелько

Прищепа, С.Л.

П 77 Проектирование цифровых схем с помощью САПР WEBPASC ISE: Учеб.-метод. пособие по курсу «САПР цифровых устройств» для студ. спец. «Защита информации в телекоммуникациях» и «Телекоммуникационные системы» дневной формы обуч. / С.Л. Прищепа. – Минск: БГУИР, 2006. – 56 с.: ил.

ISBN 985-444-953-X

В учебно-методическом пособии произведен обзор существующих архитектур ПЛИС, выпускаемых фирмой Xilinx. Подробно рассмотрены основные этапы проектирования цифровых устройств на базе ПЛИС, рассмотрены модули САПР WebPASC ISE, а также основные принципы работы в среде данного САПР.

Настоящее пособие предназначено для студентов, обучающихся по специальностям «Защита информации в телекоммуникациях» и «Телекоммуникационные системы».

УДК 004.312(075.8)

ББК 32.844 я 73

ISBN 985-444-953-X

© Прищепа С.Л., 2006

© БГУИР, 2006

Содержание

1. Описание ПЛИС фирмы Xilinx	4
1.1. Общая характеристика ПЛИС фирмы Xilinx	4
1.2. Краткая характеристика основных семейств ПЛИС CPLD фирмы Xilinx	6
1.2.1. Серия XC9500	6
1.2.2. Серия CoolRunner	8
1.2.3. Серия CoolRunner-II	11
1.3. Краткая характеристика основных семейств ПЛИС FPGA фирмы Xilinx	13
1.3.1. Серия Virtex	13
1.3.2. Серия Virtex-E	15
1.3.3. Серия Virtex-II	17
1.3.4. Серия Virtex-II Pro	21
1.3.5. Серия Spartan	22
2. САПР фирмы Xilinx	24
2.1. Основные характеристики пакета WebPack ISE	25
2.2. Управляющая оболочка Project Navigator	27
2.3. Основные модули пакета WebPack ISE	28
3. Реализация проекта в среде WebPack ISE	30
3.1. Этапы проектирования цифровых устройств	30
3.2. Создание нового проекта в среде WebPack ISE	33
3.3. Разработка схмотехнического описания проекта	38
3.3.1. Создание принципиальной схемы разрабатываемого проекта	38
3.3.2. Создание новой схемы в среде редактора ECS	39
3.4. Создание тестового модуля проекта в виде временных диаграмм	49
3.5. Моделирование работы цифровых устройств	52
4. Контрольные вопросы	55
Литература	55

1. Описание ПЛИС фирмы Xilinx

1.1. Общая характеристика ПЛИС фирмы Xilinx

Программируемые логические интегральные схемы (ПЛИС) все более широко используются для создания цифровых систем различного назначения. Фирма Xilinx, являясь ведущим мировым производителем ПЛИС, предоставляет разработчикам широкий спектр кристаллов с различной технологией производства, степенью интеграции, архитектурой, быстродействием, потребляемой мощностью и напряжением питания, выпускаемых в различных типах корпусов и в нескольких вариантах исполнения, включая промышленное, военное и радиационно-стойкое. Кристаллы, выпускаемые фирмой Xilinx, в полной мере реализуют преимущества ПЛИС по сравнению с «жесткой логикой»:

- высокое быстродействие;
- возможность перепрограммирования непосредственно в системе;
- высокая степень интеграции, позволяющая разместить цифровое устройство на одном кристалле и тем самым снизить время и затраты на трассировку и производство печатных плат;
- сокращение времени цикла разработки и производства устройства;
- наличие мощных инструментов САПР, позволяющих устранить возможные ошибки в процессе проектирования устройства;
- сравнительно низкая стоимость (в пересчете на один логический вентиль).

В настоящее время каталог продукции фирмы Xilinx включает в себя пять серий ПЛИС с архитектурой FPGA, две серии кристаллов CPLD и две серии ПЗУ/ППЗУ, предназначенные для хранения конфигурационных данных [3].

В кристаллах CPLD конфигурационные данные хранятся во внутренней энергонезависимой памяти. Соответствующая информация заносится в процессе программирования ПЛИС, которое может осуществляться непосредственно в системе с помощью загрузочного кабеля, подключаемого к JTAG-порту. В состав этого сегмента ПЛИС, выпускаемых фирмой Xilinx, входят следующие серии кристаллов CPLD:

- XC9500, представленная семействами XC9500, XC9500XL, XC9500XV;
- CoolRunner, содержащая семейства CoolRunner XPLA3 и CoolRunner – II.

ПЛИС серий FPGA выполнены на основе статического ОЗУ. Так как информация о конфигурации кристалла записывается во внутреннее «теневое» ОЗУ, то при выключении источника питания эти данные не сохраняются. Для хранения конфигурационной последовательности используются внешние элементы ПЗУ и ППЗУ, данные из которых заносятся в «теневое» ОЗУ в процессе инициализации ПЛИС, выполняемой при включении напряжения питания или подаче специального сигнала. Линейка выпускаемых кристаллов FPGA представлена следующими сериями:

- Spartan, включающая семейства Spartan, SpartanXL, Spartan-II и Spartan-III;
- Virtex, состоящая из семейств Virtex, Virtex-E, Virtex-II и Virtex-II Pro;
- XC4000, содержащая семейства XC4000E, XC4000EX, XC4000XL, XC4000XLA, XC4000XV;
- XC5200;
- XC3000, включающая семейства XC3000A, XC3000L, XC3100A, XC3100L.

Для хранения конфигурационных данных кристаллов серий FPGA фирма Xilinx предоставляет следующие разновидности ПЗУ:

- серию однократно программируемых ПЗУ XC1700;
- серию перепрограммируемых в системе ППЗУ XC18V00.

Серии XC3000, XC5200 и XC4000 считаются устаревшими, подробно рассматривать их не будем.

Рассмотрим характерные особенности актуальных серий ПЛИС.

1.2. Краткая характеристика основных семейств ПЛИС CPLD фирмы Xilinx

1.2.1. Серия XC9500

Серия XC9500 включает в себя три семейства ПЛИС CPLD, основанных на технологии производства Fast Flash. В состав семейства XC9500 входят шесть типов ПЛИС емкостью от 36 до 288 макроячеек (соответственно от 800 до 6 400 эквивалентных логических вентилях), выпускаемых в различных корпусах. Отличительными особенностями этого семейства являются:

- возможность реализации проектов с системными частотами до 125 МГц;
- минимальная задержка распространения сигнала от входного контакта до выходного через комбинационную логику – 5 нс;
- возможность отдельного управления длительностью фронтов выходных сигналов для каждого вывода ПЛИС, позволяющая снизить уровень помех на выходах кристалла;
- использование передовых технологий защиты конфигурационных данных от несанкционированного копирования и случайного стирания;
- возможность фиксации пользовательских выводов перед трассировкой;
- возможность установки программируемого режима пониженной потребляемой мощности для каждой макроячейки;
- обеспечение не менее 10 000 циклов перепрограммирования;
- гарантированный срок хранения запрограммированной конфигурации не менее 20 лет;
- полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG);
- сравнительно мощные выходные буферы, обеспечивающие максимальный ток до 24 мА;
- совместимость с 3,3 В– и 5 В–логикой по входу и выходу, позволяющая использовать ПЛИС в схемах со смешанным питанием;

– напряжение питания ядра кристалла – 5 В.

Архитектура ПЛИС семейства XC9500 показана на рис. 1.1. Ее основу составляют совокупность функциональных блоков (Function Blocks - FBs), блоков ввода/вывода (Input/Output Blocks - IOBs) и быстродействующая переключающая матрица. Количество функциональных блоков и блоков ввода/вывода определяется типом кристалла. [5]

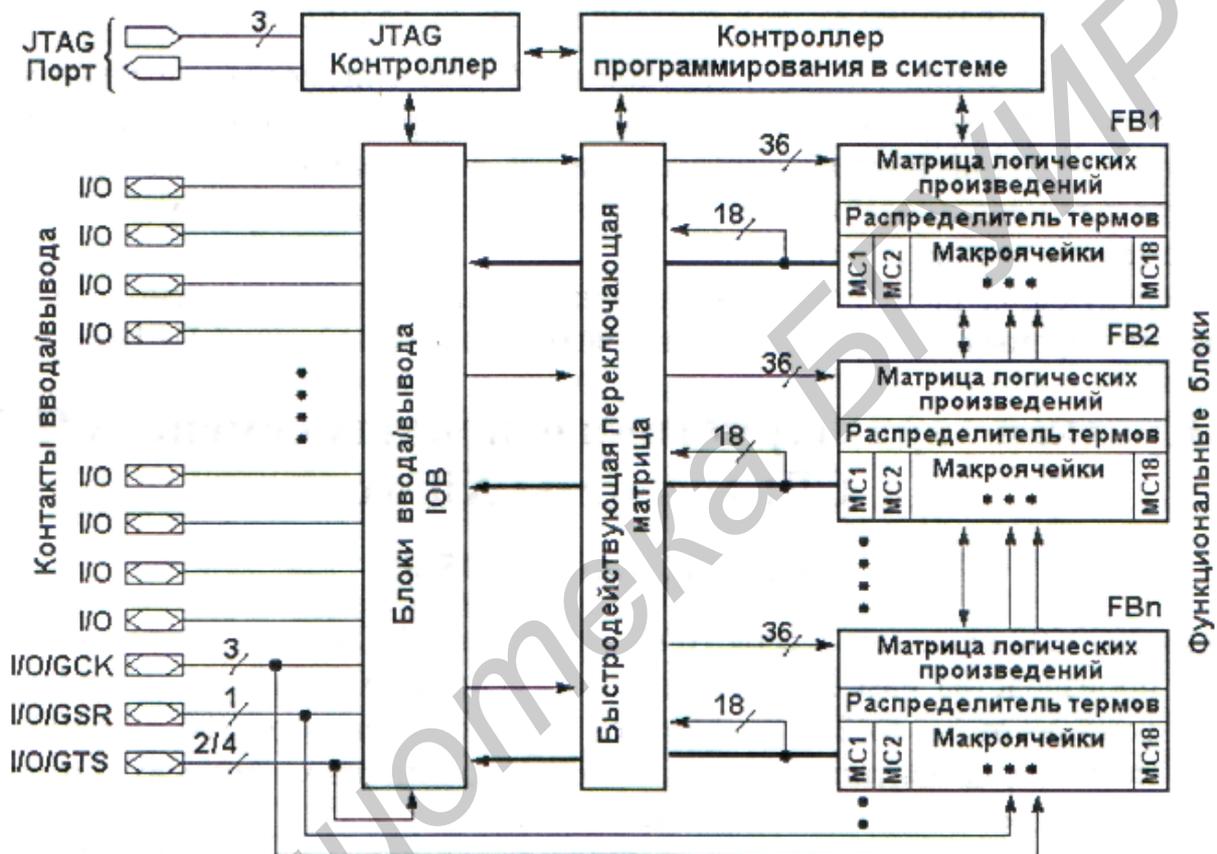


Рис. 1.1

Каждый функциональный блок включает в себя программируемую матрицу логических произведений, распределитель термов и восемнадцать независимых макроячеек. Матрица логических произведений позволяет формировать до 90 термов на основе 72 прямых и инверсных сигналов, полученных из 36 входных сигналов функционального блока. Распределитель термов выполняет функции назначения термов для всех макроячеек. Каждая макроячейка позволяет реализовать как комбинаторную, так и регистровую функцию.

Блоки ввода/вывода предназначены для организации интерфейса между внутренними сигналами кристалла и выводами ПЛИС. Они выполняют функции буферизации всех входных и выходных сигналов, управления выходами и формирования программируемого «общего» вывода.

Быстродействующая переключающая матрица обеспечивает коммутацию сигналов, поступающих из блоков ввода/вывода и выходов функциональных блоков, на входы FB с минимальными задержками.

ПЛИС всех семейств серии XC9500 обладают совместимостью по выводам в одинаковых корпусах. Кристаллы этой серии рекомендуется применять для реализации логических функций многих переменных при небольшом количестве триггеров, например, для построения специализированных быстродействующих дешифраторов, мультиплексоров, счетчиков, арифметико-логических устройств.

1.2.2. Серия CoolRunner

Серия CoolRunner представлена семействами ПЛИС CoolRunner XPLA3 (eXtended Programmable Logic Array), выпускаемых по технологии EEPROM 0,35 мкм, и CoolRunner-II с технологией производства 0,18 мкм.

В состав семейства CoolRunner XPLA3 входят шесть типов ПЛИС емкостью от 32 до 512 макроячеек (соответственно от 800 до 12 800 эквивалентных логических вентилях). Кристаллы этого семейства характеризуются следующими особенностями:

- применение технологии FZP (Fast Zero Power), обеспечивающее достижение минимального уровня потребляемой мощности в сочетании с высоким быстродействием;
- возможность реализации проектов с системными частотами до 200 МГц;
- ультранизкое значение мощности, потребляемой в статическом режиме (ток потребления не превышает 100 мкА);
- минимальная задержка распространения сигнала от входного контакта до выходного через комбинационную логику – 5 нс;

- функция раздельного управления длительностью фронтов выходных сигналов для каждого вывода ПЛИС, позволяющая снизить уровень помех на выходах кристалла;
- использование передовой технологии защиты конфигурационных данных от несанкционированного копирования и случайного стирания;
- расширенные возможности фиксации пользовательских выводов перед выполнением этапа реализации (Implementation) в сочетании с полной трассировкой проекта;
- наличие сигнала разрешения синхронизации в каждой макроячейке;
- возможность асинхронного сброса или установки триггера макроячейки;
- возможность комплексного асинхронного тактирования элементов проектируемого устройства с использованием 20 тактовых сигналов, формируемых внутри логического блока, и 4 глобальных тактовых сигналов, поступающих с выводов кристалла;
- обеспечение не менее 1 000 циклов перепрограммирования;
- гарантированный срок хранения запрограммированной конфигурации не менее 20 лет;
- полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG);
- совместимость с 3,3 В– и 5 В–логикой по входу и выходу, позволяющая использовать ПЛИС в схемах со смешанным питанием;
- расширенный типовой ряд используемых корпусов;
- возможность перепрограммирования в системе с напряжением питания 3 В;
- совместимость выходов ПЛИС со стандартом PCI 3,3 В;
- напряжение питания ядра кристалла составляет 3,3 В;
- все кристаллы обладают совместимостью по выводам при использовании одинаковых корпусов.

На рис. 1.2 представлена архитектура ПЛИС семейства CoolRunner XPLA3. В структурном отношении она практически не отличается от архитектуры семейств XC9500 и включает в себя блоки ввода/вывода, функциональные блоки и быстродействующую переключающую матрицу. Принципиальные отличия состоят в способе реализации этих структурных элементов [3].

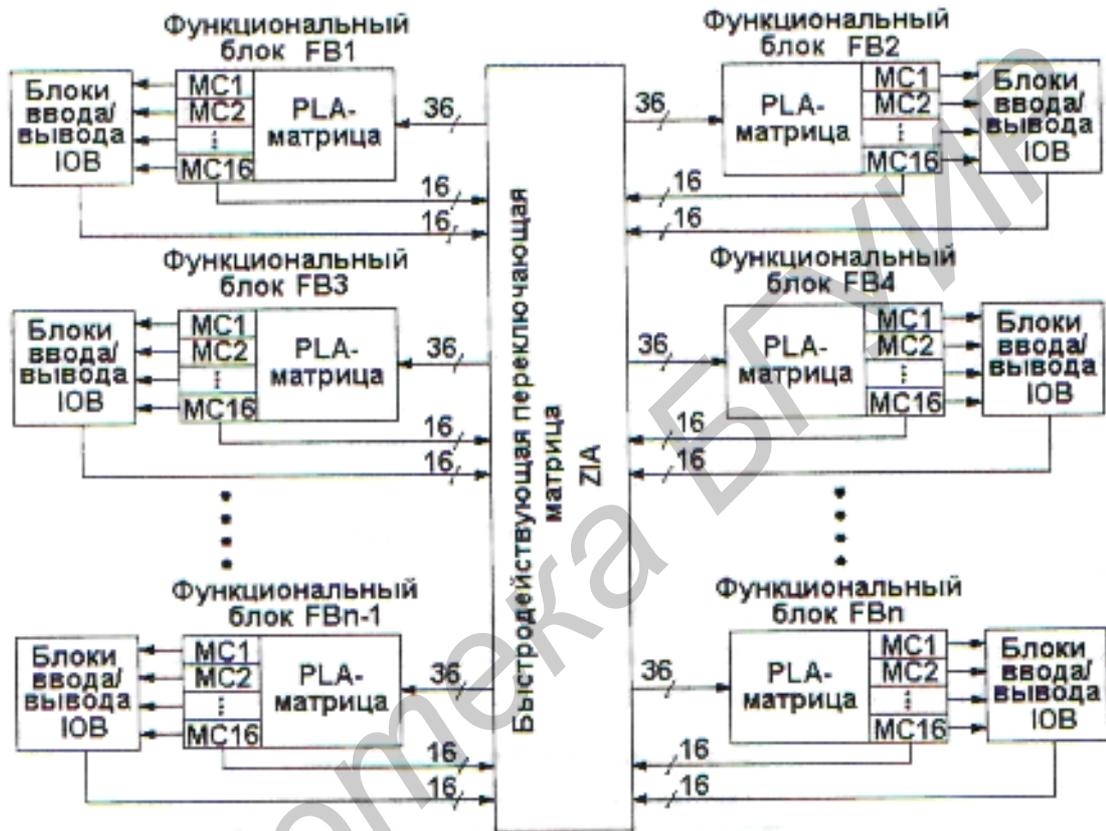


Рис. 1.2

– В состав каждого функционального блока входят программируемая PLA-матрица логических произведений и шестнадцать независимых макроячеек. Использование PLA-матрицы позволяет оптимизировать разделение и совместное использование ресурсов кристалла при реализации проекта. Ее 36 прямых и инверсных входов, подключенных непосредственно к выходам переключающей матрицы, позволяют сформировать 48 термов, часть которых может использоваться в качестве управляющих сигналов для любой макроячейки функционального блока. Для использования в макроячейках дополнительных термов применяются специальные мультиплексоры VFM (Variable Function Multiplexer). Каждая макроячейка может быть сконфигурирована для выполне-

ния как комбинаторной так и регистровой функции, причем триггер, входящий в ее состав, может быть реализован как D- или T-триггер или как защелка. Коммутация сигналов, поступающих из блоков ввода/вывода, входных и выходных сигналов функциональных блоков осуществляется с помощью переключающей матрицы Zero-power Interconnect Array (ZIA), обеспечивающей минимизацию потребляемой мощности в сочетании с высоким быстродействием.

1.2.3. Серия CoolRunner-II

Семейство CoolRunner-II представляет собой новое поколение ПЛИС с архитектурой XPLA3, использующих технологию FZP. Архитектура ПЛИС семейства CoolRunner-II представлена на рис. 1.3.



Рис. 1.3

По сравнению с семейством CoolRunner XPLA3 кристаллы CoolRunner-II обладают следующими отличиями:

- напряжение питания ядра кристалла составляет 1,8 В;
- более высокая производительность, позволяющая реализовать проекты с системными частотами до 303 МГц;
- оптимизированная архитектура, обеспечивающая повышение эффективности процесса логического синтеза;

- увеличение быстродействия проектируемых устройств за счет использования триггеров, тактируемых фронтом и спадом сигнала синхронизации;
- применение усовершенствованной коммутационной матрицы Advanced Interconnect Matrix (AIM) обеспечивает высокую скорость переключений при низкой потребляемой мощности;
- наличие встроенного делителя тактового сигнала с коэффициентами деления 2, 4, 6, 8, 10, 12, 14, 16;
- использование методики CoolCLOCK, позволяющей добиться снижения потребляемой мощности за счет сочетания деления тактовой частоты и применения триггеров, тактируемых фронтом и спадом сигнала синхронизации;
- организация блоков ввода/вывода в виде банков в кристаллах с большим количеством макроячеек;
- в блоках ввода/вывода имеется возможность выборочной установки во входных цепях триггеров Шмитта, обеспечивающих снижение влияния помех;
- применение технологии DataGATE позволяет добиться дополнительного уменьшения потребляемой мощности за счет блокировки неактуальных или не изменяющихся сигналов в ячейках ввода/вывода;
- возможность формирования выходов с открытым стоком;
- расширенный типовой ряд используемых корпусов, включающий Chip Scale Package (CSP), BGA, Fine Line BGA, TQFP, PQFP, VQFP и PLCC;
- четыре независимых уровня защиты конфигурационных данных от несанкционированного копирования, обеспечивающих охрану прав интеллектуальной собственности;
- поддержка конфигурирования по стандарту IEEE Std 1532;
- возможность перепрограммирования в системе с напряжением питания 1,8 В;
- совместимость с логическими уровнями стандартов цифровых сигналов 1,5 В, 1,8 В, 2,5 В и 3,3 В позволяет реализовывать устройства со смешанным питанием.

ПЛИС серии CoolRunner-II, обладающие микромощным потреблением, рекомендуется использовать, в первую очередь, для применения в мобильных системах, с автономными источниками питания ограниченного ресурса. Кристаллы этих семейств позволяют реализовать, например, специализированные контроллеры, в том числе для организации различных интерфейсов ввода/вывода, кодирующие и декодирующие устройства [7].

1.3. Краткая характеристика основных семейств ПЛИС FPGA фирмы Xilinx

1.3.1. Серия Virtex

Семейство Virtex представлено девятью типами кристаллов, содержащими от 384 до 6 144 конфигурируемых логических блоков (соответственно от 50 000 до 1 000 000 системных вентилях), которые производятся по технологии 0,22 мкм с пятислойной металлизацией.

Характерными особенностями семейства Virtex являются:

- высокая производительность, допускающая реализацию проектов с системными частотами до 200 МГц;
- применение четырех специальных схем цифровой автоподстройки задержек (DLL), выполняющих функции умножения, деления и сдвига фаз тактовых частот, обеспечивает расширенные возможности управления синхронизацией;
- использование четырех глобальных сетей предоставляет возможность распределения сигналов синхронизации внутри кристаллов с малыми разбегами фронтов [6];
- наличие двух видов внутренней оперативной памяти: распределенной Distributed RAM, реализуемой на базе четырехходовых таблиц преобразования (LookUp Table - LUT) конфигурируемых логических блоков (Configurable Logic Block - CLB), и встроенной блочной памяти Block SelectRAM, которая может быть организована как синхронное двухпортовое ОЗУ;
- возможность реализации быстрых внутренних интерфейсов к внешним высокопроизводительным элементам памяти (ОЗУ или ПЗУ);

- применение специальной логики ускоренного переноса для выполнения высокоскоростных арифметических операций;
- специальная поддержка реализации умножителей;
- наличие цепочек каскадирования обеспечивает возможность реализации функций с большим количеством входных переменных;
- наличие внутренних шин с тремя состояниями;
- полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE Std 1149.1;
- совместимость со стандартами PCI 3,3 В 66 МГц;
- поддержка функции Hoti-swap для Compact PCI;
- неограниченное количество циклов загрузки конфигурируемых данных;
- четыре режима конфигурирования ПЛИС (Slave-serial, Master-serial, SelectMAP, Boundary-scan mode);
- напряжение питания ядра кристалла составляет 2,5В.

Основу архитектуры кристаллов Virtex составляет массив конфигурируемых логических блоков CLB, окруженных программируемыми блоками ввода/вывода IOB. Кроме того, в нее входят схемы цифровой автоподстройки задержек DLL и блоки выделенной памяти Block SelectRAM. Все соединения между основными архитектурными элементами ПЛИС осуществляются с помощью иерархической структуры трассировочных ресурсов. Архитектура кристаллов семейства Virtex представлена на рис. 1.4.

Конфигурируемый логический блок ПЛИС семейства Virtex состоит из двух секций, каждая из которых включает в себя две однотипные логические ячейки (Logic, Cell, LC). В состав логической ячейки входит четырехходовый функциональный генератор (таблица преобразований), триггерный элемент и логика ускоренного переноса. Кроме того, конфигурируемый логический блок содержит дополнительную логику, позволяющую конфигурировать функциональные генераторы для реализации функций пяти и шести переменных.



Рис. 1.4

Основными элементами иерархической структуры трассировочных ресурсов являются: трассировочные ресурсы общего назначения, включающие главные трассировочные матрицы (General Routing Matrix – GRM) и коммутационные цепи различного типа, локальные трассировочные линии VersaBlock, окружающие каждый конфигурируемый логический блок, и дополнительные трассировочные ресурсы для коммутации блоков ввода/вывода VersaRing.

1.3.2. Серия Virtex-E

Семейство Virtex-E, являющееся результатом дальнейшего развития архитектуры Virtex на основе применения технологии 0,18 мкм с шестислойной металлизацией, содержит тринадцать ПЛИС с логической емкостью от 384 до 16 224 конфигурируемых логических блоков (соответственно от 70 000 до 4 000 000 системных вентилях).

Архитектура ПЛИС семейства Virtex-E содержит те же структурные элементы, что и кристаллы Virtex, но их взаимное расположение изменено. Архитектура кристаллов семейства Virtex-E представлена на рис. 1.5. Модификация типологии ресурсов кристаллов позволяет добиться увеличения емкости блочной памяти.

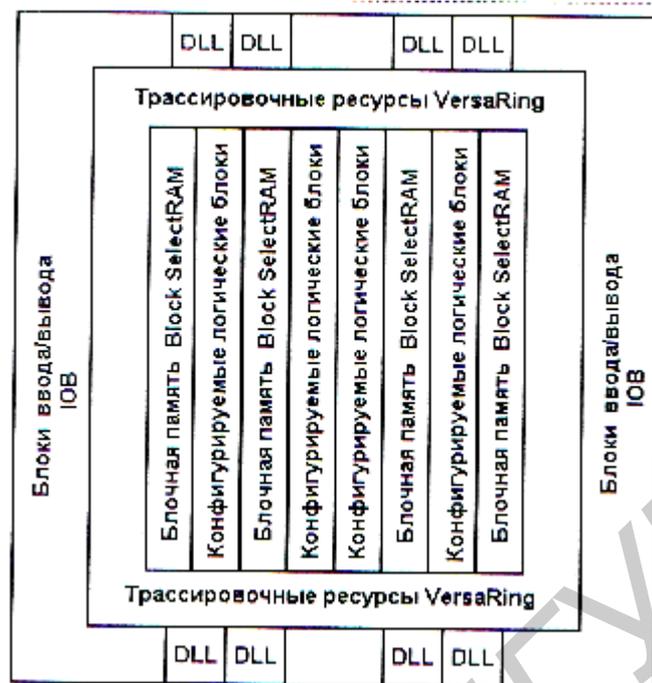


Рис. 1.5

Семейство Virtex-E, обладая в полной мере возможностями предыдущего семейства, имеет ряд существенных отличий по сравнению с Virtex:

- повышение быстродействия кристаллов позволяет выполнять на их основе проекты с системными частотами до 240 МГц;
- увеличена максимальная эквивалентная логическая емкость в 3 раза;
- расширена максимальная емкость блочной памяти до 1 120 Кбит;
- максимальный объем распределенной памяти составляет 1 Мбит;
- двукратное увеличение количества блоков цифровой автоподстройки задержек DLL (до восьми) предоставляет дополнительные возможности для организации эффективного механизма управления синхронизацией;
- увеличено максимальное число блоков ввода/вывода (до 804) и их быстродействие в 1,5 раза;
- усовершенствованная технология Virtex Select I/O обеспечивает поддержку 20 различных стандартов сигналов;
- применение новых типов корпусов позволяет, в частности, значительно увеличить количество пользовательских выводов кристалла;
- снижено напряжение питания «ядра» кристалла до 1,8 В.

1.3.3. Серия Virtex-II

Семейство Virtex-II представляет новое поколение высокопроизводительных кристаллов большой емкости, реализующего концепцию Platform FPGA, согласно которой ПЛИС становится основным компонентом цифровой системы. В состав этого семейства входит одиннадцать типов кристаллов, производимых по технологии 0,15/0,12 мкм с восьмислойной металлизацией.

Основные технические характеристики Virtex-II позволяют по праву считать его наиболее перспективным и в настоящее время самым широко используемым семейством FPGA для построения систем передачи данных и цифровой обработки сигналов. Перечислим эти характеристики:

- высокое быстродействие, позволяющее применять внутренние тактовые частоты до 420 МГц;
- широкий диапазон логической емкости - от 64 до 11 648 конфигурируемых логических блоков (соответственно от 40 000 до 8 000 000 системных вентилей) на кристалле;
- высокая скорость обмена данными, достигающая более 840 Мбит/с по одному каналу ввода/вывода стандарта LVDS (Low-Voltage Differential Signaling);
- расширенный объем внутренней оперативной памяти двух видов: распределенной Distributed RAM, до 1,5 Мбит, реализуемой на базе четырехходовых таблиц преобразования LUT конфигурируемых логических блоков CLB, и до 3 Мбит встроенной блочной памяти Block SelectRAM, выполненной в виде секций двухпортового ОЗУ по 18 Кбит;
- поддержка высокоскоростных интерфейсов к модулям внешней памяти, в частности, к DDR-SDRAM, FSRAM, QDR-SRAM, Sigma RAM;
- наличие электронной логики ускоренного переноса, предназначенной для выполнения высокоскоростных арифметических операций;
- включение в структуру кристаллов блоков аппаратных умножителей 18 × 18 бит, позволяющих реализовать быстродействующие устройства, использующие функции умножения;

- применение специальной логики каскадирования для реализации функций с большим количеством входных переменных;

- наличие встроенных быстродействующих цифровых модулей управления синхронизацией (Digital Clock Manager – DCM), выполняющих точную подстройку фронтов тактовых сигналов как внутри кристалла, так и на уровне печатной платы, умножение и деление частоты синхросигналов, а также сдвиг фаз с высоким разрешением;

- внедрение технологии внутренних соединений Active Interconnect Technology, основанной на сегментированной структуре трассировки четвертого поколения, позволяет получить прогнозируемые задержки распространения сигналов, независимые от коэффициента разветвления по выходу;

- возможность программирования нагрузочной способности каждого вывода в диапазоне от 2 до 24 мА;

- применение блоков ввода/вывода с программируемым импедансом позволяет исключить использование внешних согласующих резисторов;

- совместимость со стандартами шин PCI-133 МГц, PCI-66 МГц и PCI-33 МГц;

- поддержка стандартов дифференциальной передачи сигналов со скоростью 840 Мбит/с LVDS (Low-Voltage Differential Signaling), BLVDS (Bus LVDS), LDT (Lightning Data Transport), LVPECL (Low-Voltage Positive Emitter-Coupled Logic);

- неограниченное количество циклов загрузки конфигурационных данных;

- пять режимов конфигурирования ПЛИС (подчиненный последовательный режим Slave-serial, ведущий последовательный режим Master-serial, подчиненный параллельный режим Slave SelectMAP, ведущий параллельный режим Master Select MAP, периферийного сканирования Boundary-scan mode (IEEE 1532));

- надежная система защиты конфигурационных данных от несанкционированного копирования, основанная на шифровании конфигурационной последовательности по стандарту TRIPLE Data Encryption Standard (DES);

- возможность частичного реконфигурирования кристаллов;
- поддержка периферийного сканирования в соответствии со спецификацией стандарта IEEE Std 1149.1 и конфигурирования по стандарту IEEE Std 1532;
- напряжение питания ядра кристалла 1,5 В, блоков ввода/вывода от 1,5 до 3,3 В (в зависимости от выбранного сигнального стандарта).

Архитектура ПЛИС семейства Virtex-II представляет собой регулярную структуру, основными элементами которой являются: блоки ввода/вывода IOB, конфигурируемые логические блоки CLB, секции блочной памяти Block SelectRAM, блоки аппаратных умножителей, цифровые модули управления синхронизацией DCM и трассировочные ресурсы. Архитектура кристаллов семейства Virtex-II представлена на рис. 1.6.

Программируемые блоки ввода/вывода IOB выполняют функции коммутации и буферизации сигналов, поступающих со входных контактов кристалла на входы конфигурируемых логических блоков и с выходов CLB на выходные контакты ПЛИС. Использование в блоках IOB встроенных входных и выходных регистров с удвоенной скоростью передачи данных обеспечивает реализацию высокоскоростных режимов передачи информации в проектируемой системе.

Каждый конфигурируемый логический блок включает в себя четыре одинаковые секции и два буфера с тремя состояниями. В состав каждой секции CLB входят два функциональных генератора, реализованных в виде четырехвходовых таблиц преобразования LUT, два запоминающих элемента, конфигурируемых как D - триггеры или триггеры-защелки, и логика ускоренного переноса и каскадирования [3].

Каждый блок памяти Block SelectRAM представляет собой двухпортовое ОЗУ с информационной емкостью 18 Кбит, которое может конфигурироваться с различной организацией (разрядностью шины данных и шины адреса). Кас-

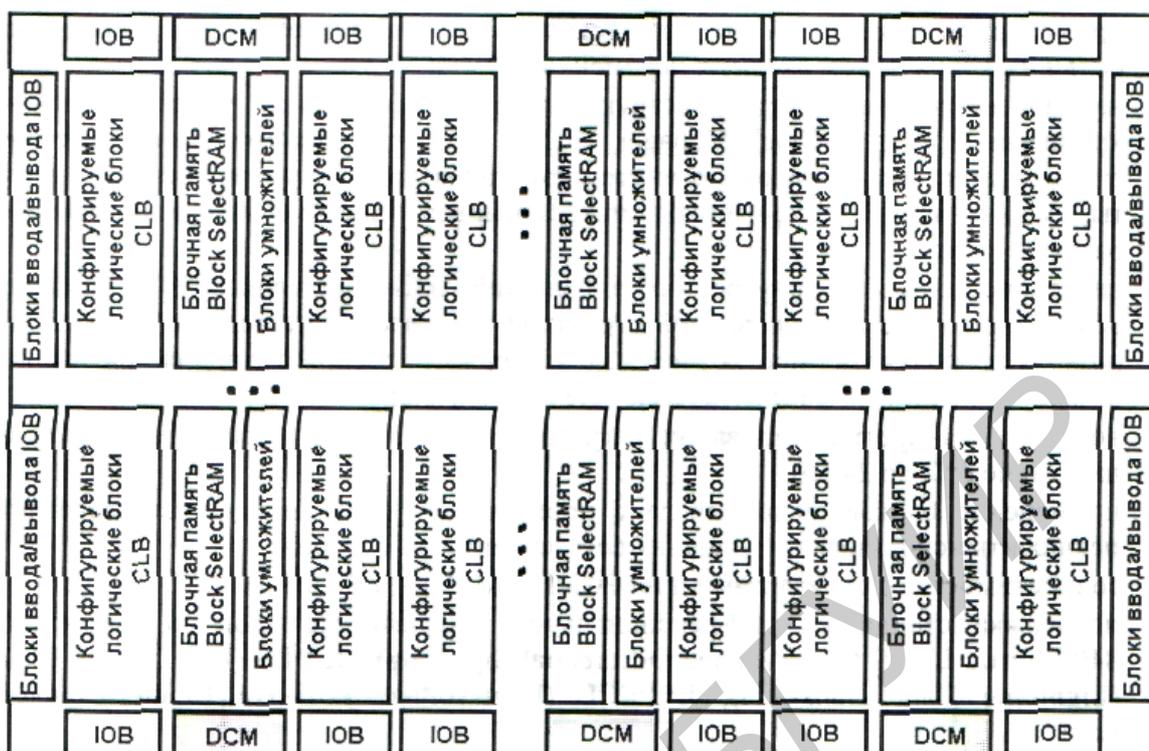


Рис. 1.6

кадное объединение блоков Block SelectRAM позволяет реализовать массивы оперативной памяти большого объема непосредственно на кристалле.

Цифровые модули управления синхронизацией DCM позволяют наиболее эффективно организовать формирование сетки тактовых сигналов с требуемыми характеристиками, используя операции синтеза частот и сдвига фаз формируемых сигналов. В модулях DCM применяется дискретный механизм подстройки фазы с шагом, составляющим $1/256$ тактового периода. Модули DCM выполняют функции устранения временных перекосов при распространении сигналов синхронизации не только внутри кристалла, но и на печатной плате. Кроме того, каждый DCM способен управлять четырьмя глобальными тактовыми мультиплексорами, позволяющими выбирать один из двух входов синхронизации и переключать их без создания импульсной помехи.

Новое поколение программируемых трассировочных ресурсов, основанных на технологии Active Interconnect Technology, осуществляет коммутацию рассмотренных выше элементов архитектуры кристаллов. Трассировочные ре-

судсы образуют иерархическую структуру, основным элементом которой является главная трассировочная матрица GRM. Все блоки ввода/вывода, конфигурируемые логические блоки, секции блочной памяти, аппаратные умножители и цифровые модули управления синхронизацией используют единую сеть внутренних соединений и единый доступ к глобальной трассировочной матрице.

1.3.4. Серия Virtex-II Pro

Применение технологии 0,13 мкм/0,09 мкм с девятислойной металлизацией в ходе дальнейшего совершенствования архитектуры Virtex-II, позволившей разместить на кристалле ядро процессора IBM PowerPC RISC, привело к созданию семейства более высокого уровня Virtex-II Pro. В состав этого семейства входят десять типов ПЛИС, которые содержат от 352 до 13 904 конфигурируемых логических блоков.

Новое семейство обладает всеми характерными особенностями кристаллов Virtex-II, отличаясь от него рядом дополнительных преимуществ, среди которых, прежде всего, следует выделить:

- наличие до двадцати четырех встроенных высокоскоростных приемопередатчиков Rocket I/O, основанных на технологии Mindspeed's SkyRail и обладающих скоростью обмена данными до 3,125 Мбит/с;
- включение в архитектуру кристаллов до четырех процессорных блоков PPC405 (PowerPC RISC);
- увеличение максимального объема внутренней оперативной памяти каждого вида: распределенного ОЗУ до 1,7 Мбит и встроенного блочного ОЗУ до 10 Мбит;
- расширение максимальной логической емкости кристаллов до 13 904 конфигурируемых логических блоков;
- более чем трехкратное увеличение количества блоков аппаратных 18 - разрядных умножителей;
- использование технологии Select I/O-Ultra обеспечивает поддержку 17 однополюсных и пяти дифференциальных сигнальных стандартов.

Архитектура ПЛИС Virtex-II Pro отличается от предшествующего семейства в основном наличием интегрированных процессорных блоков PowerPC и блоков приемопередатчиков Rocket I/O. Архитектура кристаллов семейства Virtex-II Pro представлена на рис. 1.7.

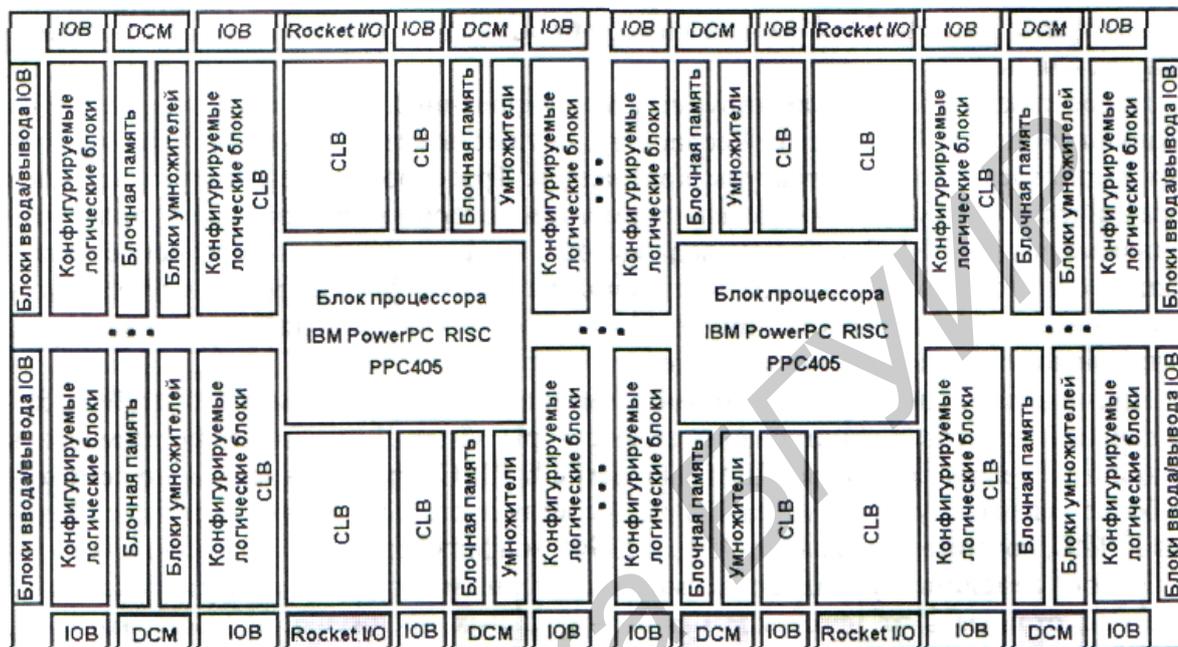


Рис. 1.7

ПЛИС семейств Virtex могут успешно использоваться для создания высокоскоростных вычислительных и телекоммуникационных устройств, шинных интерфейсов, сетевых устройств и контроллеров. Наличие аппаратных умножителей позволяет наиболее эффективно реализовывать на основе ПЛИС семейства Virtex-II и Virtex-II Pro системы цифровой обработки сигналов.

1.3.5. Серия Spartan

В состав семейства Spartan входят пять типов кристаллов, содержащих от 100 до 784 конфигурируемых логических блоков (соответственно от 5 000 до 40 000 системных вентилях), выпускаемых по технологии 0,5 мкм с трехслойной металлизацией и напряжением питания 5 В. ПЛИС этого семейства предоставляют возможность реализации проектов с системными частотами до 80 МГц, обладающих совместимостью по вводу/выводу с PCI, с использованием синхронного двухпортового ОЗУ информационной емкостью от 3 Кбит до

25 Кбит и встроенной логики ускоренного переноса. Семейство SpartanXL включает пять кристаллов с аналогичными ресурсами, технологией производства 0,35 мкм с пятислойной металлизацией и напряжением питания 3,3 В, обладающих совместимостью с пятивольтовой логикой по входам и выходам. ПЛИС семейств Spartan и SpartanXL имеют структуру, которая базируется на архитектуре серии XC4000, и неуклонно вытесняются более совершенными семействами этой же серии [2].

Усовершенствование технологии производства и применение архитектуры семейства Virtex привело к созданию семейств Spartan-II и Spartan-III.

ПЛИС этих семейств присущи основные особенности кристаллов Virtex. Поэтому далее приводятся только те характеристики, в которых проявляются различия этих семейств. Семейство Spartan-II представлено шестью типами кристаллов, выпускаемых по технологии 0,18/0,22 мкм с шестислойной металлизацией. Для этого семейства характерны следующие показатели:

- диапазон логической емкости кристаллов составляет от 96 до 1 176 конфигурируемых логических блоков (соответственно от 15 000 до 200 000 системных вентилях);
- максимальный объем внутренней распределенной оперативной памяти Distributed RAM, которая может быть реализована на базе четырехходовых таблиц преобразования LUT конфигурируемых логических блоков CLB, находится в пределах от 6 до 75 Кбит;
- предельная информационная емкость встроенной блочной памяти Block SelectRAM, организованной в виде секций ОЗУ по 4 Кбит, составляет от 16 до 56 Кбит;
- более низкая стоимость по сравнению с кристаллами семейства Virtex;
- напряжение питания ядра кристалла составляет 2,5 В.

Семейство Spartan-III основано на технологии 0,18 мкм с шестислойной металлизацией. В настоящее время в это семейство входят семь типов кристаллов. Основными отличиями семейства Spartan-III от Spartan-II являются:

- используются архитектурные и технологические особенности семейства Virtex-E;
- верхняя граница диапазона эквивалентной логической емкости кристаллов увеличена до 3 456 конфигурируемых логических блоков (600 000 системных вентилях);
- максимальная емкость встроенной блочной памяти расширена до 288 Кбит;
- возрастает максимально возможный объем ОЗУ, реализуемого в виде распределенной памяти;
- возможно повышение производительности кристаллов;
- увеличено количество пользовательских выводов кристаллов;
- более низкая потребляемая мощность;
- снижено напряжение питания ядра кристалла до 1,8 В.

ПЛИС серии Spartan (прежде всего семейств Spartan-II и Spartan-III) представляют собой альтернативу применению специализированных интегральных схем ASIC (applications specific integrated circuit). Кристаллы этой серии могут использоваться, например, для реализации проектов, включающих блоки устройств цифровой обработки сигналов, в том числе и DSP-процессоров, различных интерфейсов, включая PCI и USB, RISC-микропроцессоров, специализированных микроконтроллеров.

2. САПР фирмы Xilinx разработки фирмы Aldec

Фирма Xilinx специализируется на выпуске ПЛИС и комплекса их программного обеспечения, необходимого для разработки проектов и конфигурирования кристаллов. В начале 2002 года завершен полный переход к новому поколению систем автоматизированного проектирования ISE (Integrated Synthesis Environment), которые до того момента применялись в качестве альтернативы предыдущей серии САПР Foundation Series. Применение программных средств ISE позволяет значительно сократить время разработки и повысить уровень эффективности результатов за счет применения усовершенствованных

методов проектирования, алгоритмов синтеза, размещения и трассировки проекта в кристалле [3].

Средства проектирования ISE выпускаются в четырех конфигурациях: Foundation ISE, BaseX ISE, Alliance ISE и WebPACK ISE. Основное отличие между этими конфигурациями заключается в количестве поддерживаемых кристаллов и наборе дополнительных инструментов проектирования.

Программные средства Foundation ISE представляют собой наиболее полную систему сквозного проектирования, которая поддерживает весь спектр ПЛИС, выпускаемых фирмой Xilinx.

Экономичная конфигурация средств проектирования BaseX ISE имеет более низкую стоимость по сравнению с Foundation ISE, но поддерживает не все типы ПЛИС. Пакет BaseX ISE позволяет выполнять проекты на основе всех кристаллов семейств CPLD и ПЛИС серий FPGA с логической емкостью не более 300 000 системных вентиляей.

Для сопряжения с САПР других производителей предназначена конфигурация Alliance ISE. Она не содержит средств ввода исходных описаний проектов и синтеза. Эта конфигурация поддерживает все кристаллы, предоставляемые фирмой Xilinx [5].

Свободно распространяемая (бесплатная) модификация САПР WebPACK ISE поддерживает те же кристаллы, что и BaseX ISE. Основное отличие пакета WebPACK ISE от конфигурации BaseX ISE состоит в отсутствии генератора логических ядер CORE Generator и топологического редактора FPGA Editor.

Все конфигурации средств проектирования ISE (за исключением Alliance ISE) имеют одинаковую структуру и пользовательский интерфейс.

2.1. Основные характеристики пакета WebPACK ISE

Программные средства WebPACK ISE представляют собой систему сквозного проектирования, которая реализует полный цикл разработки цифровых устройств на основе ПЛИС, включающий этапы создания исходных описаний проекта, синтеза, моделирования, размещения и трассировки, а также про-

граммирования кристалла. Версия 6.1 САПР WebPACK ISE предназначена для проектирования цифровых устройств на базе ПЛИС фирмы Xilinx следующих семейств:

- CPLD: XC9500 (XC9536, XC9572, XC9510S, XC95I44, XC95216, XC95288), XC9500XL (XC9536XL, XC9572XL, XC95144XL, XC95288XL), XC9500XV (XC9536XV, XC9572XV, XC95144XV, XC95288XV), CoolRunner XPLA3 (XCR3032XL, XCR3064XL, XCR3128XL, XCR3256XL, XCR3384XL, XCR3512XL), CoolRunner-II (XC2C32, XC2C64, XC2CI28, XC2C256, XC2C384, XC2C512);

- FPGA: Spartan-II (XC2S15, XC2S30, XC2S50, XC2S100, XC2S150, XC2S200), Spartan-IIЕ (XC2S50E, XC2S100E, XC2S150E, XC2S200E, XC2S300E), Virtex-E (XCV50E, XCV100E, XCV200E, XCV300E), Virtex-II (2V40, 2V80 и 2V250), Virtex-II Pro (XC2VP2).

Отличительные особенности пакета:

- поддержка различных методов описания проектируемых устройств (графических, в форме принципиальных схем или диаграмм состояний и текстовых, с использованием языков описания аппаратуры HDL (Hardware Description Language));

- возможность использования проектов, подготовленных в других системах проектирования;

- наличие схемотехнического редактора, укомплектованного набором обширных библиотек;

- интеллектуальные средства создания HDL-описаний, формирующие шаблоны на основании информации, предоставляемой пользователем, для языков описания аппаратуры VHDL, Verilog и ABEL HDL;

- высокоэффективные встроенные средства синтеза HDL-проектов, поддерживающие языки VHDL, Verilog и ABEL HDL;

- развитые средства верификации проекта, позволяющие сократить полное время разработки устройства за счет обнаружения возможных ошибок на

более ранних стадиях проектирования и сокращения длительности и количества возможных итераций;

- автоматические средства трассировки проекта в кристаллы различных семейств ПЛИС Xilinx с учетом оптимизации проекта по различным параметрам;
- единые средства программирования кристаллов всех семейств ПЛИС Xilinx, выполненных по различной технологии (CPLD и FPGA), и конфигурационных ППЗУ, поддерживающих несколько типов загрузочных кабелей JTAG - интерфейса;
- встроенный комплект вспомогательных программных средств, позволяющих повысить эффективность процесса проектирования, включающий анализатор статических временных характеристик Timing Analyzer, интерактивный графический редактор размещения Floorplanner, модуль оценки потребляемой мощности XPower, «мастер» подготовки описаний блоков синхронизации, выполняемых на основе DCM, Architecture Wizard, интерактивный графический редактор топологических ограничений PACE (Pinout and Area Constraints Editor);
- доступный для разработчика пользовательский интерфейс и наличие в каждом модуле пакета справочной системы, сокращающие время освоения САПР;
- наличие интегрированного с пакетом САПР набора инструментов и утилит других фирм, предоставляющих дополнительные удобства в процессе проектирования, включающего утилиту генерации тестовых сигналов HDL Bencher, программу моделирования ModelSim XE II Starter и редактор диаграмм состояний StateCAD.

2.2. Управляющая оболочка Project Navigator

Управляющая оболочка Project Navigator предоставляет пользователю удобный интерфейс для работы с проектом и управления всеми процессами проектирования и программирования ПЛИС. Запуск всех программных модулей пакета осуществляется непосредственно в среде Project Navigator. Описания проектируемых устройств могут быть представлены в текстовом формате с ис-

пользованием языков HDL (Hardware Description Language), в виде принципиальных схем или диаграмм состояний. В состав пакета включен схемотехнический редактор и комплект библиотек. Кроме того, предусмотрена возможность импорта проектов, подготовленных в других системах проектирования как описаний в формате EDIF.

HDL-синтез проектов может выполняться не только встроенными средствами Xilinx Synthesis Technology (XST), но и программами третьих фирм, например FPGA Express, Synplify, LeonardoSpectrum, поддерживающими языки VHDL и Verilog. Большинство программ, входящих в состав САПР, имеет развитые средства верификации, которые наряду с системами моделирования позволяют своевременно обнаружить возможные ошибки. С применением языков HDL примерно в 2 раза повышено быстродействие средств синтеза, трассировки и размещения проекта в кристаллы с учетом его оптимизации по различным параметрам. Благодаря совместной работе программы временного анализа Timing Analyzer и топологического редактора Floorplanner значительно повышается быстродействие проектируемого устройства.

Интегрированный с пакетом набор инструментов и утилит других фирм (в их числе утилита генерации тестовых сигналов HDL Bencher, программа моделирования ModelSim XE Starter и редактор диаграмм состояний StateCAD) предоставляет в процессе проектирования дополнительные удобства.

2.3. Основные модули пакета WebPACK ISE

К основным модулям пакета WebPACK ISE относятся:

- Project Navigator – предназначен для организации эффективного управления процессом проектирования цифрового устройства на базе ПЛИС Xilinx в среде пакета WebPACK ISE;
- Synthesis Constraints Editor – редактор ограничений, накладываемых на проект, написанный на VHDL/Verilog перед синтезом;
- Synthesis Timing Analyzer – анализатор временных параметров синтезированных проектов;

- Synopsys FPGA Express Synthesis – программа синтеза проектов, написанных на VHDL/Verilog;
- HDL Design Tools – набор утилит для упрощения ввода проекта на языках высокого уровня; VHDL/Verilog, включающий в себя текстовый редактор, мастер готовых шаблонов основных конструкций языка, проверку синтаксиса, редактор диаграмм состояний;
- Engineering Schematic Capture (ECS) – графический редактор, позволяющий вводить проекты в схемном виде на основе библиотек логических элементов (простые вентили, регистры, счетчики, элементы памяти и т.д.);
- Simulator (Functional and Timing) – графический редактор, позволяющий произвести моделирование до трассировки и после;
- iMPACT – программа предназначена для конфигурирования ПЛИС семейств CPLD, FPGA и ППЗУ семейства XC18V00 в различных режимах считывания конфигурационных данных из кристаллов и организации тестирования разработанного устройства с использованием JTAG – интерфейса, а также для создания файлов «прошивки» ПЗУ / ППЗУ в стандартных промышленных форматах, поддерживаемых различными аппаратными программами;
- Design Manager – интерфейсный модуль, осуществляющий управление всеми средствами автоматической трассировки и дающий пользователю доступ к ним;
- Xpower – программа оценки потребляемой мощности цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx;
- ModelSim – система моделирования цифровых устройств, проектируемых с использованием языков описания аппаратуры HDL высокого уровня;
- Flow Engine – отображает и выполняет все этапы по размещению проекта в кристалл, состоящие из трансляции входного файла универсального формата во внутренний формат; разбиения логики по конфигурируемым логическим блокам; размещения по кристаллу элементов логики и связей; создания конфигурационного файла для загрузки в кристалл; создания отчета о статиче-

ских временных параметрах и создания файла для моделирования с учетом временных задержек в форматах VHDL, Verilog, EDIF или XNF;

- LogiBLOX – графическое средство создания параметризованных и оптимизированных под конкретную архитектуру логических элементов (счетчики, память, регистры, мультиплексоры и т. д.);

- CORE Gen – встроенный модуль генерации параметризованных и оптимизированных под конкретную архитектуру модулей, выполняющих сложные функции, например такие модули как корреляторы, фильтры, спектральные преобразования и т.д.

- Floorplanner – графическое средство, позволяющее контролировать процесс автоматического размещения логики в кристалл FPGA или полностью «вручную» произвести размещение;

- FPGA Editor – графическое средство, позволяющее просмотреть и отредактировать результаты размещения логики и связей, а также «вручную» спроектировать кристалл FPGA на уровне КЛБ и линий связи;

- Hardware Debugger – программа загрузки и верификации проекта с компьютера;

- PROM Files Formatter – программа создания конфигурационного файла для хранения в последовательных или параллельных ПЗУ. Доступно три формата MCS, ECHO, TEX. Для микропроцессорной загрузки формируется файл в формате HEX [5].

3. Реализация проекта с помощью САПР WebPACK ISE

3.1. Этапы проектирования цифровых устройств

В процессе разработки цифровых устройств на базе ПЛИС Xilinx можно выделить следующие этапы:

- создание нового проекта (выбор семейства и типа ПЛИС, а также средств синтеза);

- подготовка описания проектируемого устройства в схемотехнической, алгоритмической или текстовой форме;

- синтез устройства;
- функциональное моделирование;
- размещение и трассировка проекта в кристалле;
- временное моделирование;
- программирование ПЛИС (загрузка проекта в кристалл).

Перед созданием нового проекта следует определиться с выбором метода описания разрабатываемого устройства и, соответственно, средств синтеза. При определении семейства и типа ПЛИС для реализации проекта необходимо не только оценить его сложность с учетом требований, предъявляемых к быстродействию, потребляемой мощности, условиям эксплуатации, но и учесть дополнительные факторы, как, например, стоимость, возможность перепрограммирования в системе. Выбранное семейство или тип кристалла при необходимости достаточно легко можно изменить в процессе проектирования. Исходная информация о проектируемом устройстве может быть представлена в виде принципиальных схем, описаний на языке HDL, диаграмм состояний, пакетов и библиотек пользователя. На этом же этапе можно установить временные и топологические ограничения, которые должны учитываться при синтезе, размещении и трассировке проекта в кристалле. В процессе синтеза на основании исходных модулей проекта формируется список соединений (netlist), содержащий набор примитивов или компонентов, который может быть реализован на основе ресурсов выбранного кристалла ПЛИС. Результаты синтеза используются далее в качестве исходных данных средствами размещения и трассировки. Функциональное моделирование устройства производится без учета реальных значений задержек прохождения сигналов и позволяет проконтролировать соответствие выходных сигналов алгоритмам работы проектируемого устройства. На этапе размещения и трассировки проекта в кристалл производится распределение выполняемых функций в конфигурируемые логические блоки CLB (Configurable Logic Block) или макроячейки (Macrocell), в зависимости от используемого семейства ПЛИС, и формирование необходимых связей в кристалле. В процессе выполнения этого этапа проектирования также определяются реальные зна-

чения задержек распространения сигналов, которые необходимы для полного временного моделирования устройства. Основным результатом этапа размещения и трассировки является формирование файла, в котором содержится информация о конфигурации ПЛИС, реализующей проектируемое устройство. Завершением процесса разработки цифрового устройства является загрузка конфигурационных данных в кристалл с помощью соответствующих программ и загрузочного кабеля. Этапы функционального и временного моделирования не являются обязательными. Тем не менее не рекомендуется пренебрегать этими этапами, так как высокоэффективные средства моделирования, включаемые в состав пакетов САПР фирмы Xilinx, позволяют обнаружить большинство возможных ошибок и тем самым значительно сократить общее время разработки устройства. При обнаружении ошибок на любом из этапов, например, логических ошибок на этапе функционального моделирования или при получении неудовлетворительных результатов временного моделирования, следует вернуться на стадию разработки исходных описаний проекта, внести необходимые изменения и повторить последующие этапы.

Выполнение этапов создания нового проекта и подготовки исходных описаний проектируемого устройства не зависит от выбора типа ПЛИС (CPLD или FPGA), используемого для его реализации. Содержание проектирования различается для случаев использования ПЛИС семейств CPLD и FPGA [5].

В структуре проекта WebPACK ISE можно выделить следующие группы модулей:

- исходные описания проектируемого устройства в графической или текстовой форме;
- модули временных и топологических ограничений проекта;
- документация, сопровождающая проект;
- промежуточные результаты, используемые в качестве исходных данных для последующих шагов проектирования;
- отчеты о выполнении основных этапов проектирования;
- функциональная и временная модели проектируемого устройства;

- описания тестовых воздействий, необходимых для моделирования устройства, в текстовом и графическом формате;
- результаты функционального и временного моделирования в графической и текстовой форме;
- отчеты, формируемые вспомогательными средствами пакета;
- окончательные результаты проектирования, используемые для конфигурирования ПЛИС.

Все модули проекта располагаются в одном каталоге (папке), название которого совпадает с названием проекта. Изначально проект представлен только заголовком и модулем, в котором указываются параметры проекта. Затем к проекту добавляются модули описания проектируемого устройства. Далее, после выполнения каждого этапа процесса разработки устройства, в проект включаются результаты, полученные на этом этапе, и соответствующий отчет. Кроме того, разработчик может включить в проект необходимую текстовую документацию.

3.2. Создание нового проекта в среде пакета WebPACK ISE

Для создания нового проекта следует выполнить команду File основного меню Навигатора проекта, а затем во всплывающем меню выбрать строку New Project, как показано на рис. 3.1.

В результате указанных действий открывается диалоговая панель, в которой должны быть представлены исходные данные для создания проекта:

- название проекта;
- диск и каталог, в котором предполагается расположить проект;
- семейство ПЛИС, на базе которого разрабатывается устройство;
- тип кристалла;
- тип корпуса;
- быстродействие кристалла;
- средства синтеза устройства.

В первую очередь рекомендуется определить раздел (папку), в котором будет располагаться рабочий каталог проекта. Место расположения проекта на

диске указывается в поле редактирования Project Location (см. рис. 3.1). Целесообразно хранить все проекты в специально созданном для этих целей каталоге, например, C:\Xilinx\bin\. По умолчанию в поле редактирования Project Location предлагаются диск и каталог, которые использовались в предыдущем проекте.

Чтобы задать название (имя) проекта, необходимо поместить курсор мыши на поле редактирования Project name (см. рис. 3.1) и щелкнуть левой кнопкой мыши, после чего ввести с клавиатуры название проекта. Рекомендуется задавать мнемонические имена проектов, чтобы впоследствии было удобнее ориентироваться при поиске требуемого проекта.

Введенное название проекта автоматически добавляется в поле Project Location, определяя тем самым название рабочего каталога проекта. После ввода всех необходимых данных нажимаем кнопку Далее >.

Семейство ПЛИС, тип кристалла, корпуса, быстродействия, маршрут проектирования и средства синтеза представлены в виде таблицы параметров проекта (рис. 3.2). В первом столбце этой таблицы отображаются названия параметров (Property Name), а во втором - значения этих характеристик (Value). Каждая ячейка столбца Value представляет собой поле выбора значения соответствующего параметра. Для определения семейства ПЛИС, на базе которого проектируется устройство, следует поместить курсор мыши на поле выбора семейства Device Family и щелкнуть левой кнопкой. После этого в правой части поля выбора семейства появляется кнопка управления раскрывающимся списком. При нажатии на эту кнопку отображается список семейств ПЛИС, поддерживаемых пакетом WebPACK ISE (рис. 3.3).

Чтобы выбрать требуемое семейство ПЛИС, необходимо поместить курсор мыши на соответствующую строку раскрывающегося списка и щелкнуть левой кнопкой. После выбора одной из строк списка название соответствующей серии ПЛИС автоматически отображается в поле выбора семейства Device Family.

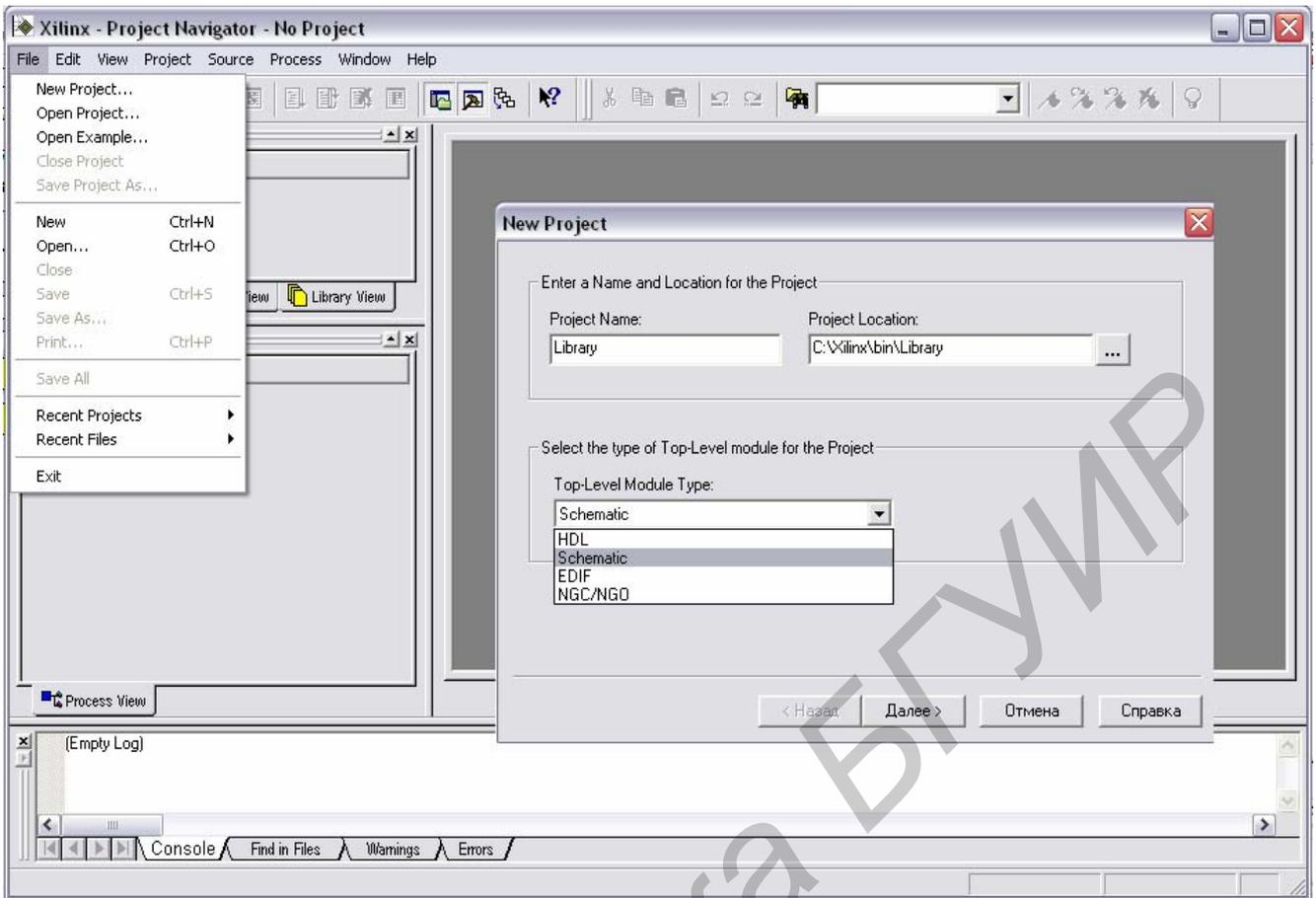


Рис. 3.1

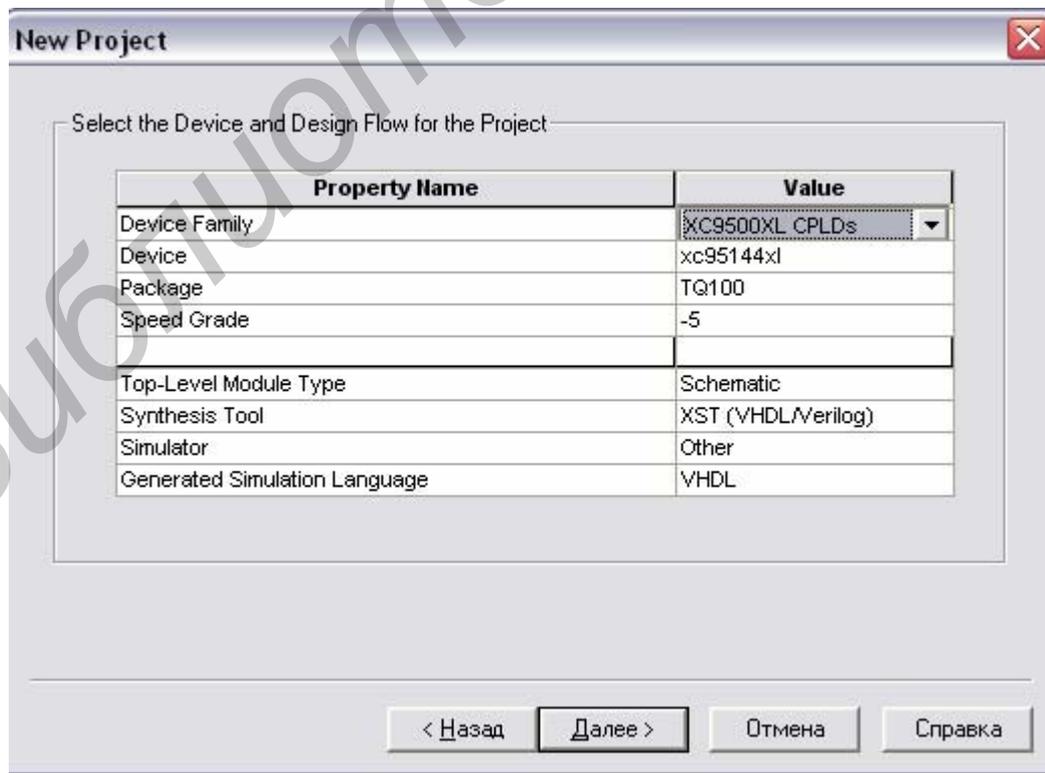


Рис. 3.2

В поле выбора типа кристалла для реализации проектируемого устройства отображается тип ПЛИС, установленный по умолчанию для выбранного семейства. Для его изменения необходимо выполнить последовательность действий, аналогичную процедуре установки семейства ПЛИС.

Если разработчик затрудняется определить тип кристалла, необходимый для реализации проектируемого устройства, то следует использовать автоматический выбор типа кристалла. Для этого необходимо в списке ПЛИС выбрать строку Auto требуемого семейства ПЛИС. Программы трассировки определяют кристалл с минимальным количеством ресурсов, необходимых для реализации разрабатываемого устройства.

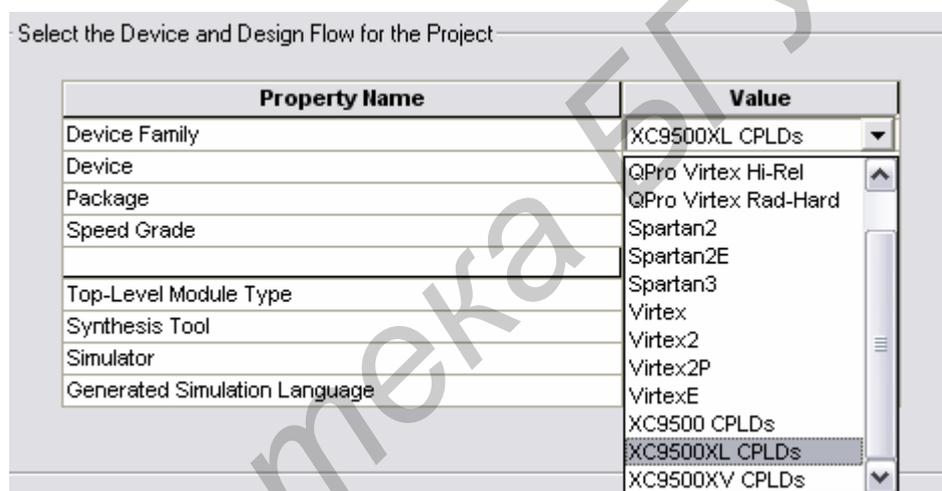


Рис. 3.3

Тип корпуса кристалла указывается в поле выбора Package. Если в поле Device указан определенный тип ПЛИС, то выпадающий список значений поля выбора Package содержит обозначения только тех типов корпусов, в которых выпускается данный кристалл.

Для указания быстродействия выбранного кристалла следует поместить курсор мыши на поле выбора Speed Grade и щелкнуть левой кнопкой. Открывшийся список отображает выпускаемый ряд градации по быстродействию для выбранного типа.

Процедура определения всех необходимых параметров создаваемого проекта завершается нажатием клавиши Далее >, находящейся в нижней части па-

нели установки параметров нового проекта (см. рис. 3.2). В случае успешного создания нового проекта его название отображается в строке заголовка окна Навигатора проекта, а окно исходных модулей приобретает вид, показанный на рис. 3.4.

Окно исходных модулей нового проекта содержит две пиктограммы: заголовка и описания проекта. Только что созданный проект имеет заголовок, совпадающий с названием проекта. В строке описания проекта отображаются основные параметры проекта, заданные при его создании. Изменить заголовок проекта можно несколькими способами. Самый быстрый и удобный способ редактирования заголовка проекта - поместить указатель на строку заголовка проекта в окне исходных модулей и дважды щелкнуть левой кнопкой мыши. Аналогичным методом можно изменить основные параметры проекта (семейство ПЛИС, тип кристалла, корпуса, быстродействия и средства синтеза).

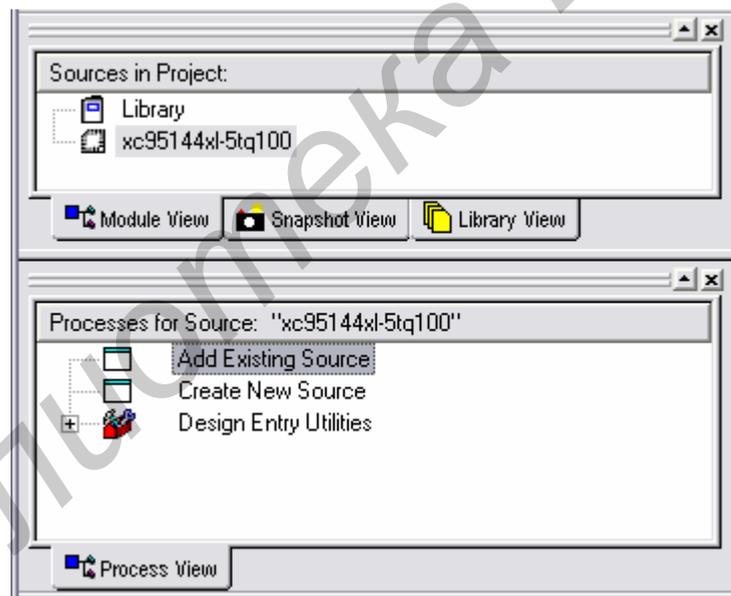


Рис. 3.4

Создадим проект Library для разработки части схемы блока преобразователей измерителя шума и вибрации на базе ПЛИС семейства XC95000XL CPLD 95144XL в корпусе TQ 100, поместив его в каталог Xilinx на одном из дисков компьютера.

Рабочая область основного окна Навигатора проекта для созданного проекта Library показана на рис. 3.4.

3.3. Разработка схмотехнического описания проекта

3.3.1. Создание принципиальной схемы разрабатываемого устройства

Схмотехнический способ представления проектируемого устройства наиболее нагляден и привычен для разработчиков. Для создания принципиальной схемы разрабатываемого устройства или его функциональных блоков необходимо выполнить процедуру подготовки основы нового модуля исходного описания проекта, нажав кнопку  на оперативной панели или выбрав команду New Source из раздела Project основного меню Навигатора проекта. В качестве типа нового модуля в открывшейся диалоговой панели, показанной на рис. 3.5, необходимо выбрать Schematic.

Создадим принципиальную схему разрабатываемого устройства. Для этого в диалоговой панели параметров нового модуля (рис. 3.5), укажем в качестве названия схемы имя файла «sxema». При нажатии кнопки Далее >, расположенной в нижней части диалоговой панели, модулю присваивается расширение *.sch и он автоматически присоединяется к проекту. На экран выводится информационная панель, показанная на рис. 3.6, в которой указываются исходные параметры создаваемой схемы.

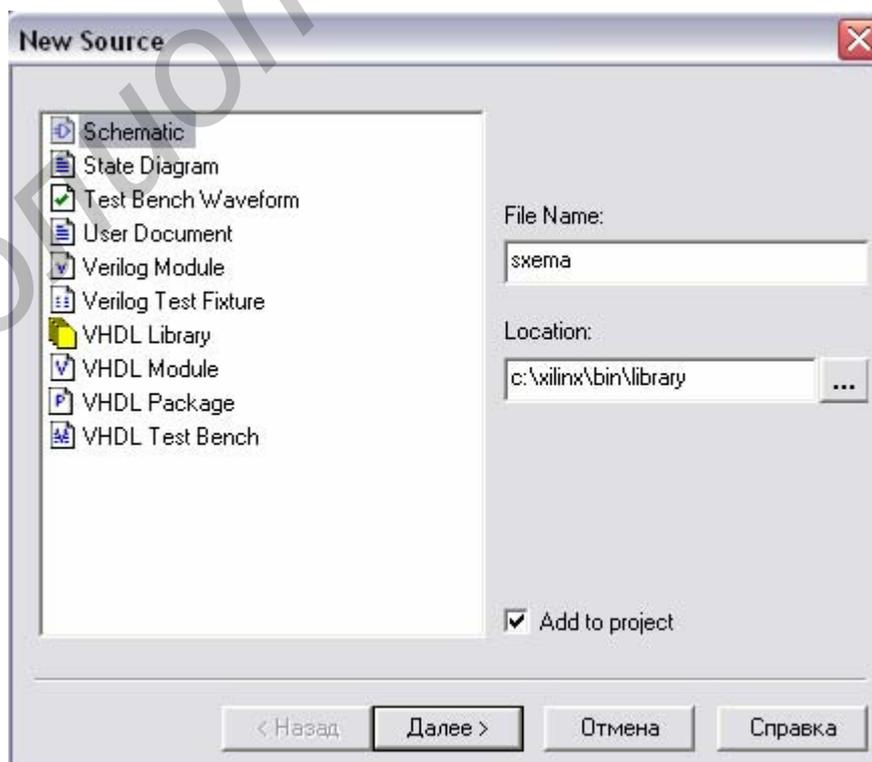


Рис. 3.5

После их подтверждения нажатием кнопки Готово в нижней части информационной панели открывается окно схмотехнического редактора пакета WebPACK. ISE, в строке заголовка которого отображается название новой схемы.

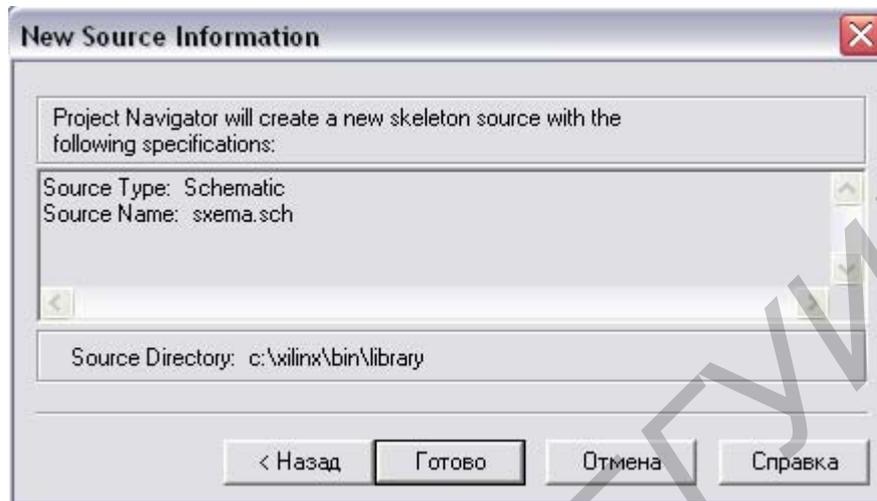


Рис. 3.6

3.3.2. Создание новой схемы в среде редактора ECS

Процесс создания принципиальной схемы проектируемого устройства в редакторе ECS включает в себя выполнение следующих операций:

- ввод символов элементов схемы;
- выполнение необходимых соединений в виде проводников и шин;
- ввод имен цепей и шин;
- установка маркеров, определяющих назначение цепей, используемых для подключения «внешних» элементов или выводов ПЛИС;
- ввод необходимых атрибутов;
- формирование вспомогательных графических изображений и текстовых комментариев на страницах схемы.

Последняя из перечисленных операций не является обязательной и используется для оформления документации в соответствии с принятыми нормами. Порядок выполнения операций может быть произвольным, но приведенная последовательность является наиболее целесообразной.

При открытии окна схмотехнического редактора активизирован основ-

ной режим - выбора объекта, установленный по умолчанию. В этом режиме осуществляется выделение, перемещение и удаление элементов схемы, а также просмотр и редактирование их параметров.

Для активизации режима ввода символов компонентов создаваемой схемы предназначена кнопка  на инструментальной панели, а также команда Symbol, которая находится во всплывающем меню Add. Следует обратить внимание на то, что указанный режим автоматически включается при выборе символа на странице библиотек Symbols в панели дополнительных параметров (рис. 3.7).

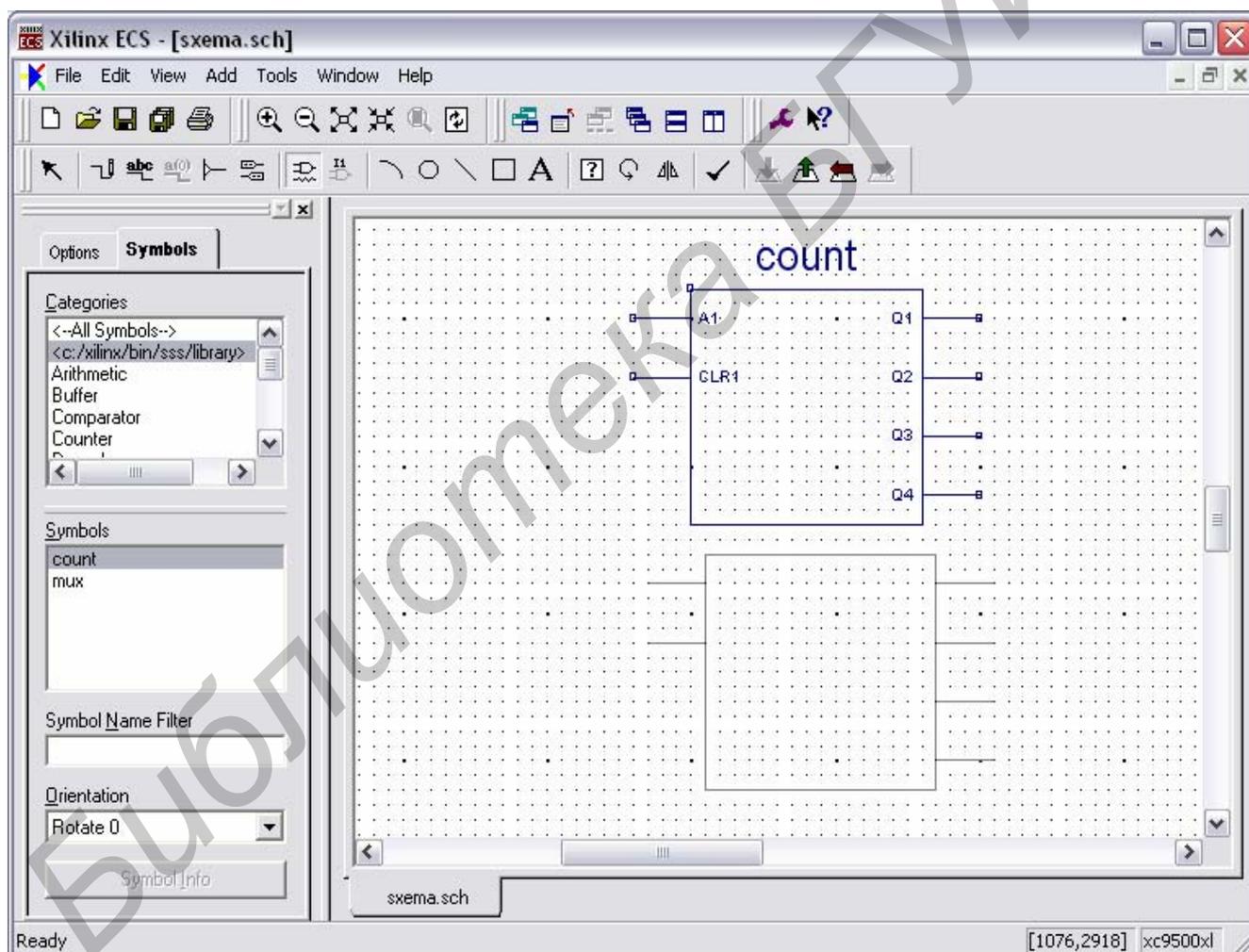


Рис. 3.7

Прежде всего следует выбрать нужную функциональную группу символов библиотеки компонентов в поле Categories на странице Symbols, поместив курсор на строку с ее названием и щелкнув левой кнопкой мыши. Если требу-

мая категория символов отсутствует в видимой части списка, то нужно воспользоваться элементами вертикальной прокрутки, расположенными с правой стороны поля выбора. Далее тем же способом в поле Symbols выбирается искомый компонент, после чего курсор мыши следует переместить на поле чертежа. При этом к курсору мыши привязывается контурное изображение выбранного компонента, которое перемещается вместе с указателем. В случае успешного выполнения указанных операций на поле чертежа появляется детальное изображение выбранного компонента (рис. 3.7).

После ввода символа курсор по-прежнему сохраняет контурное изображение элемента, поэтому если в схеме используется несколько экземпляров текущего выбранного компонента, то нужно поместить указатель на место предполагаемого расположения следующей копии УГО и вновь щелкнуть левой кнопкой мыши. Завершив ввод текущего компонента, следует повторить рассмотренную выше процедуру выбора символа из списка для следующего элемента схемы, переместив курсор мыши на страницу библиотек символов в панели дополнительных параметров. Аналогичным образом размещаются на поле чертежа все компоненты схемы. При попытке выполнения недопустимого расположения символа его изображение не фиксируется на поле чертежа и выводится окно сообщения об ошибке. Возможны следующие ошибки расположения символов: изображение компонента выходит за пределы страницы, один из контактов вводимого символа накладывается на контакт уже имеющегося компонента или на место пересечения двух несоединяющихся проводников. Для выключения режима ввода компонентов нужно нажать кнопку  на инструментальной панели, в результате чего будет автоматически установлен основной режим работы схемотехнического редактора.

При вводе символов компонентов схемы следует обратить внимание на возможность установки входных (IBUF), выходных (OBUF) или двунаправленных (FOBUF) буферных элементов в цепях, подключаемых к выводам кристалла. Если эти элементы не были установлены в схеме, то необходимо при синтезе указать режим их автоматического подключения.

Следующий шаг в процессе создания схемы - выполнение всех необходимых соединений. Для этих целей в редакторе ECS используются проводники (Wire) и шины (Bus). Включение режима ввода проводников производится нажатием кнопки  на инструментальной панели или при выборе команды Wire из выпадающего меню Add. Формирование цепи начинается с фиксации стартовой точки, которая может располагаться на свободном месте поля чертежа или совпадать с контактом вывода одного из компонентов. Для этого следует поместить курсор мыши в требуемую точку на поле чертежа и щелкнуть левой кнопкой мыши. Дальнейшая последовательность действий зависит от режима трассировки цепей на изображении схемы, который выбирается с помощью кнопок на странице Options в панели дополнительных параметров (рис. 5.8). Если кнопка «Use the Manual method to add single line segments between the points you indicate» находится в нажатом состоянии, то установлен режим ручной трассировки цепей на изображении схемы. При этом после фиксации начальной точки цепи следует переместить курсор мыши в позицию, соответствующую точке изгиба, соединения с другим проводником или контактом компонента, а также конечной точке цепи. При этом формируемый сегмент цепи отображается штриховой линией. Фиксация сегмента осуществляется щелчком левой кнопки мыши в конечной точке, после чего новый фрагмент цепи отображается основной линией (рис. 3.8). Далее при необходимости следует продолжить формирование текущей цепи, переместив указатель мыши на конечную позицию следующего сегмента. Завершение формирования цепи осуществляется двойным щелчком левой кнопки мыши после фиксации последнего сегмента цепи. Таким образом, в режиме ручной трассировки формирование цепи производится перемещением указателя мыши по полю чертежа с фиксацией (щелчком левой кнопки мыши) всех изгибов и точек соединения с компонентами и другими цепями схемы.

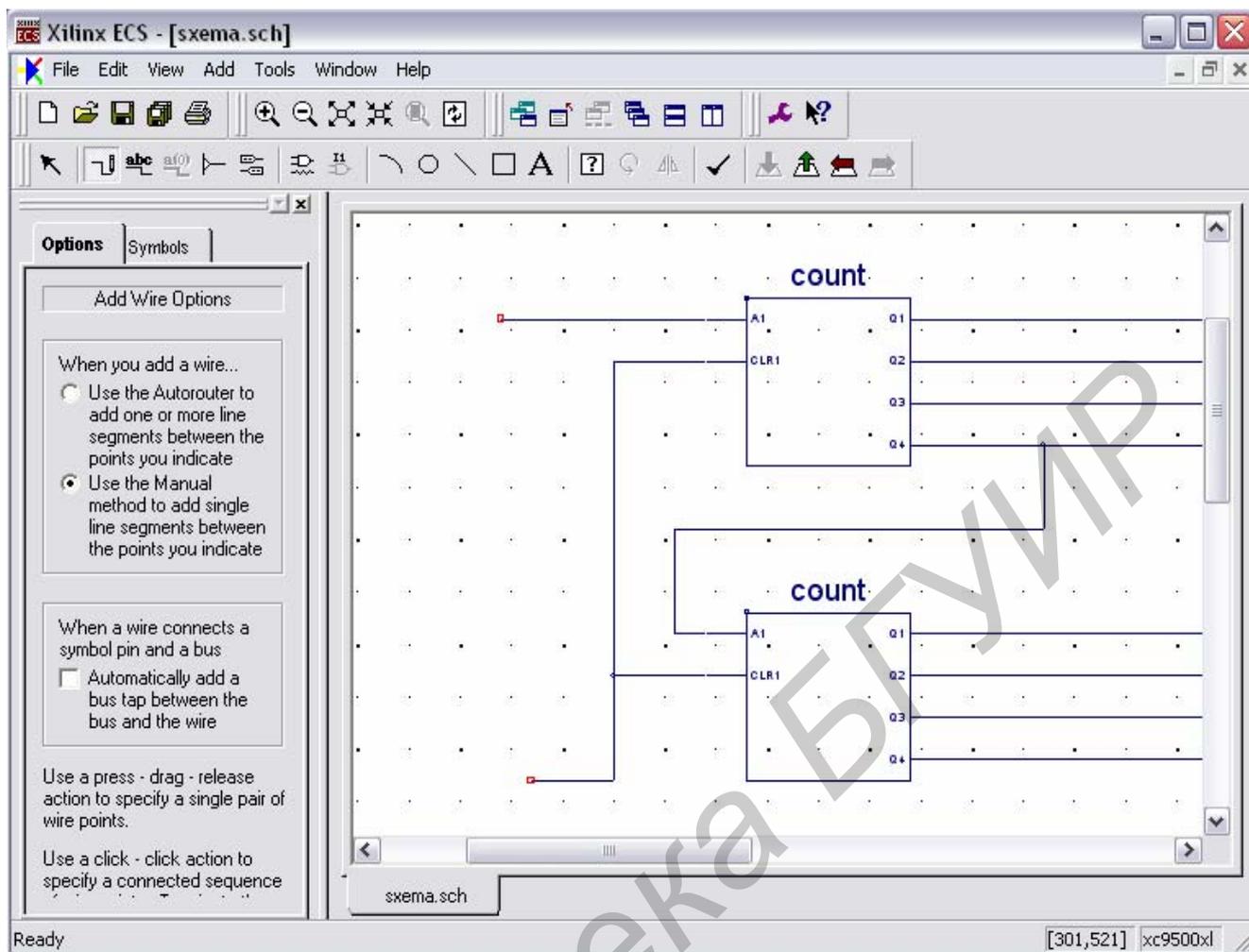


Рис. 3.8

Режим автоматической трассировки цепей на изображении схемы активизируется при нажатии кнопки «Use the Autorouter to add one or more line segments between the points you indicate», расположенной на странице Options в панели дополнительных параметров. В этом режиме фиксируются только начальная и конечная точки цепи, а точки изгиба формируются автоматически.

Для формирования соединений элементов схемы в виде шин необходимо выполнить следующую последовательность действий. Вначале в режиме ввода проводников создается графическое изображение шины в виде фрагмента одиночной цепи в соответствии с инструкциями, рассмотренными выше. До тех пор, пока не задано название шины в соответствующем формате (с указанием разрядности или перечислением проводников), она отображается сплошной тонкой линией, как одиночная цепь. Затем следует перейти в режим формиро-

вания отводов шины, нажав кнопку  на панели инструментов или выполнив команду Bus Tap из выпадающего меню Add. При этом к курсору присоединяется изображение отвода шины. Символ отвода шины может быть подключен к вертикальному или горизонтальному сегменту шины. Для получения нужной ориентации изображения отвода шины следует воспользоваться группой кнопок, расположенных на странице Options в панели дополнительных параметров. Если в нажатом состоянии находится кнопка Left, то изображение отвода шины сориентировано так, что контакт для подключения проводника находится справа, а для присоединения к шине - слева. При нажатии кнопки Right справа располагается сторона для присоединения к шине, а слева - контакт для подключения цепи. Нажатое состояние кнопки Top соответствует ориентации символа отвода шины, при которой контакт для подключения проводника располагается внизу, а сторона, присоединяемая к шине - вверху. При нажатии кнопки Bottom устанавливается ориентация, противоположная по отношению к задаваемой, кнопкой Top. Для изменения ориентации символа отвода шины можно также воспользоваться средствами инструментальной панели: кнопкой , позволяющей получить зеркально отраженное изображение, или кнопкой , при каждом нажатии которой осуществляется поворот изображения на девяносто градусов по часовой стрелке. Далее нужно указать точку подключения проводника к шине, расположив на ней курсор и щелкнув левой кнопкой мыши. При этом символ отвода присоединяется к изображению выбранной шины (рис. 3.9). Сформировав, таким образом, все отводы шины, производится их соединение с соответствующими цепями схемы. Подключение цепей к отводам шины осуществляется в той же последовательности операций, которая была рассмотрена выше в процессе выполнения соединений компонентов схемы посредством обычных (одиночных) цепей. Соединение двух шин и формирование новых сегментов шин осуществляется так же, как и для обычных цепей, в режиме ввода проводников. После подключения проводников к отводам шины производится присвоение соответствующих названий этих цепей.

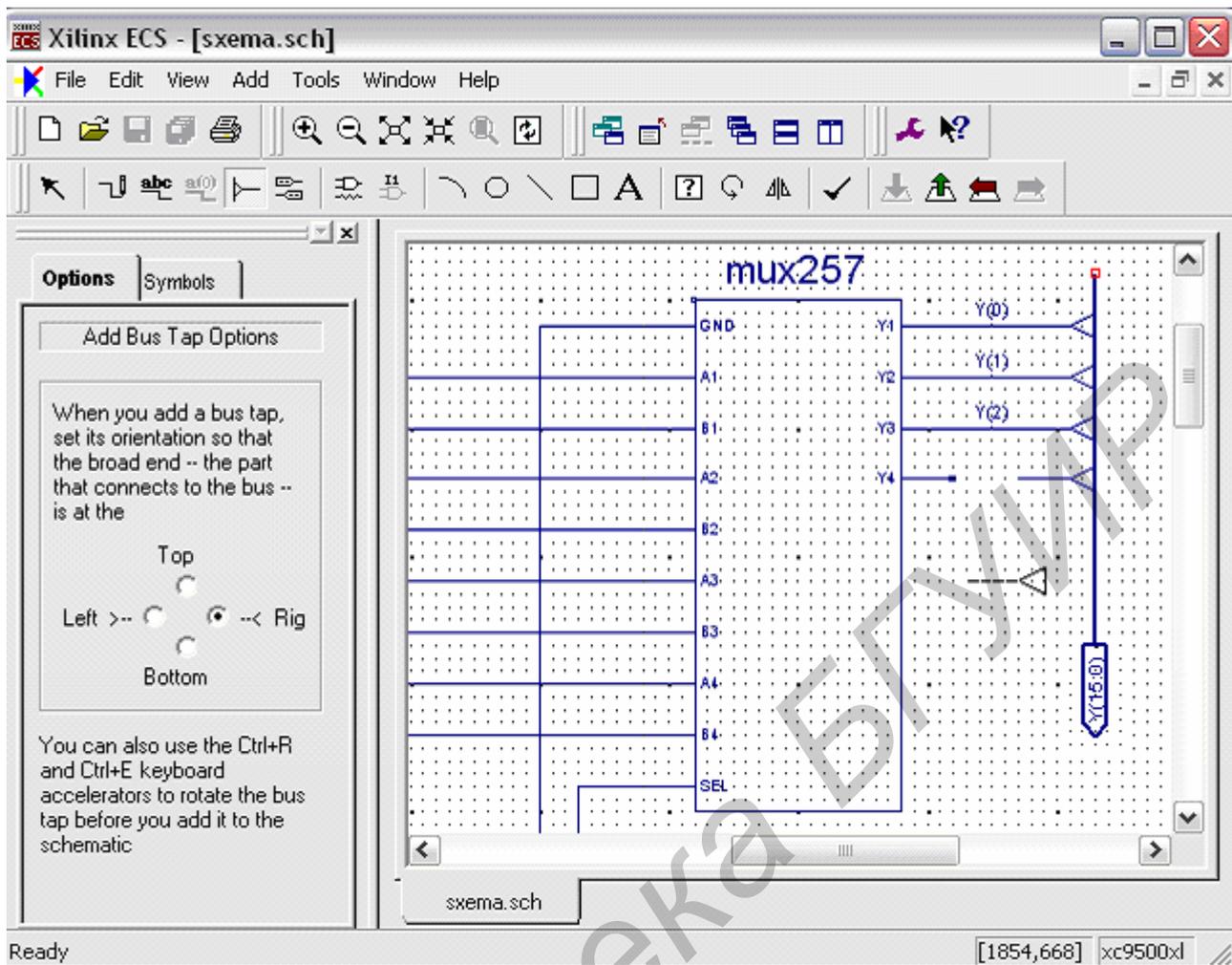


Рис. 3.9

Разрабатывая схему в редакторе ECS, прежде всего необходимо установить названия цепей, входящих в состав шин, используемых для соединений с «внешними» элементами или контролируемых в процессе последующего моделирования и анализа временных соотношений. При создании новой цепи схемотехнический редактор автоматически устанавливает ее названия в виде XLNX_number, где number - порядковый номер цепи. Названия цепей, присвоенные автоматически редактором ECS, не отображаются на поле чертежа. Рекомендуется присваивать названия, отражающие функциональное назначение цепи. В состав названия цепи могут входить прописные и строчные буквы латинского алфавита (A - Z, a - z), цифры (0-9), а также символ подчеркивания «_». Название должно начинаться с буквы или цифры и может состоять только из цифр. Длина названия не должна превышать 255 символов. Чтобы включить

режим ввода названия цепей, следует нажать кнопку  на панели инструментов или выбрать пункт Add в основном меню, а затем – строку Net Name.

Для ввода названия цепи можно воспользоваться кнопкой Pick up a name by clicking on a branch на странице Options панели дополнительных параметров схемотехнического редактора, которая позволяет считать название выбранной ветви цепи на схеме и отобразить его в поле ввода имени цепи. Для выбора цепи (после фиксации этой кнопки) следует поместить курсор мыши на ее изображение на схеме и щелкнуть левой кнопкой мыши. После этого название, считанное в поле ввода, может быть отредактировано и присвоено другой ветви или цепи. Кнопка Pick up names of bus members by clicking on a bus net выполняет аналогичную функцию для шины. На странице Options панели дополнительных параметров присутствует группа кнопок, которые определяют состояние поля ввода имени цепи после выполнения операции присвоения. Если зафиксирована кнопка Keep the name, то присвоенное название сохраняется в поле ввода имени цепи. При нажатой кнопке Increment the name значение индекса в названии цепи автоматически увеличивается на единицу после его применения, а при Decrement the name - уменьшается на единицу. Если выбрана кнопка Clear the name, то поле ввода имени цепи очищается после его использования.

После формирования цепей, предназначенных для соединений с другими схемами и контактами кристалла, и присвоения им соответствующих названий необходимо установить маркеры, определяющие назначение этих цепей и направление передачи данных по ним. Маркер присоединяется к свободной конечной точке цепи. Для включения режима ввода маркеров цепей следует нажать кнопку  на панели инструментов или выполнить команду I/O Marker из выпадающего меню Add, после чего к курсору привязывается изображение маркера. Его тип (входной, выходной или двунаправленный) указывается с помощью группы кнопок с зависимой фиксацией, расположенных на странице Options панели дополнительных параметров (рис. 3.10). Здесь же находится поле выбора ориентации изображения маркера на схеме. По умолчанию установлен режим автоматической ориентации Automatic, при котором маркер распо-

лагается в направлении продолжения сегмента цепи, к которому он присоединяется. При необходимости можно явно указать ориентацию маркера, выбрав соответствующее значение из выпадающего списка, который содержит следующие элементы: Automatic, Down, Left, Right, Up. Значения Left соответствуют расположению маркера слева от конечной точки цепи, Right - справа, Down - внизу, Up - вверху. Выбор требуемого типа маркера производится щелчком левой клавиши мыши на изображении соответствующей кнопки. Если требуется установить маркер входной цепи, следует нажать кнопку Add an input marker, выходной - кнопку Add an output marker, двунаправленной - Add a bidirectional marker. Кнопка Remove the marker используется для удаления маркера из схемы. Для установки маркера нужно поместить указатель на свободную конечную точку цепи и щелкнуть левой кнопкой мыши (рис. 3.10). При успешном выполнении операции к цепи присоединяется изображение маркера, внутри которого отображается ее название.

Чтобы изменить тип маркера после его установки, следует по нему дважды щелкнуть левой кнопкой мыши. При этом на экран выводится диалоговая панель установки и редактирования атрибутов цепи (рис. 3.11). В таблице атрибутов имеется строка параметра PortPolarity, который определяет характер цепи: входная (Input), выходная (Output) или двунаправленная (Bidirectional). Для выбора нужного типа маркера следует в предложенном списке выбрать требуемый тип маркера, щелкнув левой кнопкой мыши на строке с его названием. Выбранный тип маркера автоматически отображается в поле значения параметра PortPolarity. Выполненные изменения подтверждаются нажатием кнопки ОК в нижней части диалоговой панели. Если проводники схемы, используемые для соединений с другими схемами и контактами кристалла, сгруппированы в шины, то маркер может быть установлен непосредственно в конечную точку шины. Последовательность действий, выполняемых в процессе маркировки шин, аналогична процедуре установки маркера для одиночной цепи.

После завершения чертежа схемы необходимо выполнить ее проверку. Часть возможных ошибок обнаруживается уже в процессе создания схемы. Но полный контроль может быть выполнен только для законченной схемы.

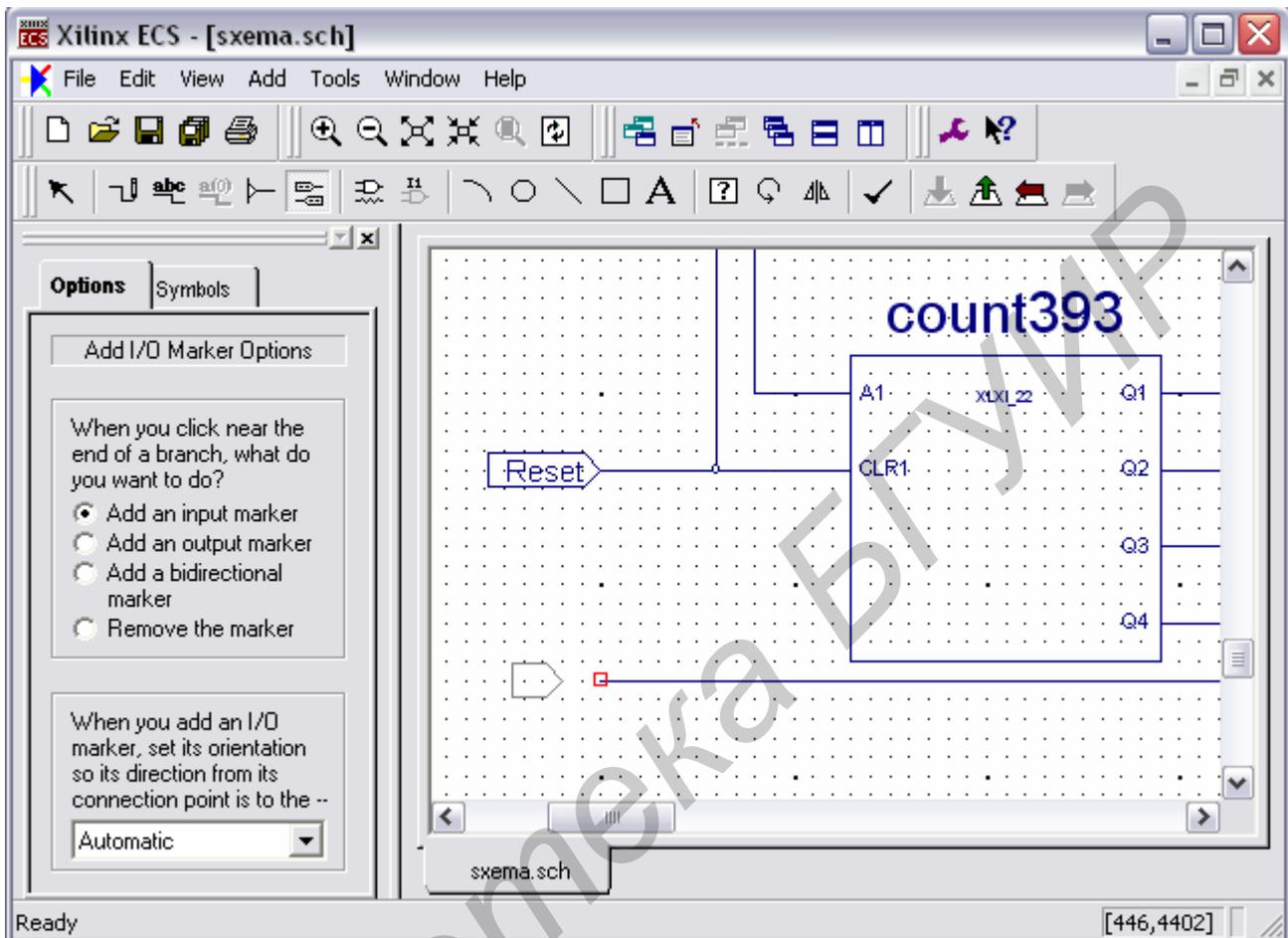


Рис. 3.10

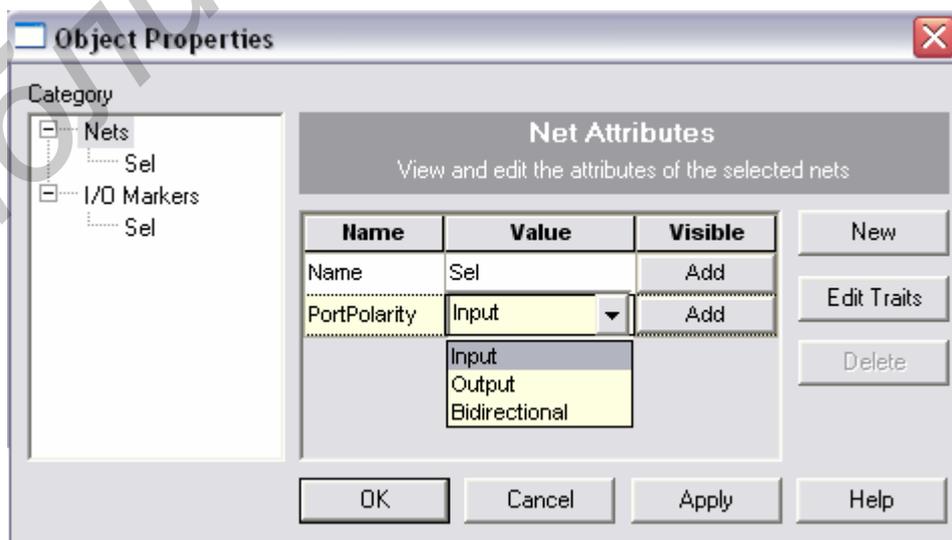


Рис. 3.11

Для проверки разработанной схемы предназначена команда Check Schematic, которая располагается в выпадающем меню Tools, а также кнопка  на инструментальной панели схмотехнического редактора. В процессе верификации осуществляется контроль целостности схемы и выполнения правил электрических соединений. На этом этапе выявляются такие ошибки, как неподключенные цепи, контакты и отводы шины, а также ошибки, возникающие при соединении выходов нескольких компонентов. После выполнения проверки открывается окно отчета, вид которого показан на рис. 3.12.

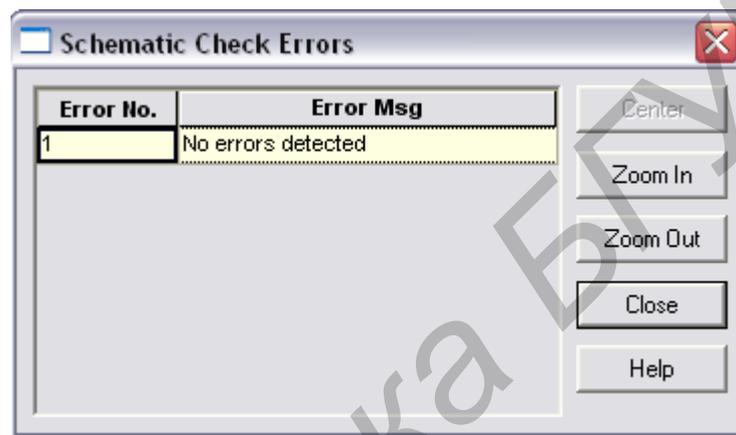


Рис. 3.12

Заключительным шагом в процессе разработки схемы является ее сохранение в виде файла на диске. Для этого следует использовать команду Save из всплывающего меню File или кнопку  на оперативной панели управления. Принципиальная схема цифрового устройства представлена на рис. 3.13.

3.4. Создание тестового модуля проекта в форме временных диаграмм

Для создания тестового модуля в виде временных диаграмм сигналов следует в качестве типа нового модуля в диалоговой панели, показанной на рис. 3.5, выбрать Test Bench Waveform. По окончании работы «мастера» подготовки тестового модуля автоматически производится запуск программы HDL Bencher, который сопровождается выводом на экран диалоговой панели выбора объекта, представленной на рис. 3.14.

В этой панели необходимо указать объект, для которого будут создаваться временные диаграммы. Чтобы сформировать временные диаграммы тестового

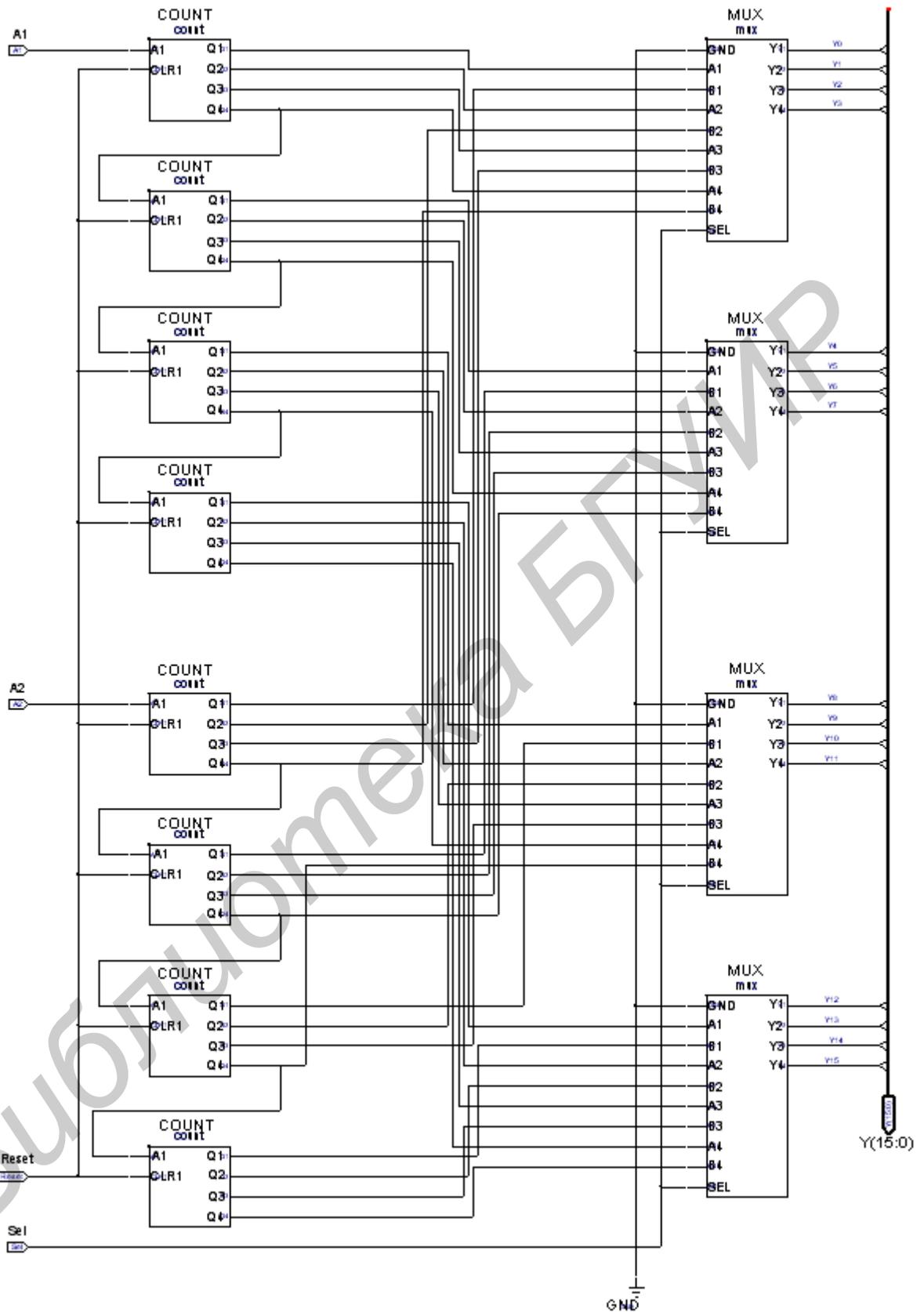


Рис. 3.13

вых сигналов для устройства в целом, нужно выбрать название исходного модуля, соответствующего верхнему уровню иерархии описания проекта. Выбор

объекта завершается нажатием клавиши ОК, после чего в рабочей области окна программы HDL Benchер отображаются заготовки временных диаграмм, в которых задаются входные сигналы. Основное окно программы генерации тестов HDL Benchер представлено на рис. 3.15.



Рис. 3.14

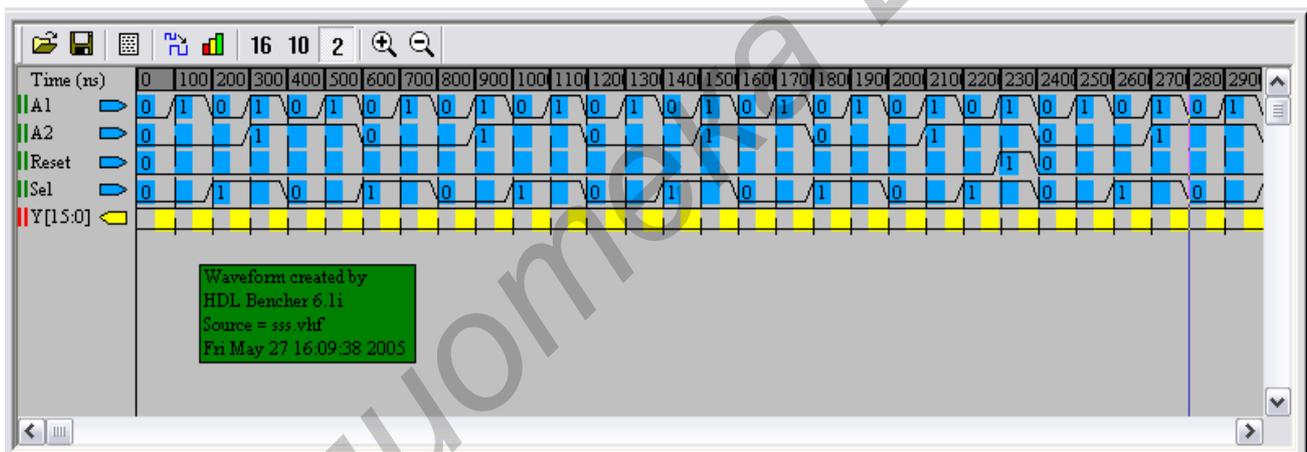


Рис. 3.15

Изменить значение сигнала в какой-либо момент времени можно несколькими способами. Чтобы переключить значение сигнала на противоположное (из состояния низкого логического уровня в высокое или наоборот), достаточно поместить курсор в требуемое место временной диаграммы и щелкнуть левой кнопкой мыши. Чтобы выбрать значение сигнала из списка возможных состояний, следует щелчком правой кнопки активизировать контекстно-зависимое всплывающее меню, в котором выбрать строку Set Value. В результате выполнения указанных действий на экран выводится диалоговая панель,

содержащая поле выбора значения сигнала (рис. 3.16). Для установки требуемого значения сигнала следует выбрать соответствующую строку, после чего подтвердить выбор нажатием кнопки ОК.

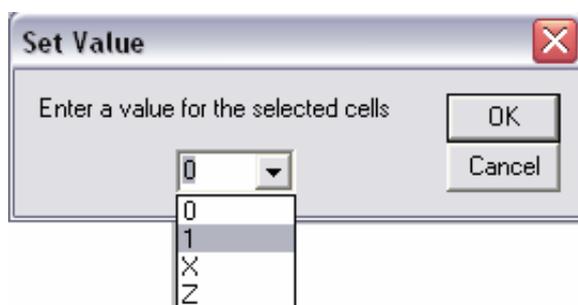


Рис. 3.16

На изображении временных диаграмм присутствует указатель конечной точки тестовой последовательности, положение которого устанавливается автоматически или «вручную». Выбор режима определения окончания тестового вектора осуществляется с помощью команды Configuration из всплывающего меню Options. По умолчанию используется автоматический режим, при котором указатель располагается в начале тактового интервала, следующего за моментом последнего изменения входных сигналов. При перемещении маркера с помощью мыши происходит переключение на «ручной» режим.

Завершив редактирование временных диаграмм тестовых сигналов, следует сохранить их. Если указатель окончания тестовой последовательности был установлен до момента последнего изменения входных или контроля формирования выходных сигналов, выводится панель предупреждения, в которой предлагается перенести маркер в соответствующую позицию.

3.5. Этапы моделирования цифровых устройств

После создания модулей исходного описания проекта генерируется поведенческая модель, которая позволяет выполнить их функциональную верификацию. На этой стадии проектирования отсутствует информация о значениях задержек распространения сигналов, поэтому при функциональном моделировании можно обнаружить только логические и синтаксические ошибки в опи-

сании разрабатываемого устройства. Таким образом, функциональное моделирование устройства позволяет выполнить предварительную верификацию проекта. На этом этапе фактически не учитываются временные характеристики и особенности архитектуры кристалла, на базе которого предполагается реализация проектируемой системы. Для функционального моделирования проекта используется библиотека UniSim Library, элементы которой имеют единичные задержки.

Процесс проектирования систем на базе кристаллов семейств CPLD включает в себя два этапа моделирования: функционального и полного временного. Все виды моделирования цифровых устройств, разрабатываемых в среде САПР WebPACK ISE, выполняются с помощью системы HDL-моделирования ModelSim.

По окончании формирования тестового файла следует выделить строку с его названием в окне исходных модулей Навигатора проекта. В результате в окне процессов отображается интерактивный список этапов моделирования проектируемого устройства. Содержание окна процедур в этом режиме определяется видом семейства ПЛИС, выбранного для реализации проекта, но независимо от типа используемого кристалла первым в списке является этап функционального моделирования.

Процесс функционального моделирования проекта активизируется двойным щелчком левой кнопки мыши на строке Simulate Behavioral VHDL Model в окне процессов Навигатора проекта. При этом средствами пакета WebPACK ISE автоматически создается пакетный файл, который содержит последовательность команд управления программой ModelSim, необходимых для проведения сеанса функционального моделирования проектируемого устройства. Далее автоматически производится запуск средств моделирования, сразу после инициализации которых выполняется этот командный файл. Информация о ходе выполнения пакетного файла отображается в консольной области основного окна программы ModelSim. На рис. 3.17 приведены результаты функционального моделирования проекта.

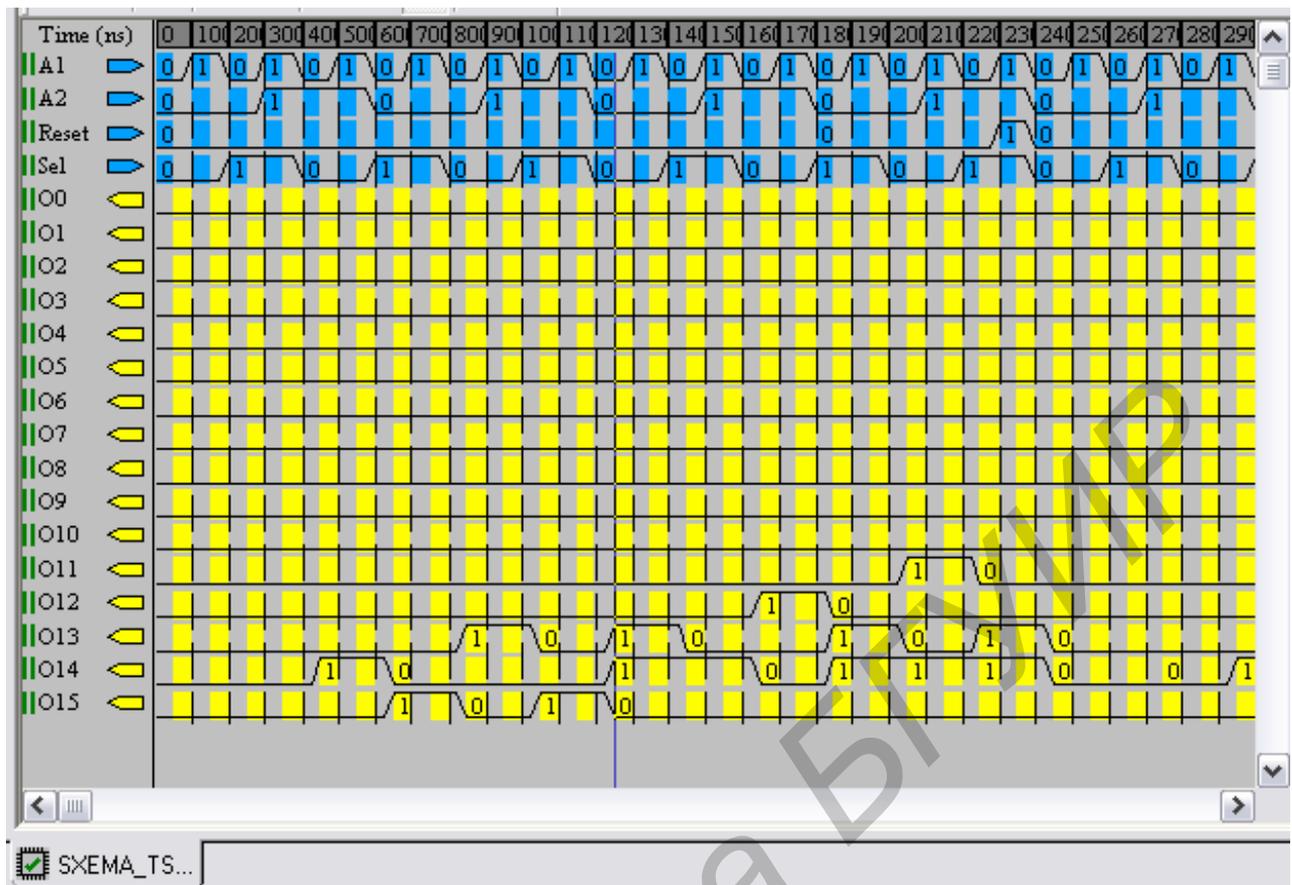


Рис. 3.17

Перемещение по временным диаграммам осуществляется с помощью элементов прокрутки, расположенных вдоль нижней и правой границ панели результатов моделирования в окне временных диаграмм. Кроме того, на оперативной панели имеются кнопки быстрого доступа, обеспечивающие перемещение курсора в предыдущую или следующую точку переключения выбранного сигнала.

Для измерения временных интервалов на диаграммах сигналов, полученных в результате моделирования, следует использовать дополнительные курсоры. Результаты моделирования, полученные в текущем сеансе, автоматически сохраняются в виде набора данных (dataset) с именем vsim в формате WLF (Wave log format).

4. Контрольные вопросы

1. Классы и семейства ПЛИС, выпускаемые фирмой Xilinx.
2. Основные параметры CPLD серии XC9500.
3. Основные отличия серии CoolRunner от серии CoolRunner-II.
4. Основные параметры FPGA серии Spartan.
5. Особенности FPGA серии Virtex.
6. Этапы разработки цифровых устройств в среде WebPACK ISE.
7. Группы модулей в структуре проекта WebPACK ISE.
8. В каком поле выбора указывается тип корпуса кристалла?
9. Перечислите способы изменения сигнала в данный момент времени.
10. С помощью какой программы осуществляется функциональное моделирование цифрового устройства.

Литература

1. Соловьев В.В., Васильев А.Г. Программируемые логические интегральные схемы и их применение. – Мн. : Беларуская навука, 1998. – 270 с.
2. Кнышев Д.А., Кузелин М.О. ПЛИС фирмы «Xilinx»: описание структуры основных семейств. – М. : Додека, 2001.
3. Зотов В.Ю., Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPACK ISE. – М. : Горячая линия – Телеком, 2003. – 624 с.
4. Угрюмов Е.П., Грушвицкий Р.И., Адышевский А.Н. БИС/СБИС с репрограммируемой структурой: Учеб. пособие. – СПб. : ГЭТУ, 1997.
5. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие. – СПб. : БХВ – Петербург, 2000. – 528 с.

Учебное издание

Прищеп Сергей Леонидович

**ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СХЕМ С ПОМОЩЬЮ САПР
WEBPACK ISE**

Учебно-методическое пособие
по курсу
«САПР цифровых устройств»
для студентов специальностей «Защита информации в телекоммуникациях» и
«Телекоммуникационные системы»
дневной формы обучения

Редактор Т.Н. Крюкова

Подписано в печать 18.05.2006.	Формат 60x84 1/16.	Бумага офсетная.
Гарнитура «Таймс».	Печать ризографическая.	Усл. печ. л. 3,37.
Уч.-изд. л. 2,2.	Тираж 100 экз.	Заказ 1.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131518 от 30.04.2004.
220013, Минск, П. Бровки, 6