

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра сетей и устройств телекоммуникаций

***ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ
КОММУТАЦИОННЫХ ПОЛЕЙ***

Методические указания к лабораторной работе
по курсу
«Системы коммутации»
для студентов специальности
«Сети телекоммуникаций»
всех форм обучения

Минск 2007

УДК 621.395.3 (075.8)
ББК 32.882 я 73
П 79

Составитель
С. М. Лапшин

П 79 **Проектирование** цифровых коммутационных полей : метод. указ. к лаб. раб. по курсу «Системы коммутации» для студ. спец. «Сети телекоммуникаций» всех форм обуч. / сост. С. М. Лапшин. – Минск : БГУИР, 2007. – 36 с. : ил.

Рассмотрена методика проектирования цифровых коммутационных полей с пространственной и временной коммутацией каналов. Приведены сведения о построении цифровых коммутационных полей некоторых современных цифровых систем коммутации. Приведены указания к выполнению лабораторной работы по изучению принципа функционирования пространственного коммутационного поля.

УДК 621.395.3(075.8)
ББК 32.882 я 73

© Лапшин С. М., составление, 2007
© УО «Белорусский государственный университет информатики и радиоэлектроники», 2007

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	4
1. ЦИФРОВАЯ КОММУТАЦИЯ КАНАЛОВ	5
2. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ПРОСТРАНСТВЕННОЙ КОММУТАЦИИ КАНАЛОВ	6
2.1. Функциональное описание коммутационного модуля	6
2.2. Метод синтеза регулярной структуры МПК с декомпозицией по выходам.	7
2.2.1. Одноканальная декомпозиция МПК	7
2.2.2. Многокаскадная декомпозиция МПК.	9
2.2.3. Примеры синтеза МПК.	10
2.3. Метод синтеза регулярной структуры МПК с декомпозицией по входам.	12
2.3.1. Однокаскадная декомпозиция МПК.	12
2.3.2. Многокаскадная декомпозиция МПК	13
2.3.3. Примеры синтеза МПК	13
3. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ВРЕМЕННОЙ КОММУТАЦИИ КАНАЛОВ.	15
3.1. Особенности временной коммутации цифровых каналов.	15
3.2. Режимы работы МВК.	16
3.3. Этапы структурного синтеза МВК.	18
3.3.1. Определение необходимого объема памяти.	18
3.3.2. Организация памяти.	18
3.3.3. Обеспечение временных параметров и быстродействия МВК.	21
3.3.4. Выбор способа ввода/вывода информации в память МВК	24
4. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ПРОСТРАНСТВЕННО- ВРЕМЕННОЙ КОММУТАЦИИ КАНАЛОВ.	25
4.1. Структурирование процесса цифровой коммутации каналов.	25
4.2. Методы структурного синтеза МПВК.	26
4.3. Коммутационный модуль системы ЭАТС-200.	27
4.4. Коммутационный модуль системы 12.	29
Лабораторная работа №4. Блок пространственной коммутации	34
ЛИТЕРАТУРА	36

ВВЕДЕНИЕ

Цифровые системы, используемые для коммутации речевой информации в режиме коммутации каналов, как правило, реализуют распределение информации путем преобразования координат сигналов и каналов, включаемых на входящую и исходящую стороны соответственно. В настоящее время базовыми координатами, по которым разделяются цифровые каналы, являются время и пространство. Это связано с тем, что группообразование каналов осуществляется на основе временного разделения, а в качестве метода кодирования используется импульсно-кодовая или дельта-модуляция. Учитывая, что временные каналы организуются в пространственно разнесенных трактах, цифровая коммутация принципиально должна реализовывать два типа преобразований: изменение временной координаты канала (соответственно сигнала) и пространственной координаты канала (соответственно сигнала). Реализация каждого типа преобразований осуществляется в отдельном функционально ориентированном модуле: цифровой коммутации каналов в пространстве, цифровой коммутации каналов во времени, гибридной коммутации цифровых каналов. Поэтому синтез всего цифрового коммутационного поля осуществляется путем синтеза соответствующих коммутационных модулей.

Задача синтеза каждого функционально ориентированного цифрового коммутационного модуля нетривиальна и представляет собой по существу задачу проектирования многовходового и многовыходного дискретного устройства. В свою очередь задача синтеза цифрового коммутационного поля на базе коммутационных модулей относится к классическим задачам оптимизации структурно сложных систем коммутации.

1. ЦИФРОВАЯ КОММУТАЦИЯ КАНАЛОВ

В цифровой системе коммутации каждый сигнал X_i передается по цифровому каналу k_i , принадлежащему определенному тракту R , т.е.

$$X_i \rightarrow k_i, k_i \in R, i = \{1, n\}. \quad (1)$$

Число каналов n в тракте определяется мощностью используемой системы передачи. В общем случае мощность входящих и исходящих цифровых трактов $n_{\text{пер}}$ не равна мощности внутростанционных цифровых трактов системы коммутации $n_{\text{ком}}$, причем возможны различные соотношения:

$$n_{\text{пер}} < n_{\text{ком}}, n_{\text{пер}} = n_{\text{ком}}, n_{\text{пер}} > n_{\text{ком}}, \quad (2)$$

которые определяются рядом факторов, в том числе обеспечением необходимых коммутационных возможностей системы.

Координаты каждого цифрового канала k_i как объекта коммутации определяются двумя координатами:

- временной, определяемой номером временного интервала t_i , отводимого каналу k_i в общем цикле передачи системы T ;
- пространственной, определяемой номером S_i цифрового тракта, которому принадлежит данный канал.

Таким образом, имеем векторное представление канала $k_i = \{S_i, t_i\}$ в двухкоординатном пространстве S и T (рис. 1).

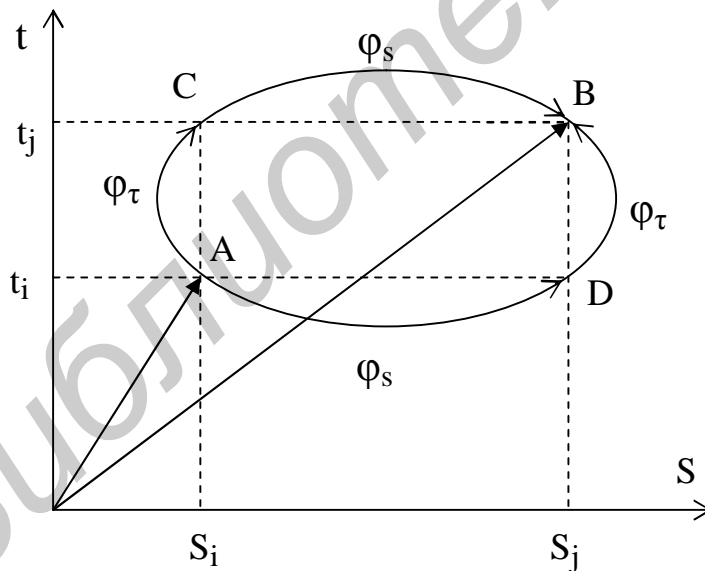


Рис. 1

Коммутация цифровых каналов – это процесс образования соединительного тракта в простейшем случае двух цифровых каналов:

$$k_i(S_i, t_i) \rightarrow \Phi \{k_j(S_j, t_j)\}. \quad (3)$$

Поскольку координаты S и T , определяющие цифровые каналы, ортогональны, процесс коммутации Φ разбивается на 2 класса процессов:

φ_s – преобразование пространственной координаты канала, т.е. пространственная коммутация;

φ_t – преобразование временной координаты канала, т.е. временная коммутация.

Последовательность процессов преобразования каждой координаты, а также число этапов преобразования каждого вида могут быть различны, но каждому из них соответствует определенный класс структур коммутационных полей. В табл. 1 приведены некоторые из них.

Таблица 1

Последовательность	Структура коммутационного поля
$L_1 = \{ \varphi_s, \varphi_t \}$	Пространство – время (S–T)
$L_2 = \{ \varphi_t, \varphi_s \}$	Время – пространство (T–S)
$L_4 = \{ \varphi_t, \varphi_s, \varphi_t \}$	Время – пространство – время (T–S–T)
$L_5 = \{ \varphi_s, \varphi_t, \varphi_s \}$	Пространство – время – пространство (S–T–S)

2. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ПРОСТРАНСТВЕННОЙ КОММУТАЦИИ КАНАЛОВ

2.1. Функциональное описание коммутационного модуля

Пусть имеем два канала $k_i(S_i, t_i)$ и $k_j(S_j, t_j)$. Пространственная коммутация этих каналов

$$k_i(S_i, t_i) \rightarrow \varphi_s \{k_j(S_j, t_j)\} \quad (4)$$

в силу ортогональности S и T имеет смысл, если $t_i = t_j$. Таким образом, пространственная коммутация цифровых каналов – это коммутация одноименных каналов различных трактов. Другими словами, пространственная коммутация цифровых каналов $k_i, k_l \in R(S_j) R(S_i)$ и $k_j, k_l \in R(S_i)$ сводится к коммутации цифровых трактов:

$$R(S_i) \rightarrow \varphi_s R(S_j) \text{ в интервале } t_i. \quad (5)$$

Следует отметить, что коммутация цифровых трактов может осуществляться в различных интервалах $t_i = \{1, C\}$, где C – мощность тракта, что будет соответствовать пространственной коммутации цифровых каналов k_i тракта $R(S_i)$ с одноименными по временным интервалам каналами k_j тракта $R(S_j)$.

Построим функциональное описание процесса коммутации. Пусть имеем N входящих и M исходящих цифровых трактов, мощность каждого из которых равна C каналам. Поставим в соответствие каждому тракту логическую переменную: входящему – X_i , исходящему – Z_j . Введем обобщенную переменную управления Q_{ij} , определяющую обобщенный адрес коммутируемых трактов. Тогда, если считать, что результатом пространственной коммутации

является прохождение сигнала по соединительному тракту от входящего к исходящему каналу, можно z_j рассматривать как функцию пространственной коммутации и представить ее в виде булева уравнения:

$$z_j = x_j \& a_{ij}. \quad (6)$$

Если для рассматриваемого коммутационного модуля на M входящих и N исходящих трактов выполняется условие полнодоступности, т.е. модуль может осуществлять коммутацию одноименных каналов любого входящего с любым исходящим трактом, то его функционально можно описать системой булевых функций:

$$G: \{z_j = x_j \& a_{ij}, i = 1, N; j = 1, M\}. \quad (7)$$

На основе системы (7) могут быть синтезированы различные структуры коммутационного модуля (рис. 2, а), однако наибольшее распространение получили регулярные структуры, образуемые при декомпозиции по выходам (рис. 2, б) и декомпозиции по входам (рис. 2, в). На рис. 2 приняты следующие обозначения: МПК – модуль пространственной коммутации, СМПК – submodule пространственной коммутации. Рассмотрим синтез этих структур.

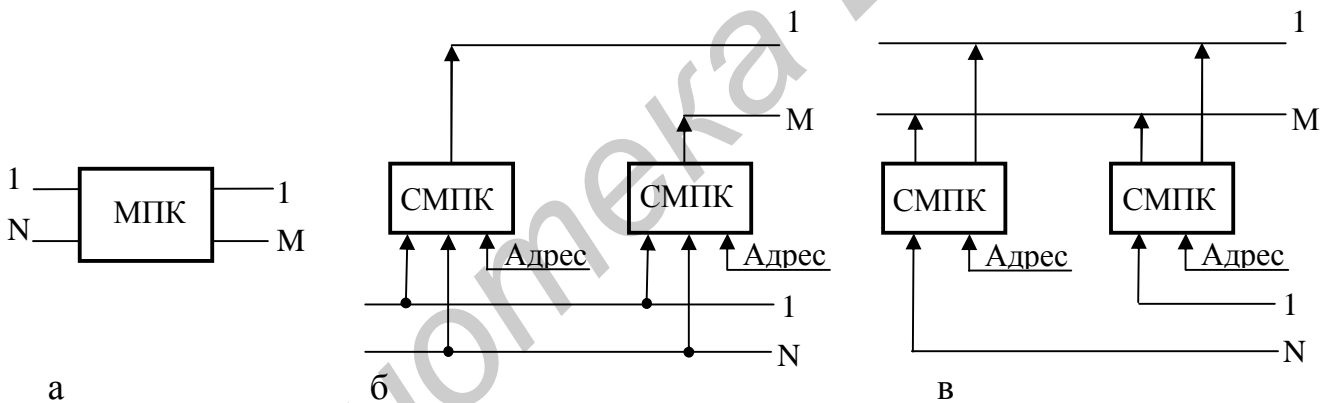


Рис. 2

2.2. Метод синтеза регулярной структуры МПК с декомпозицией по выходам

2.2.1. Одноканальная декомпозиция МПК

В этом случае множество булевых функций S разбивается на подмножества $G_j, j = 1, M$, так что в подмножество G_j входят только те функции z_j , которые помечены одноименным индексом j , т.е.

$$G_j: z_j = x_i \& a_{ij}, i = 1, N. \quad (8)$$

Поскольку коммутационный модуль обладает свойством полнодоступности, то подмножество G_j определяет компоненты обобщенной функции, соответствующей исходящему тракту:

$$Z_j = \bigvee_{i=1}^N x_i a_{ij}. \quad (9)$$

Это справедливо для любого тракта, следовательно, коммутационный модуль можно описать системой Н:

$$H: \{Z_j = \bigvee_{i=1}^N x_i a_{ij} \quad j = 1, M\}. \quad (10)$$

При декомпозиции по выходам переменная a_{ij} выступает в каждой СМПК в виде адреса входа (входящего тракта). Однако фактически при синтезе МПК этот адрес должен быть представлен совокупностью адресных переменных, значения которых определяются в результате кодирования.

Следует иметь в виду, что при кодировании адреса a_{ij} возможны различные подходы: общее кодирование по всему множеству $M \cdot N$ либо раздельное. В настоящее время получило распространение раздельное кодирование с ограничением, что обусловлено технологическими особенностями реализации управления коммутационным модулем. Поэтому для этого случая длина адреса u определяется как

$$u = \lceil \log_2 N \rceil. \quad (11)$$

Реализация МПК при декомпозиции по выходам наиболее эффективна при использовании мультиплексоров – избирательных схем типа $N \times 1$, осуществляющих коммутацию различных входных сигналов на один выход в соответствии с поступающим адресом. Мультиплексор в общем случае реализует функцию вида

$$Z_j = \bigvee_{i=1}^N x_i f_i(a), \quad (12)$$

где Z – выходная переменная, соответствующая выходу мультиплексора;

x_i – входная переменная (вход мультиплексора);

$f_i(a)$ – функция адреса i -го входа.

Функция $f_i(a)$ представляет собой конъюнкцию адресных переменных a_1, \dots, a_k , дополняемую иногда инверсией переменной S , соответствующей сигналу стробирования:

$$f_i(a) = S \& a_1^{\alpha_1} \dots a_k^{\alpha_k}, \quad \alpha_j \in \{0,1\}, j = 1, k. \quad (13)$$

Сопоставляя (12) и (10), видим их полную функциональную идентичность. Таким образом, универсальный элемент мультиплексор можно использовать для реализации МПК.

На рис. 3 приведена реализация МПК 16×16 на мультиплексорах К155КП3. Как видим, каждый мультиплексор реализует функцию

$$Z_j = \bigvee_{i=1}^{16} x_i f_i(a), \quad (14)$$

где $f_i(a) = s \& a_1^{\alpha 1i} \& a_2^{\alpha 2i} \& a_3^{\alpha 3i} \& a_4^{\alpha 4i}$.

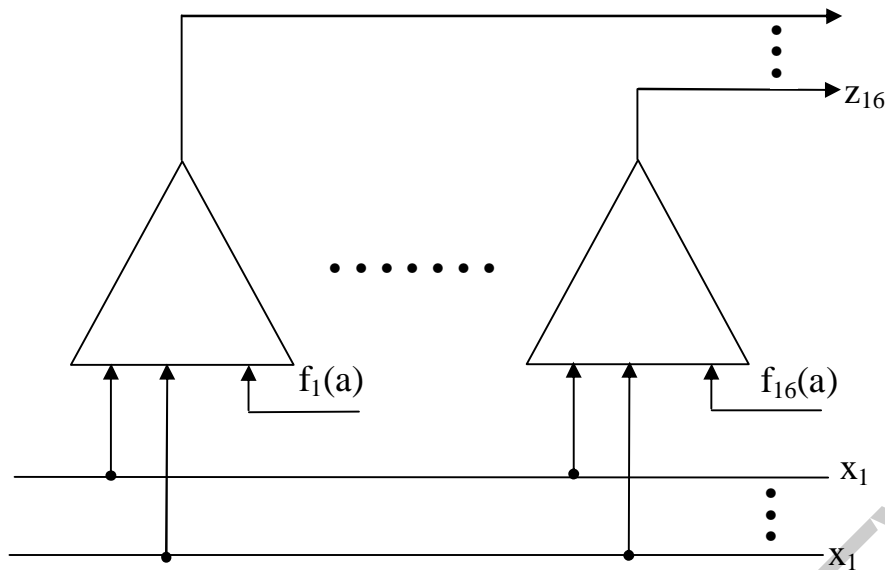


Рис. 3

Полученная структура МПК называется однокаскадной, поскольку каждая функция реализуется одним мультиплексором. Такая структура получается в том случае, когда число входящих трактов МПК N не превышает числа входов мультиплексора.

2.2.2. Многокаскадная декомпозиция МПК

Если это условие не выполняется, то осуществляется многокаскадная декомпозиция МПК. Вернемся к функции МПК:

$$Z_j = \bigvee_{i=1}^N (x_i \wedge \bigwedge_{k=1}^N a_k^{\alpha k}). \quad (15)$$

Пусть имеется в распоряжении один тип мультиплексора с параметрами (n, r) , где n – число его информационных, r – адресных входов. Тогда при определении числа необходимых каскадов следует исходить из соотношения $n^{q-1} \leq N \leq n^q$ или применительно к адресу

$$(q-1)r \leq k \leq qr. \quad (16)$$

Конъюнкция адресных переменных в (14) примет в этом случае вид

$$\varphi = \bigwedge_{k=1}^u a_k^{\alpha k} = \bigwedge_{l=1}^q \left(\bigwedge_{j=r}^r a_{jl}^{\alpha jl} \right). \quad (17)$$

Результирующая функция выхода z_j образуется как композиция функций отдельных каскадов:

$$Z_i = F_1 \cdot F_2 \cdot \dots \cdot F_q, \quad (18)$$

где
$$F_p = \bigwedge_{j=1}^r z_{p-1} \wedge a_{j,l}^{\alpha_{j,l}}, \quad p = \{1, q\}.$$

Таким образом, результирующая функция выхода для одного субмодуля МПК примет вид

$$z_j = \bigvee_{w=1}^N \left[\bigvee_{i=1}^t x_{i,w} (\bigwedge_{r,w} a_{i,l}^{\alpha_{j,l}}) \right] (\bigwedge_{r} a_{j,l}^{\alpha_{j,l}}). \quad (19)$$

Если в распоряжении проектировщика оказывается набор различных мультиплексоров, то решается задача оптимизации числа каскадов и числа элементов для их покрытия. Эта задача относится к классической задаче минимизации булевых функций.

2.2.3. Примеры синтеза МПК

Рассмотрим пример синтеза МПК с параметрами $N = 40$, $M = 40$. При декомпозиции по выходам имеем его функциональное описание:

$$\{z_j = x_1 a_{1,j} \vee x_2 a_{2,j} \dots \vee x_{40} a_{40,j}, \quad j = 1, 40\}.$$

Определим длину адресной конъюнкции a_{ij} , имея в виду различное кодирование: $u = \lceil \log_2 40 \rceil = 6$.

Пусть требуется реализовать этот МПК на мультиплексорах типа К155КП1 с параметрами $n = 16$, $r = 4$. Сначала определим необходимое число каскадов q : $16^{q-1} \leq 40 \leq 16^q \rightarrow q = 2$.

Строим разбиение функций F_p . Для этого сначала определим r :

$$x = \{x_1, \dots, x_p\} = \lceil N/n \rceil = \lceil 40/16 \rceil = 3.$$

Разбиваем множество входных переменных $x = \{x_1, \dots, x_{40}\}$ на подмножества мощностью не выше $n = 16$:

$$X_1 = \{x_1, \dots, x_{16}\},$$

$$X_2 = \{x_{17}, \dots, x_{32}\},$$

$$X_3 = \{x_{33}, \dots, x_{40}\}.$$

Теперь записываем функции F_p , $p = \{1, 2, 3\}$:

$$F_1 = \bigvee_{i=1}^{16} x_i \bigwedge_{l=1}^4 a_{i,l}^{\alpha_{i,l}},$$

$$F_2 = \bigvee_{i=17}^{32} x_i \bigwedge_{l=1}^4 a_{i,l}^{\alpha_{i,l}},$$

$$F_3 = \bigvee_{i=33}^{40} x_i \bigwedge_{l=1}^4 a_{i,l}^{\alpha_{i,l}}.$$

Строим композицию функций выхода одного субмодуля:

$$Z_j = \bigvee_{p=1}^3 F_p \bigwedge_{l=1}^4 a_{i,l}^{\alpha_{i,l}}.$$

На основе полученной функции строим реализацию МПК, как показано на рис. 4.

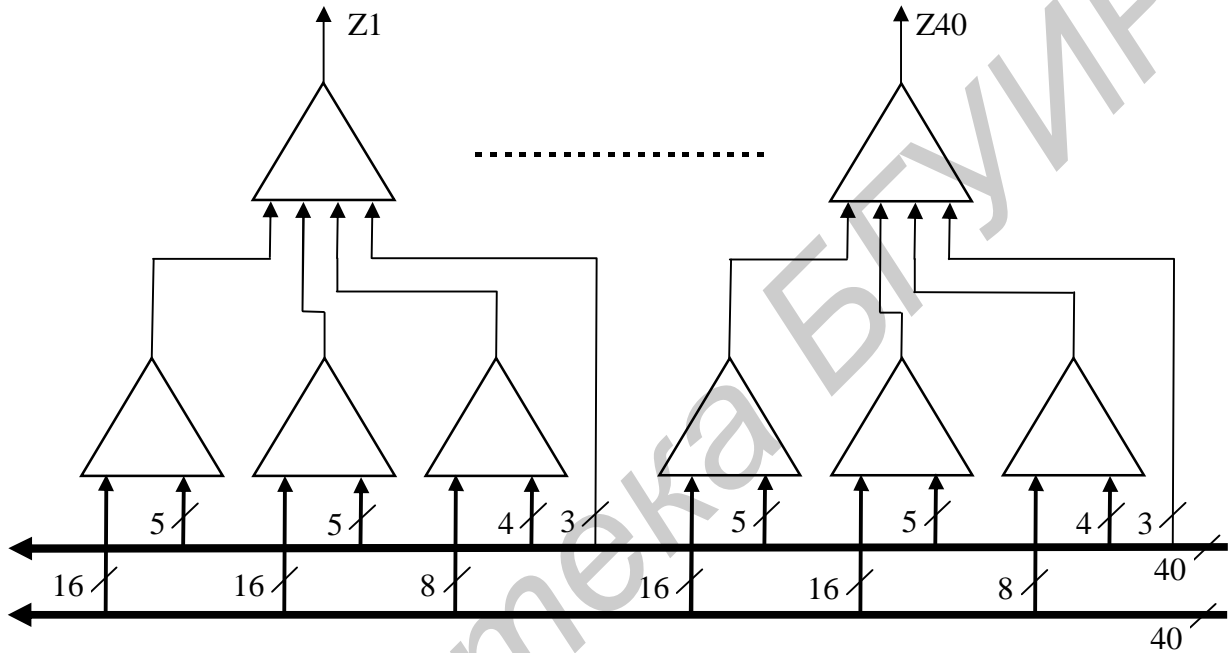


Рис. 4

В табл. 2 приведены некоторые типы мультиплексоров, которые могут быть использованы для построения МПК.

Таблица 2

Тип мультиплексора	Число коммутир. входов	Число адрес. входов
K155КП1	16	4+1
K555КП2 K531КП2 K561КП1	4X2	2+1
K155КП5 K155КП7 K561КП2	8	3+1

2.3. Метод синтеза регулярной структуры МПК с декомпозицией по входам

2.3.1. Однокаскадная декомпозиция МПК

В этом случае множество булевых функций G разбивается на подмножества B_i , $i = 1, N$ так, что в подмножество B_i входят только те функции Z , которые содержат входящую переменную X_i .

$$B_i : \{z_j = x_i \& a_{ij}, j = 1, M\} . \quad (20)$$

Для удобства промаркируем функции этого множества индексом i :

$$B_i : \{z_j^i = x_i \& a_{ij}\} . \quad (21)$$

Теперь можно построить композицию каждой функции выхода МПК:

$$Z_j = z_j^1 \vee z_j^2 \vee z_j^3 \dots \vee z_j^N, \quad j = 1, M . \quad (22)$$

Таким образом, каждое подмножество функций B_i определяет submodule с одним входящим трактом X_i и всеми исходящими трактами Z_j . Композиция (22) обеспечивает свойство полнодоступности модуля за счет объединения одноименных выходов разных submodule (см. рис. 2, в). Процедура синтеза при декомпозиции по входам аналогична рассмотренной выше. Здесь также используется раздельное кодирование и каждая функция подмножества B_i раскрывается в виде

$$z_j^i = x_i \bigwedge_{l=1}^V a_{ijl}^{\alpha_{ijl}}, \quad (23)$$

где $V = \lceil \log_2 M \rceil$.

Реализация МПК при декомпозиции по входам наиболее эффективна на демультиплексорах. Это избирательная схема $1 \times m$ с одним входом, сигналы с которого могут переключаться на один из m выходов в соответствии с поступающим адресом. Обозначим через X_i – вход, Z_1, \dots, Z_m – выходы, $f_j(a)$ адрес j -го выхода, тогда функционирование демультиплексора можно описать системами булевых функций P_i , $i = 1, n$:

$$P_i : \{z_j = x_i \& f_j(a)\} . \quad (24)$$

Сопоставляя (23) и (24), можно видеть, что выражения функционально идентичны. Следовательно, универсальный элемент «демультиплексор» можно использовать для синтеза МПК.

На рис. 5 приведена реализация МПК 16×16 на демультиплексорах. Как видим, каждый демультиплексор реализует функцию $z_i = x_i \& f_i(a)$.

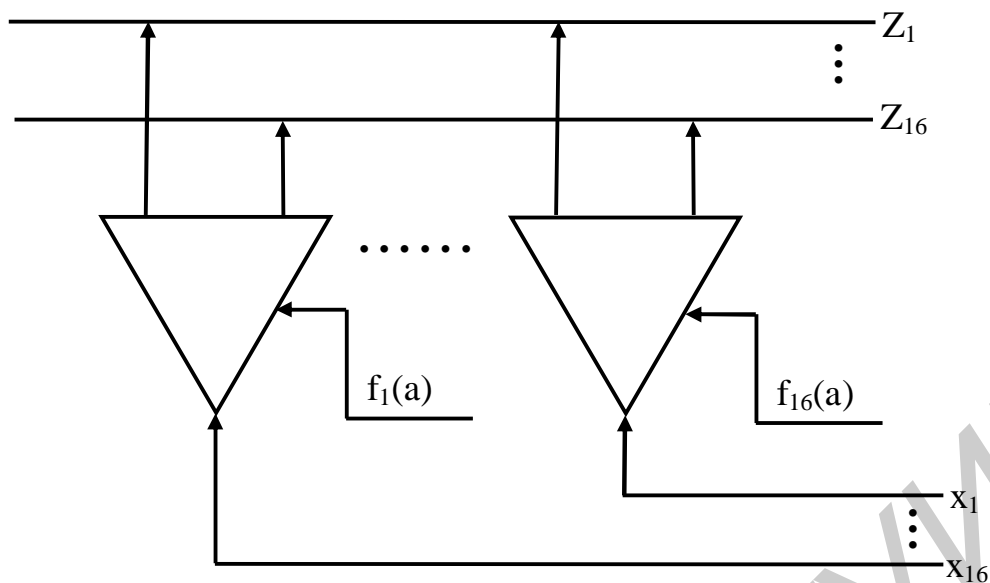


Рис. 5

Полученная структура называется однокаскадной, поскольку каждый submodule реализуется одним демультиплексором.

2.3.2. Многокаскадная декомпозиция МПК

Однако так же, как в случае декомпозиции по выходам, возможны ситуации, когда число исходящих трактов модуля больше числа коммутируемых выходов демультиплексора. В этом случае осуществляется многокаскадная декомпозиция МПК. Подход к ее осуществлению аналогичен рассмотренному выше, т.е. сначала определяется необходимое число каскадов q , исходя из соотношения M и m :

$$q = \lceil M/m \rceil .$$

В соответствии с полученным числом каскадов определяется разбиение множества выходов по множеству демультиплексоров. Затем строится композиция выходных функций и соответственно выходов на каждом каскаде.

2.3.3. Примеры синтеза МПК

Рассмотрим пример синтеза МПК с параметрами $N = 40$, $M = 46$. При декомпозиции по выходам имеем функциональное описание МПК в виде

$$\begin{array}{l}
 B_1 \left\{ \begin{array}{l} z_1^1 = x_1 \& a_{1,1} \\ z_2^1 = x_1 \& a_{1,2} \\ \cdot \\ \cdot \\ \cdot \\ z_{46}^1 = x_1 \& a_{1,46} \end{array} \right. \quad \dots \quad \begin{array}{l}
 B_{40} \left\{ \begin{array}{l} z_1^{40} = x_{40} \& a_{40,1} \\ z_2^{40} = x_{40} \& a_{40,2} \\ \cdot \\ \cdot \\ \cdot \\ z_{46}^{40} = x_{40} \& a_{40,46} \end{array} \right.
 \end{array}$$

Определяем длину адресной конъюнкции a_{ij} : $V = \lceil \log_2 46 \rceil = 6$.

Пусть требуется реализовать этот МПК на демультиплексорах типа К155ИД3 с параметрами $m = 16$, $r = 4$. Сначала определяем число каскадов q :

$$q = \lceil M/m \rceil = \lceil 46/16 \rceil = 3.$$

Затем строим разбиение множества выходов $Z = \{z_1, \dots, z_{46}\}$ на подмножества мощностью не выше $m = 16$: $Z_1 = \{z_1, \dots, z_{16}\}$, $Z_2 = \{z_{17}, \dots, z_{32}\}$, $Z_3 = \{z_{33}, \dots, z_{46}\}$.

Теперь расписываем функции по каскадам: Z_1 – первый каскад, Z_2 – второй каскад, Z_3 – третий каскад. Строим композицию функций одного субмодуля МПК:

$$F = \left\{ \begin{array}{l} z_1^1 = x_1 \& a_{1,1} \\ z_2^1 = x_1 \& a_{1,2} \\ \cdot \\ \cdot \\ \cdot \\ z_{16}^1 = x_1 \& a_{1,16} \end{array} \right\} \cdot \left\{ \begin{array}{l} z_{17}^1 = x_1 \& a_{1,17} \\ z_{18}^1 = x_1 \& a_{1,18} \\ \cdot \\ \cdot \\ \cdot \\ z_{32}^1 = x_1 \& a_{1,32} \end{array} \right\} \cdot \left\{ \begin{array}{l} z_{33}^1 = x_1 \& a_{1,33} \\ z_{34}^1 = x_1 \& a_{1,34} \\ \cdot \\ \cdot \\ \cdot \\ z_{46}^1 = x_1 \& a_{1,46} \end{array} \right\}.$$

На основе полученной композиции строим реализацию МПК, как показано на рис. 6.

В табл. 3 приведены некоторые типы демультиплексоров, которые можно использовать для синтеза МПК.

Таблица 3

Тип демультиплексора	Число коммутир. входов	Число адрес. входов
К155ИД3	16	4
К155ИД4	4X2	2

Здесь мы рассмотрели проблему синтеза МПК с точки зрения реализации процесса коммутации, не касаясь управления коммутацией, т.е. адресации и распределения. Это сложная проблема, которая требует отдельного изучения.

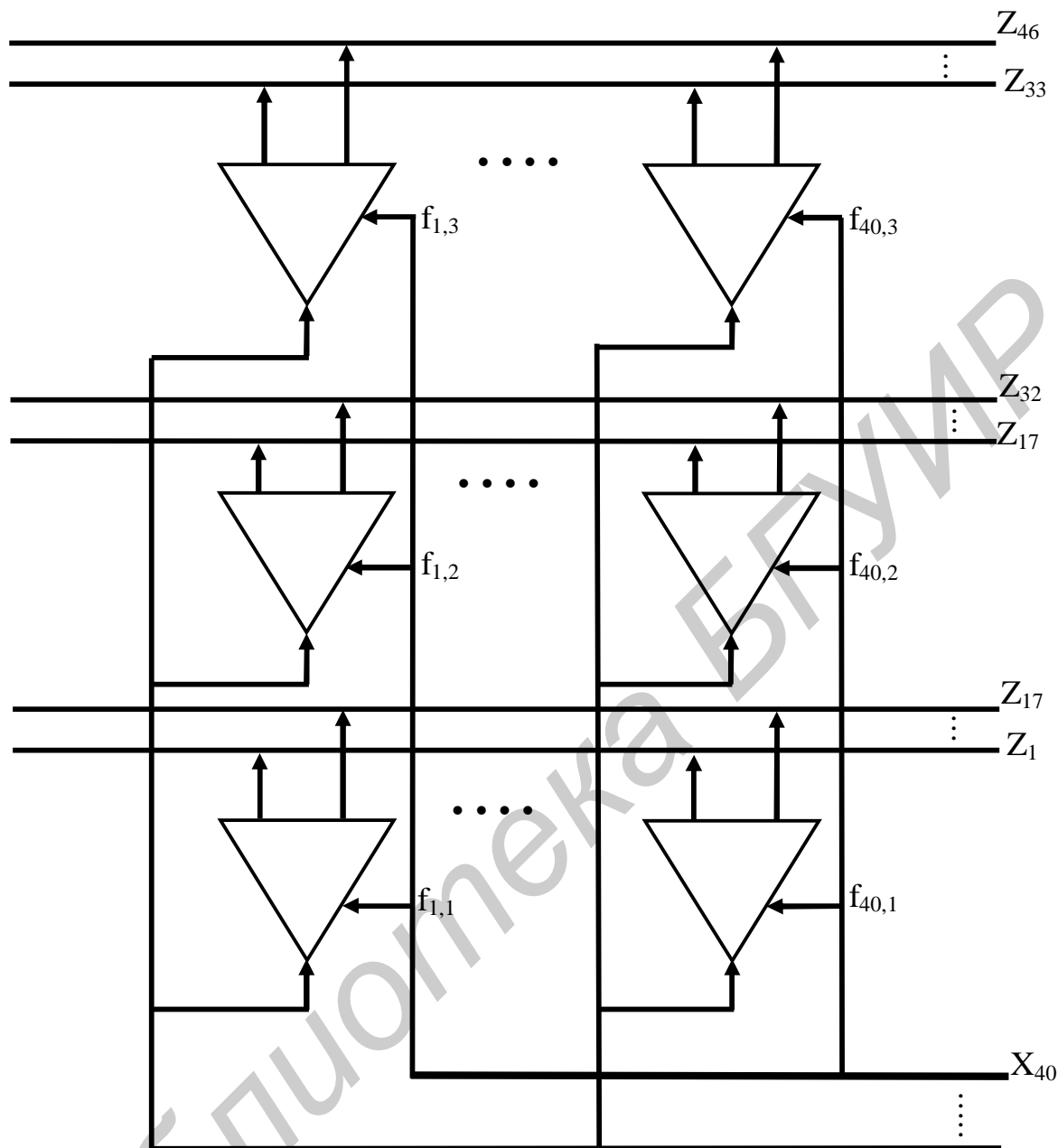


Рис. 6

3. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ВРЕМЕННОЙ КОММУТАЦИИ КАНАЛОВ

3.1. Особенности временной коммутации цифровых каналов

Коммутация цифровых каналов во времени состоит в обеспечении возможности передачи информации, поступающей в одном временном интервале t_i в течение другого временного интервала t_j . Поскольку моменты поступления и выдачи информации разнесены во времени, то процесс коммутации обязательно включает хранение информации в течение времени $\Delta t = t_j - t_i$. Согласно

принципам цифровой передачи и недопустимости потери информации это время не должно превышать длительности одного цикла системы $\Delta t \leq T_{ц}$. Коммутация цифровых каналов во времени выполняется в модуле временной коммутации (МВК), который при поступлении управляющей и адресной информации осуществляет коммутацию любого канала k_i , $i = 1, C_1$ входящего тракта с любым каналом k_j , $j = 1, C_2$ исходящего тракта (C_1, C_2 – соответственно число каналов входящего и исходящего трактов). На рис. 7 показано, как с помощью МВК информационный пакет канала k_i пересылается в канал k_j , и наоборот, пакет канала k_j пересылается в k_i . Поскольку в МВК осуществляется по существу обмен информацией коммутируемых каналов, то в зарубежной литературе МВК называют устройством обмена временных интервалов (Time Slot Interchange Unit).

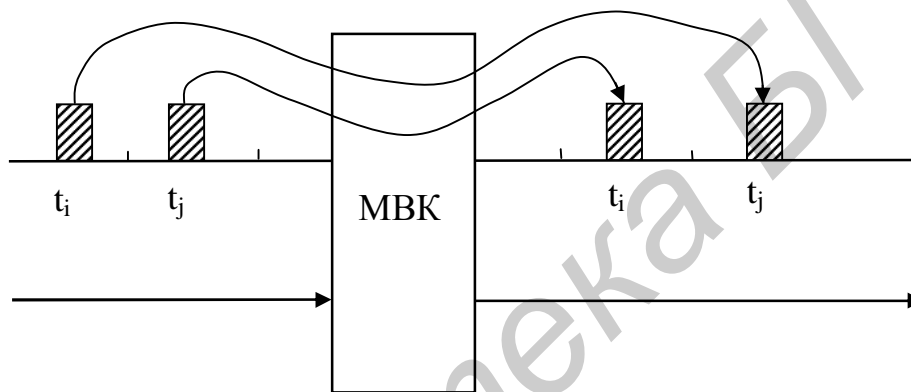


Рис. 7

Цифровые каналы организуются в четырехпроводных трактах передачи, поэтому следует иметь в виду, что при временной коммутации устанавливается полное дуплексное соединение, которое обеспечивает информационный обмен в обоих направлениях передачи.

3.2. Режимы работы МВК

Функция хранения информации в МВК современных цифровых систем коммутации реализуется с помощью запоминающего устройства с произвольным доступом к хранимым данным. Это ЗУ и соответственно МВК может работать в двух режимах: первый – последовательной (циклической) записи и произвольной выборки (ациклического чтения); второй – произвольной записи и последовательной выборки. Первый режим обозначают ($\rightarrow\downarrow$; $\downarrow\rightarrow$), второй – ($\rightarrow\uparrow$; $\uparrow\rightarrow$). В первом случае входящий цифровой тракт заводится на информационные шины (ШИ) МВК, и информация, поступающая по цифровым каналам, последовательно записывается в ячейки ЗУ, начиная с первой; при этом обычно номер ячейки соответствует номеру временного интервала в цикле системы

передачи, занимаемому цифровым каналом. Адреса записи A_3 поступают на шину адреса ША обычно от счетчика каналов.

При произвольной выборке реализуется обращение к определенной ячейке ЗУ, адрес A_y которой вычисляет управляющее устройство. Процесс временной коммутации канала k_i с каналом k_j протекает следующим образом. В режиме записи на ША от счетчика адресов в течение интервала t_i поступает адрес i -й ячейки, в которую записывается информация, передаваемая в канале k_i , а в течение t_j – адрес j -й, в которую записывается информация, передаваемая в канале k_j . В режиме чтения на ША из УУ в течение интервала t_i поступает адрес j -й ячейки и записанная в ней информация списывается в канал k_i . Аналогично в течение интервала t_j на ША из УУ поступает адрес i -й ячейки и записанная в ней информация списывается в канал k_j . Таким образом, осуществляется взаимный обмен информацией каналов k_i и k_j , т.е. устанавливается полное дуплексное соединение (рис. 8).

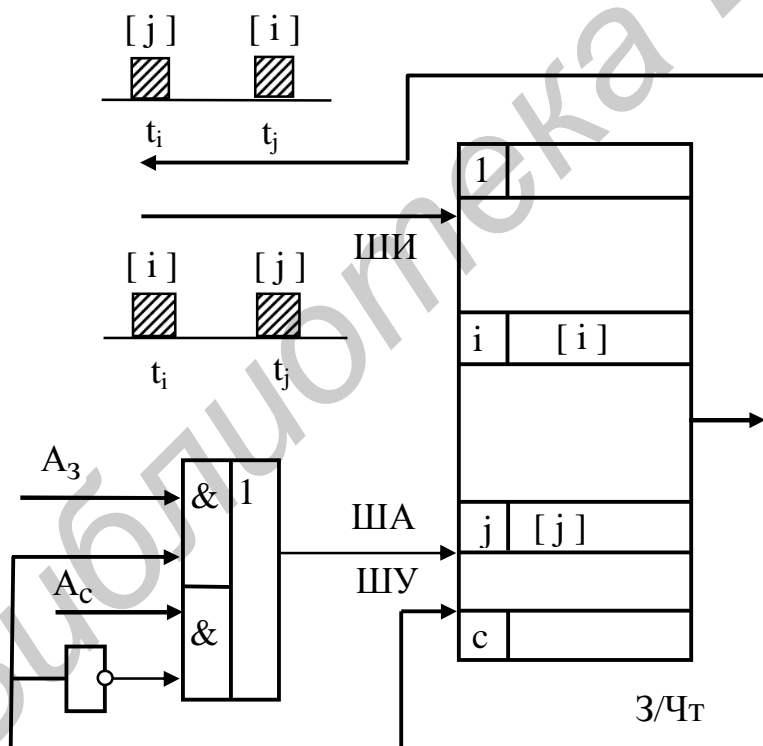


Рис. 8

В режиме $(\rightarrow \uparrow ; \downarrow \rightarrow)$ адреса записи вырабатываются управляющим устройством и информация, поступающая в следующих друг за другом каналах входящего тракта, записывается в общем случае не в последовательно расположенные ячейки, а в те, которые соответствуют коммутируемым каналам исходящего тракта. При чтении ЗУ адреса обращения формируются счетчиком и

содержимое всех ячеек памяти, начиная с первой, последовательно считывается в соответствующие по номеру каналы исходящего тракта. Процесс коммутации канала k_i и k_j протекает следующим образом. В режиме записи в течение интервала t_i на ША из УУ поступает адрес j -й ячейки, в которую записывается информация канала k_i . Соответственно в течение интервала t_j на ША поступает адрес i -й ячейки, в которую записывается информация канала k_j . При чтении информация j -й ячейки будет считана в интервале t_j , а i -й – в интервале t_i . Таким образом, устанавливается полное дуплексное соединение двух цифровых каналов.

Выбор режима работы ВК определяется на этапе проектирования.

3.3. Этапы структурного синтеза МВК

Реализация процесса временной коммутации цифровых каналов сводится к определению необходимого объема памяти, выбору типа ОЗУ из номенклатуры выпускаемых промышленностью, организации памяти, учету требований к быстродействию модуля, выбору способа ввода/вывода информации в память МВК.

3.3.1. Определение необходимого объема памяти

Определение необходимого объема памяти производят исходя из числа цифровых каналов, организуемых в тракте, длины кодового слова, передаваемого в одном канале, а также режима работы ШК. Если число каналов входящего и исходящего трактов C_1 и C_2 соответственно, то необходимый объем ЗУ (в битах)

в режиме ($\rightarrow\downarrow$; $\uparrow\rightarrow$): $V^* = C_1$ и в режиме ($\rightarrow\uparrow$; $\downarrow\rightarrow$): $V^{**} = C_2$.

Следует заметить, что в общем случае объем памяти можно определять исходя из максимальной мощности тракта передачи, имея в виду возможность реализаций любого режима. С другой стороны, это может оказаться целесообразным, если учесть, что в таком случае мы получаем возможность построения различных альтернативных решений при синтезе структуры коммутационного поля: введение концентрации или расширения, построение полностью или частично недоступной схемы и т.д.

Для иллюстрации приведем пример. Пусть требуется построить МВК без сжатия и расширения по полностью доступной схеме, который должен выполнять временную коммутацию каналов системы передачи ИКМ–120. Известно, что длина слова в канале ИКМ–120 $L = 8$. Мощность системы $C = 120$ информационных каналов, следовательно, необходимый объем памяти составит $V = 120 \times 8 = 960$ бит.

3.3.2. Организация памяти

На этом этапе решается задача построения ОЗУ МВК заданного объема на основе стандартных полупроводниковых ЗУ, выпускаемых промышленностью. В цифровых системах коммутации находят применение полупроводниковые ЗУ с произвольной выборкой различной емкости, начиная с ЗУ на элементах средней степени интеграции типа К155РУ2 16x4 до ЗУ на БИС – одно- и многокристальных. В системах используются как статические, так и динамические ЗУ. В статических ЗУ в качестве элементов памяти используются триггерные схемы различных типов, объединяемые в некоторую регулярную структуру, управляемую сигналом записи/считывания (З/С) и сигналом выбора кристалла (ВК). Чтение и запись информации происходит по адресу, поступающему в ЗУ по адресным шинам. Расшифровка адреса выполняется в дешифраторе, который обычно реализуется в том же кристалле, что и ЗУ. В современных динамических ЗУ в качестве элемента памяти используется емкость затвор–канал МОП-транзистора, которая при записи информации заряжается. Однако время хранения заряда невелико (порядка 10^{-3} с), поэтому требуется периодический ее подзаряд, т.е. регенерация записанной информации. Этот процесс выполняется под действием внешних тактовых импульсов, причем схемы регенерации могут быть как вынесенными, так и совмещенными на одном кристалле с матрицей памяти. При пропадании тактовых импульсов информация в ЗУ разрушается. Как известно, реализация элемента памяти в статическом ЗУ обходится вдвое дороже по количеству транзисторов, чем динамические ЗУ, которые к тому же обладают более высоким быстродействием и меньшей потребляемой мощностью (всего несколько мкВт/бит). Однако необходимость реализации схем регенерации в динамических ОЗУ обычно ограничивает эффективность использования их только для ЗУ большой емкости. Поэтому для ЗУ малой и средней емкости обычно используются статические ЗУ. Однако оба типа ЗУ обладают общим существенным недостатком – разрушением информации при отключении источников питания.

Каждое ЗУ имеет адресные шины ША, по которым поступает адрес ячейки памяти; входные информационные шины ШИ, по которым поступает информация для записи в память; выходные ШИ, по которым информация выдается из памяти, и сигналы управления: сигнал запись/считывание (З/С), определяющий режим работы ЗУ; сигнал выбора кристалла (ВК), используемый при организации нескольких блоков ЗУ, связанных общей выходной шиной, и

предназначенный для отключения в случае необходимости данного субблока ЗУ от общей шины. В динамическом ЗУ, кроме того, имеется управляющий сигнал синхронизации «СИНХ», который используется, во-первых, для заряда выходных емкостей перед чтением информации и, во-вторых, для синхронизации сигнала ВК.

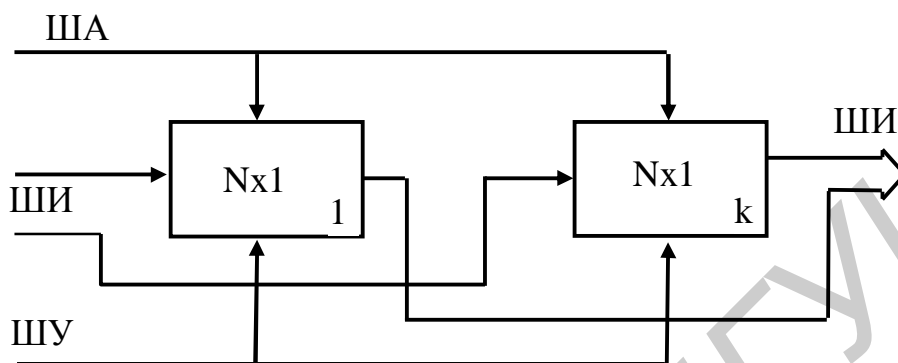


Рис. 9

В общем случае ЗУ может иметь несколько управляющих сигналов ВК, но при наличии одного ВК обращение к ЗУ происходит, если $ВК = 1$, и заблокировано, если $ВК = 0$. Сигнал $З/С$ – дуальный: если он присутствует, т.е. $З/С = 0$, то ЗУ находится в режиме записи; если нет, т.е. $З/С = 1$, то ЗУ находится в режиме считывания (хранения). В обоих режимах (записи и считывания) адресные сигналы подаются до поступления управляющих сигналов ВК и $З/С$. В табл. 4 приведены характеристики некоторых типов ОЗУ. Как видно, на одном БИС ЗУ реализуется некоторое конечное число однобитовых слов (от 0,25 К до 16 К), т.е. память имеет структуру $N \times 1$ бит. Поэтому для образования требуемой длины слова хранения необходимо выбрать число БИС, равное числу разрядов слова. На рис. 9 приведен пример организации памяти для случая хранения k -разрядного слова и общей емкости $(N \times k)$ бит. Совокупность k одноразрядных выходных шин данных всех БИС ЗУ образует k -разрядную шину данных системы памяти. Для реализации одновременного обращения ко всем k БИС ОЗУ ША и ШУ всех БИС запараллеливаются.

При построении БВК цифровых систем коммутации может возникнуть необходимость в построении ЗУ с числом слов, большим N . В этом случае используется страничная организация памяти. Каждый субблок системы $N \times k$ образует «страницу» памяти, к которой адресуются по шине ША, по которой поступает адрес страницы-субблока. Выборка требуемого слова памяти производится по адресу, поступающему на шины адреса ША каждого субблока. Для того чтобы отключить от общей шины ШИ невыбранные субблоки, используется сигнал выбора кристалла (ВК), который управляет трехстабильной

схемой ввода/вывода на каждом кристалле ЗУ, переводя ее в третье состояние, называемое состоянием разомкнутой цепи, или высокоимпедансным состоянием.

Таблица 4

Тип микро- схемы п/п ОЗУ	Технол огия	Информ ационна я емкость, слов x разрядов	Длина адресн ого слова, бит	Время обра- щения, нс	Напряж ение питания , В	Потребляемая мощность, мВт
K155PY5	ТТЛ	256x1	8	60	5	700
K188PY2A	ТТЛ	256x1	8	500	5	500
K176PY2	К-МОП	256x1	8	550		
K500PY410	ЭСЛ	256x1	8	25	-5, 2	750
K500PY415	ЭСЛ	1024x1	10	30	-5, 2	730
KP565PY2A	n-МОП	1024x1	10	400	12; 5; -5	300
K155PY1A	ТТЛ	2048x1	11	400	5	
KP565PJA	n-МОП	4096x1	12	200	12; 5; -5	3;0,25;0,125
K155PY1B	ТТЛ	4096x1	12	400	5	
KP54PY31	ЭСЛ	8192x1	13	150	5	550
KP541PY3	ЭСЛ	16384x1	14	150	5	550

3.3.3. Обеспечение временных параметров и быстродействия МВК

На этом этапе решается задача выбора необходимых средств и методов для обеспечения динамических характеристик МВК. В настоящее время существует ряд подходов к построению МВК, которые обусловлены различными возможностями разработчиков по использованию элементной базы. Одним из основных требований к ЗУ, на основе которых строится МВК, является время цикла (обращения) памяти, определяющее частоту работы ЗУ. Реализация процесса временной коммутации в МВК требует двух обращений к памяти в течение одного временного интервала для каждого входящего и исходящего канала. Следовательно, если цикл системы передачи равен $T_{ц}$, а число организованных в нем каналов C , то время обращения у ЗУ (длительность цикла памяти) $\tau \leq T_{ц} / 2C$. Это позволяет осуществить выбор требуемой БИС ЗУ для МВК, исходя из требований коммутации. С другой стороны, если известен цикл системы передачи $T_{ц}$ и задан тот ЗУ, то можно определить максимальное число каналов, которое может обслужить МВК при заданном быстродействии ЗУ – τ : $C \leq T_{ц} / 2\tau$.

Пусть, например, БВК должен осуществить коммутацию цифровых каналов, образованных на базе ИКМ, с временем цикла $T_{ц} = 125$ мкс, и для его построения используется ЗУ с временем обращения $\tau = 560$ нс, тогда определяем

$$C \leq T_{ц}/2\tau = 125/2 \cdot 0,5 = 125 \text{ каналов.}$$

Таким образом, БВК может обслужить 125 дуплексных каналов и установить 62 дуплексных соединения.

С другой стороны, если БВК должен обслуживать 480 цифровых каналов с $T_{ц} = 125$ мкс, то он может быть построен на ЗУ, у которого $T \leq T_{ц}/2C = 125/2 \cdot 480 = 130$ нс.

Например, для построения БВК можно выбрать БИС К500РУ415 1024x1 с временем цикла 30 нс или К155РУ5 256x1 с временем цикла 60 нс.

Как следует из вышерассмотренных примеров, требования к быстродействию БВК являются достаточно жесткими и для их удовлетворения необходимо либо выбирать соответствующую элементную базу с высокими показателями по быстродействию, либо применять структурные методы.

Одним из таких методов является метод двойной памяти, суть которого состоит в том, что для обеспечения непрерывного действия МВК его память удваивают, вводя два идентичных блока ЗУ; моменты записи и считывания в каждый блок разносят во времени так, что во время записи информации в один блок из другого ведут считывание.

При решении задачи структурного синтеза МВК в реальных цифровых системах коммутации чаще всего используют именно этот метод двойной памяти, что позволяет существенно снизить требования по быстродействию к элементной базе. Если учесть, например, что используемые на телефонных сетях системы АТСЭ–200 были разработаны в семидесятые годы, то, естественно, обеспечение требуемых временных параметров системы в части скорости коммутации достигалось за счет определенных аппаратных затрат.

На рис. 10 приведена функциональная схема МВК, построенная по методу двойной памяти. Она включает коммутаторы шин адреса КША1 и КША2, каждый из которых обеспечивает коммутацию адресных шин ОЗУ МВК с выходами A_c счетчика адресов при записи в ОЗУ и с выходами A_y периферийного управляющего устройства при считывании из ОЗУ.

Сигнал управления $З/С$ определяет работу пары идентичных ОЗУ. При его поступлении в ОЗУ1 начинается запись в него информации, передаваемой в цифровых каналах тракта передачи, заведенного на информационные шины (ШИ) в ОЗУ1 и ОЗУ2. Одновременно инверсия сигнала $З/С$ управляет считыванием из ОЗУ2 информации, которая была занесена в него в предыдущем цикле передачи. При изменении значения сигнала $З/С$ происходит соответствующее изменение режима работы ОЗУ1 и ОЗУ2: ОЗУ2 начинает накапливать информацию, поступающую в цифровых каналах входящего тракта передачи, а ОЗУ1 – считывать информацию в исходящий тракт. Очевидно, что для исключения потери информации при использовании метода двойной памяти

скорость переключения сигнала Z/C должна быть не меньше частоты следования циклов, т.е. $f_{z/c} \geq 1/T_{ц}$.

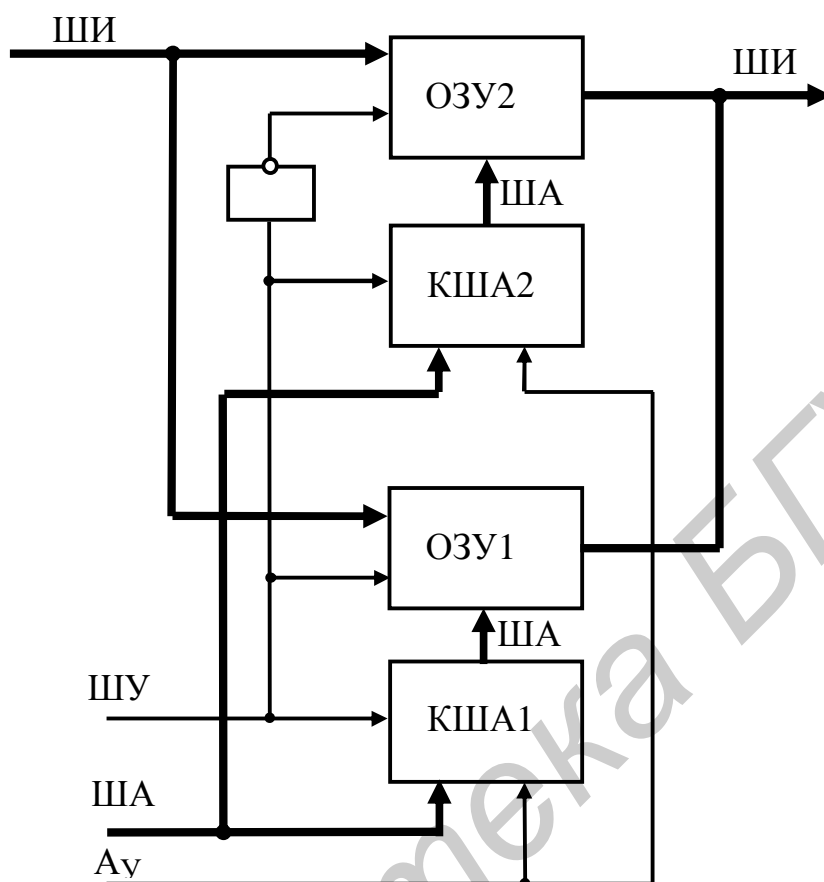


Рис. 10

Как видим, помимо снижения требований к быстродействию элементов использование метода двойной памяти позволяет:

- обеспечить простоту реализации МВК;
- довести скорость работы ОЗУ МВК до скорости, равной скорости цифрового потока системы передачи.

Эти возможности метода делают его привлекательным для разработчиков систем коммутации. Однако метод двойной памяти имеет ряд недостатков. Первый состоит в том, что при реализации МВК по такой схеме необходимо особое внимание уделять синхронизации работы ОЗУ, поскольку МВК поставлен в жесткие временные рамки.

Второй недостаток связан с тем, что коммутация в таком МВК сопровождается дополнительной задержкой информации: $\tau_{зад} \leq 2T_{ц}$.

И, наконец, третий недостаток связан с аппаратными затратами: удвоением минимально необходимого объема памяти.

Тем не менее метод двойной памяти получил распространение в цифровых системах коммутации.

3.3.4. Выбор способа ввода/вывода информации в память МВК

Информация, передаваемая по цифровым каналам, поступает на МВК в виде цифрового потока, при этом запись ее в память в общем случае можно осуществлять по мере поступления, если имеются соответствующие ресурсы с необходимым быстродействием. Однако, учитывая жесткие временные ограничения на работу МВК и возможности имеющейся элементной базы, чаще всего осуществляют переход из последовательной формы передачи информации в параллельную на входе МВК и обратное преобразование на выходе. Для реализации этого преобразования обычно используют сдвигающие регистры. Поскольку для накопления в регистре всей информации, поступающей в течение цикла в данном канале k_i , затрачивается весь интервал времени t_i , то, очевидно, считывание информации из регистра для последующей записи в ОЗУ МВК возможно только в следующий интервал времени t_j . Таким образом, последовательно-параллельное преобразование влечет за собой потерю времени передачи, т.е. задержку информации. Для ее компенсации обычно используют пару сдвигающих регистров и организуют их работу так, что пока идет запись и накопление информации в один, из другого идет в это время считывание.

Переход к использованию в цифровых системах коммутации БИС памяти со структурой $N \times 1$ привел к новым подходам к синтезу МВК, в том числе в части способа ввода-вывода информации в память. На рис. 11 приведена функциональная схема МВК на ОЗУ с однобитовыми ячейками, запись информации в которое осуществляется последовательно бит за битом по мере поступления цифрового потока. При таком подходе необходимость в последовательно-параллельном преобразовании сигналов, передаваемых по цифровым каналам, отпадает. Управляющий сигнал Z/C (по существу синхронизированная тактовая последовательность) открывает процесс записи информации из входящего цифрового информационного тракта во входной регистр RG_A . Под действием сигнала Z/C происходит запись информационного бита кодовой комбинации i -го канала входящего тракта в RG_A . Одновременно под действием этого же сигнала Z/C при условии поступления адресного сигнала A_y из периферийного управляющего устройства происходит считывание информации из ОЗУ и запись информационного бита кодовой комбинации j -го канала в RG_B . При изменении значения сигнала Z/C и при условии поступления адресного сигнала A_c из счетчика адресов в ОЗУ под действием инвертированного сигнала Z/C происходит перезапись того же бита из RG_A в ячейку памяти ОЗУ. Затем вновь при изменении значения сигнала Z/C происходит запись следующего бита кодовой комбинации i -го канала в RG_A и перезапись из ОЗУ в RG_B следующего бита j -го канала. Процесс коммутации продолжается аналогично для всех каналов тракта передачи.

Очевидно, при таком построении МВК и последовательном способе ввода информации частота переключения сигнала Z/C должна быть по крайней мере в 2 раза больше скорости следования информационных бит в тракте передачи:

$$f_{z/c} \geq 2/\tau_{\text{бит}}.$$

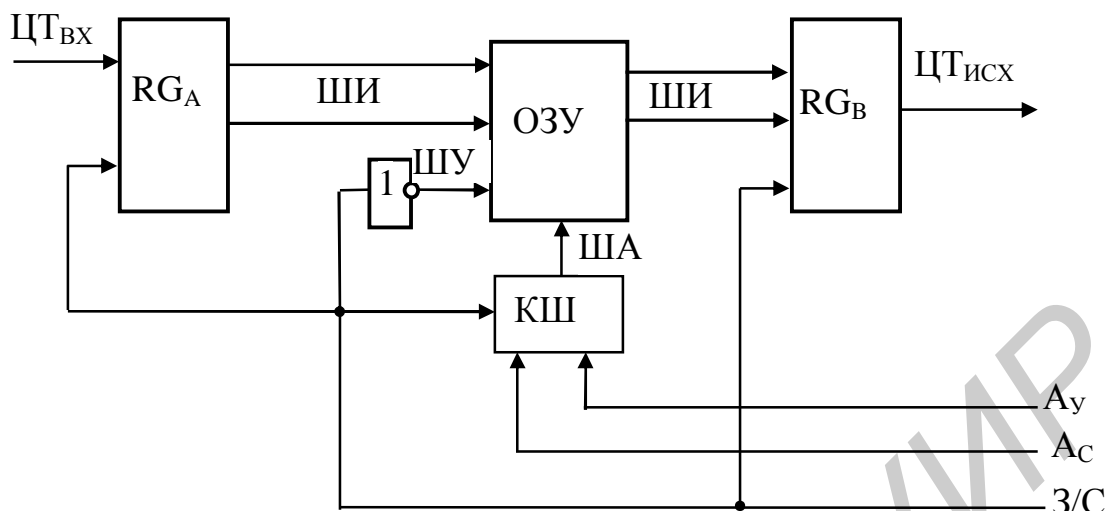


Рис. 11

Для примера, если цифровой тракт образован на базе системы передачи ИКМ-120 с общим числом каналов $C1 = 128$, то имеем (в упрощенном варианте):

$$T_{ц} = 125 \text{ мкс}, t_{\text{кан}} = T_{ц}/C1 = 125/126 = 0,98 = 980 \text{ нс},$$

$$\tau_{\text{бит}} = t_{\text{кан}}/n = 980/8 = 122 \text{ нс},$$

$$f_{3/с} \geq 16,39 \text{ МГц}.$$

Таким образом, последовательный способ ввода информации при использовании ОЗУ с однобитовыми ячейками позволяет обеспечить минимальную задержку информации и требует минимального объема памяти. Однако реализация МВК по такой схеме, как можно ожидать, окажется достаточно сложной, при этом временной режим МВК становится более жестким, поскольку требуемая скорость работы ОЗУ должна превышать скорость цифрового потока по крайней мере в 2 раза. Это существенно увеличивает требования по быстродействию к используемой элементной базе.

4. СИНТЕЗ ЦИФРОВОГО МОДУЛЯ ПРОСТРАНСТВЕННО-ВРЕМЕННОЙ КОММУТАЦИИ КАНАЛОВ

4.1. Структурирование процесса цифровой коммутации каналов

Рассмотренные ранее процессы коммутации предполагали для своей реализации разделение блока пространственной и временной коммутации цифровых каналов. Однако теоретически была доказана эффективность комбинированной коммутации и создания универсальных модулей пространственно-временной коммутации МПВК. Реализация этого стала возможной лишь с созданием более современной технологии, которая позволяет строить не только универсальные, но и специализированные БИС, в том числе и с настраиваемой структурой, в настоящее время существуют различные способы

структурирования процесса пространственно-временной коммутации, каждый из которых определяет метод синтеза модуля МПВК.

Рассмотрим процесс коммутации на примере. Пусть требуется скомутировать два канала k_i и k_j :

$$k_i(S_1^{BX}, t_i) \text{ " } \Phi k_j(S_M^{ИСХ}, t_j),$$

где $i = 1, C_1; j = 1, C_2; S_1, S_M \in S; t_i, t_j \in T$.

Распишем процесс коммутации для каждого варианта структуры.

$$1. \Phi = \varphi_S \varphi_T,$$

$$k_i(S_1^{BX}, t_i) \text{ " } \varphi_S k_j(S_M^{ПЛ}, t_j);$$

$$k_j(S_1^{ПЛ}, t_j) \text{ " } \varphi_T k_j(S_M^{ИСХ}, t_j).$$

$$2. \Phi = \varphi_T \varphi_S,$$

$$k_i(S_1^{BX}, t_i) \text{ " } \varphi_T k_j(S_1^{ПЛ}, t_j);$$

$$k_j(S_1^{ПЛ}, t_j) \text{ " } \varphi_S k_j(S_M^{ИСХ}, t_j).$$

Комбинирующая коммутация осуществляется путем двойного эквивалентного преобразования (фиксированного): пространственной координаты $S_i \in S$ в дополнительную временную $t_{gi} \in T_g$, т.е. преобразование φ_{S-T} и обратное преобразование φ_{T-S} . При этом выполняется однозначное соответствие:

$$S_i \leftrightarrow t_{gi}, S \leftrightarrow T_g.$$

Тогда процесс коммутации протекает так:

$$\Phi = \varphi_{S-T}^0 \varphi_{T-S}^0;$$

$$k_i(S_1^{BX}, t_i) \text{ " } \varphi_{S-T}^0 k_{II}(t_{gI}^{BX}, t_j);$$

$$k_{II}(t_{gI}^{BX}, t_j) \text{ " } \varphi_T k_M(t_{gM}^{ИСХ}, t_j);$$

$$k_i(t_{gM}^{ИСХ}, t_j) \text{ " } \varphi_{T-S}^0 k_j(S_M^{ИСХ}, t_j).$$

Легко заметить, что фиксированное преобразование процесс φ_{S-T}^0 описывает процесс мультиплексирования (каналообразования в соединительном тракте), а преобразование φ_{T-S}^0 – процесс демultipлексирования.

4.2. Методы структурного синтеза МПВК

Методы структурного синтеза модуля пространственно-временной коммутации цифровых каналов определяются во многом возможностями технологии. При построении МПВК на базе универсальных ИС средней и большой степени интеграции все преобразования (во времени, в пространстве, параллельно-последовательное и обратное, мультиплексирование и демultipлексирование) выполняется в отдельных функциональных узлах, объединяемых в схему в соответствии с реализуемым процессом.

На рис. 12 приведены три базовые структуры МПВК, которые положены в основу коммутационных модулей цифровых систем коммутации. Первая структура реализует последовательность (S–T), вторая (T– S), третья {(S/T) T (T/ S)}. Каждая из них в той или иной модификации нашла применение в конкретных системах. Рассмотрим некоторые из них.

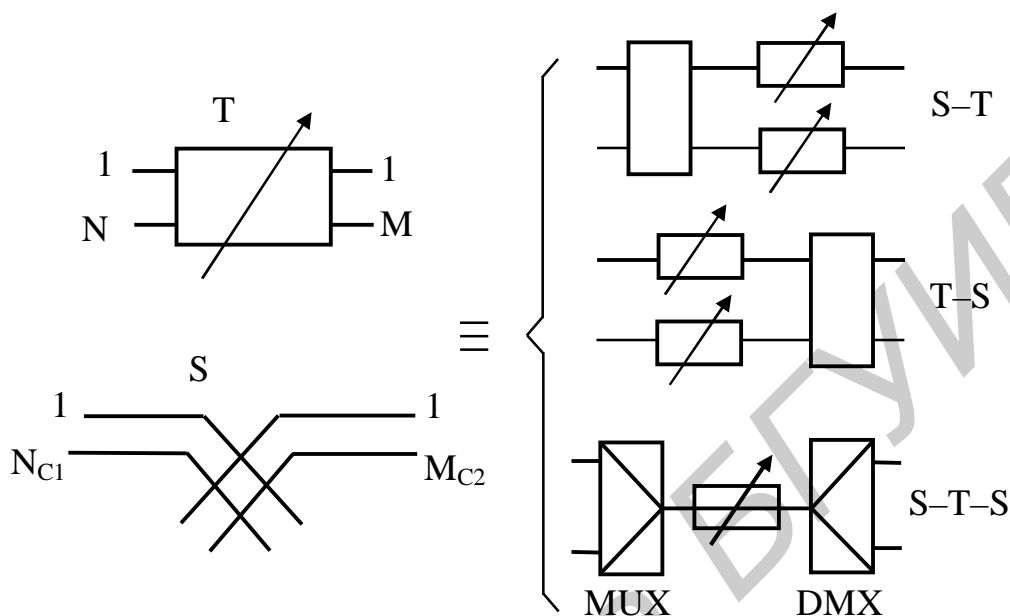


Рис. 12

4.3. Коммутационный модуль системы ЭАТС-200

Модуль реализует процесс $\Phi = \varphi_t \varphi_s$ на множестве цифровых каналов $N = 1024$, образованных в $n = 32$ цифровых трактов ИКМ по 32 канала в каждом. Учитывая уровень технологии на этапе разработки системы ЭАТС-200, был принят параллельный способ ввода информации в ОЗУ, поэтому на входе и выходе модуля устанавливаются устройства последовательно-параллельного и параллельно-последовательного преобразования соответственно. Их введение, как мы уже отмечали при синтезе МВК, позволяет, с одной стороны, снизить требования к быстродействию элементной базы, а с другой стороны, обеспечить приемлемую скорость коммутационных процессов при временном преобразовании.

Рассмотрим реализацию коммутационных процессов в модуле: временное преобразование φ_t осуществляется в памяти – ОЗУ, пространственное φ_s – физическим разделением выходов в пространстве.

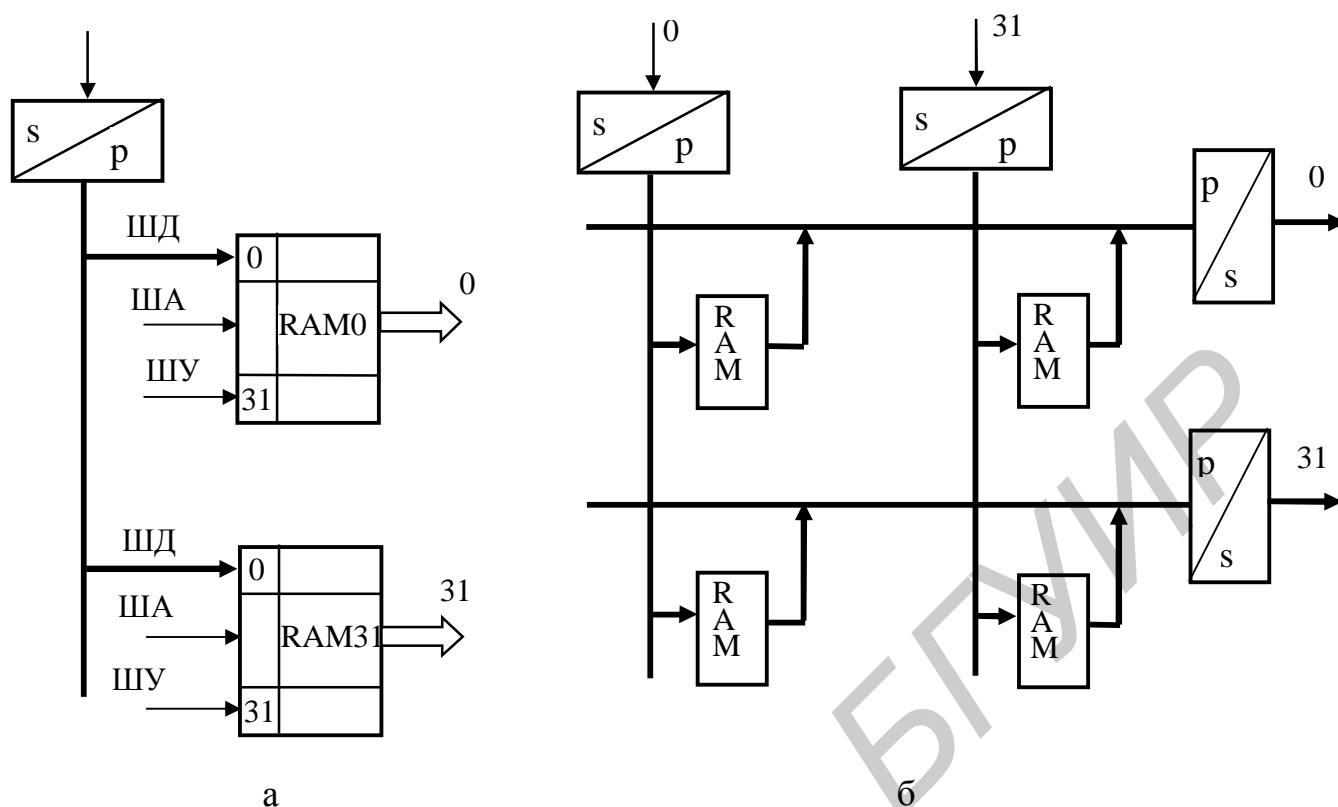


Рис. 13

На рис. 13, а иллюстрируется принцип построения компоненты модуля для одного входящего тракта. Как видим, каждый исходящий тракт связан с одним ОЗУ, поэтому для 32 трактов введено 32 ОЗУ. В модуле выбран режим работы ОЗУ – ($\rightarrow\downarrow$; $\uparrow\rightarrow$). Поэтому технологически процесс строится следующим образом. В течение каждого цикла передачи $T_{ц}$ информация всех каналов тракта передачи записывается последовательно в одноименные ячейки всех 32 ОЗУ. Таким образом, частота обновления или подтверждения информации в памяти определяется циклом передачи и составляет для данного случая 8 кГц. Поэтому иногда информационный блок цикла называют 8-килогерцевым блоком. Управление коммутацией сводится к выбору соответствующего требованию ОЗУ – пространственная коммутация входящего тракта с исходящим, и выбору ячейки выбранного ОЗУ для считывания информации – временная коммутация цифровых каналов в скоммутированных трактах.

При построении МПВК в системе АТСЭ-200 используется метод двойной памяти, т.е. ОЗУ выполняется на двух идентичных параллельных схемах. Это позволяет использовать элементы памяти, в которых тактовая частота находится в пределах 8 МГц. Если учесть период разработки системы и имеющиеся пределы допустимого быстродействия элементной базы того времени – тактовая частота до 10 МГц, то такое решение в построении МПВК становится вполне понятным. Модуль набирается из 32 компонент 1x32, как показано на рис. 13, б, путем объединения одноименных выходов. Для того чтобы скоммутировать

канал $k_iЦТ_1$ с каналом $k_jЦТ_{32}$, необходимо установить полное дуплексное соединение, т.е.

$$k_iЦТ_1 \text{ " } k_jЦТ_{32}, \quad k_jЦТ_{32} \text{ " } k_iЦТ_1.$$

Следовательно, пропускная способность коммутационного модуля составляет максимум 16 соединений.

Модуль МПВК 32x32 является базовым модулем системы АТСЭ-200. На его основе строятся ступени искания системы емкостью 96x96; 128x128; 256x256 цифровых трактов. Построение осуществляется стандартным запараллеливанием входов и выходов МПВК, число которых выбирается в зависимости от требуемой емкости. Структуры получаются неэкономичными в силу квадратичной зависимости объёма оборудования от емкости системы. Например, если требуется построить коммутационный блок 64x64, т.е. увеличить емкость модуля вдвое, то для этого потребуется четыре модуля 32x32, т.е. четырехкратное увеличение оборудования (рис. 14).

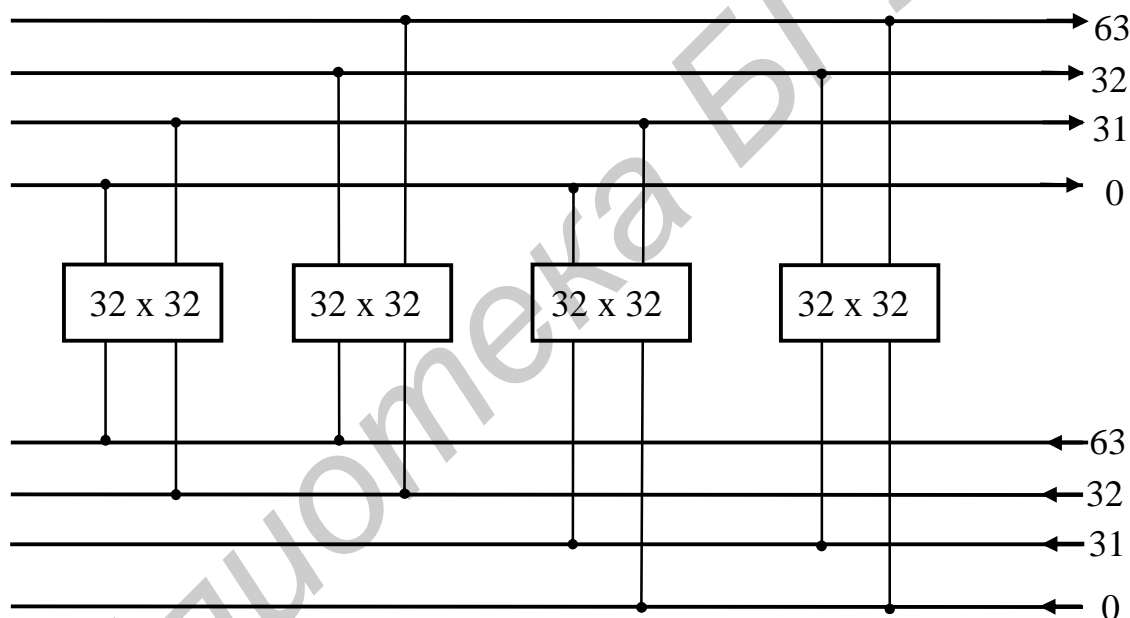


Рис. 14

4.4. Коммутационный модуль системы 12

В общем случае модуль реализует пространственно-временную коммутацию 512 цифровых каналов максимум 16 цифровых трактов, каждый на 32 канала. Уровень технологии на период разработки определил подход к построению МПВК из стандартных блоков, представляющих собой каждый двусторонний коммутационный порт, причем один порт служит для подключения одного ИКМ-тракта. Таким образом, блок имеет параметры 2x2. На рис. 15 показана структура блока и модуля. Как видим, модуль МПВК системы 12 состоит из 16 идентичных двусторонних коммутационных портов P_i , $i = 0, 15$, и общей магистрали – системы шин, с которой соединены все порты и через которые осуществляется их взаимодействие.

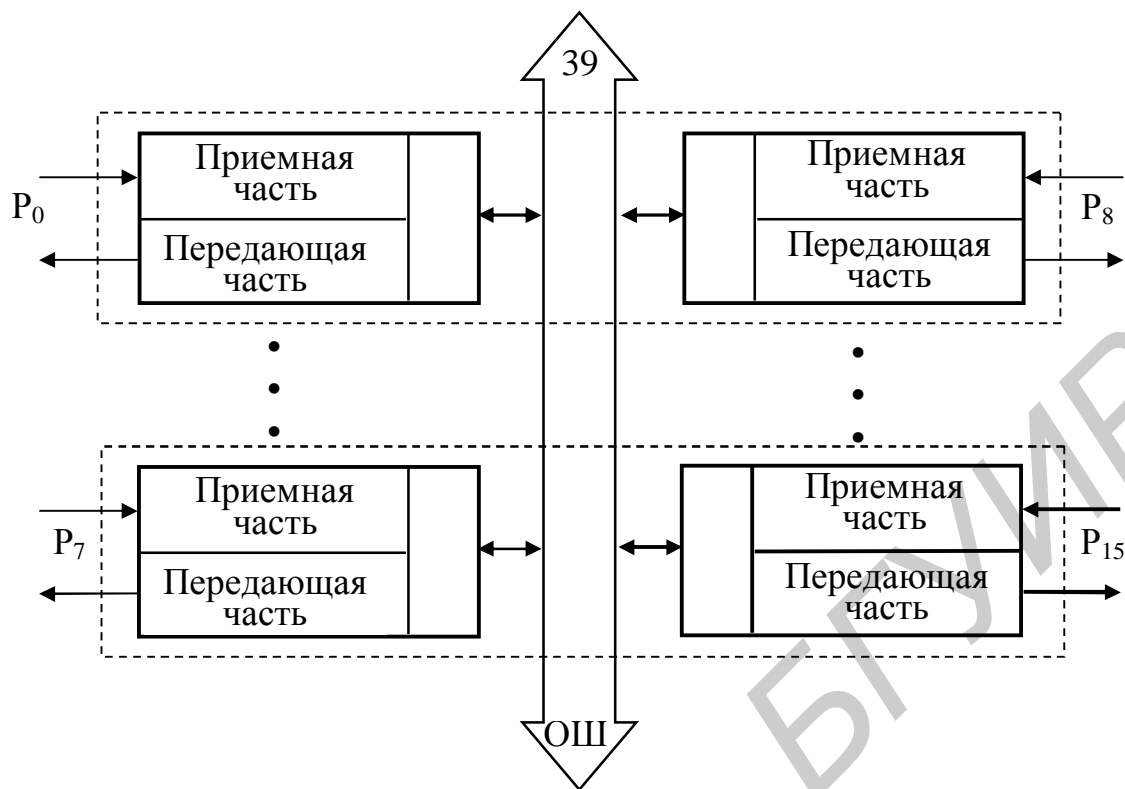


Рис. 15

Каждая пара портов P_i и P_{i+7} образует один блок, а 8 блоков, подключенных к общей магистрали, образуют 16-портовый МПВК. Особенностью МПВК системы 12 является то, что на порт заводится цифровой тракт ИКМ на 32 канала, но длина канального слова равна двум байтам, т.е. вдвое больше длины канального слова системы передачи ИКМ 30/32. Поэтому скорость цифрового потока в модуле системы 12 составляет 4096 Кбит/с, а не 2048 Кбит/с, как в системе ИКМ 30/32.

Технологически каждый блок оформлен в виде БИС, которая является не универсальной, а заказной – специализированной коммутационной БИС. Полный модуль системы 12 на 16 портов занимает одну плату, на которой размещаются 8 блоков (БИС).

Особенностью МПВК системы 12 является возможность реализации на его основе коммутационных матриц с различными параметрами n входов и m выходов, но с соблюдением условия $n \leq 16$, $m \leq 16$, $n + m \leq 16$.

Теперь остановимся на характере процесса коммутации в МПВК и особенностях его реализации. Как мы отмечали, МПВК реализует пространственно-временную коммутацию каналов, но процесс коммутации имеет вид $\Phi_{s-t}\Phi_{t-s}\Phi_t$. Следовательно, имеет место преобразование пространственной координаты во временную. Рассмотрим этот вопрос

подробнее. Поскольку каждый цифровой тракт подключен к определенному порту, то этап пространственной коммутации сводится к коммутации портов. Поскольку все порты связаны между собой общей магистралью, то, очевидно, именно с ее помощью и реализуется этот этап. Общая магистраль представляет собой систему шин шести типов, общей проводностью 39: шина данных – проводность 16, шина адреса канала – 5, шина адреса порта – 4, шина подтверждения – 5, шина управления – 6, шина синхронизации – 3. Общая магистраль работает в режиме разделения времени так, что в течение каждого временного интервала t_i одного канала каждый порт получает доступ к любому другому порту в течение битового интервала τ_i . Если требуется скомутировать порт 0 с портом 15, то приемная часть порта 0, где происходит накопление информации заведенного на этот порт цифрового тракта, получит доступ к ОШ в момент τ_{15} , что будет указано на шине адреса порта. Таким образом осуществляется пространственная коммутация. Временное разделение ОШ сопровождается достаточно высокими требованиями к элементной базе в части быстродействия. Рассчитаем временной цикл общей шины $T_{\text{ОШ}}$. Каждый порт использует общую шину 32 раза за цикл (ИКМ), следовательно,

$$T_{\text{ОШ}} = 125 \times 10^{-6} / 32 \times 16 = 244 \text{ нс.}$$

Доступ к шине для портов организован на основе сверхцикла (рис. 16).

Как было отмечено, ОШ – это система шести типов шин. Разделение каждой из шин – управления, обмена, подтверждения и др. – производится также во времени аналогично рассмотренному, но со сдвигом для каждой – на один битовый интервал τ .

Временная коммутация каналов осуществляется в блоке временной коммутации (БВК), реализованном на ОЗУ. БВК размещается в передающей части каждого порта и работает в режиме (" $\updownarrow; \downarrow \rightarrow$).

Таким образом, после завершения пространственной коммутации накопленная в приемной части порта-источника P_0 информация канала k_i передается в ОЗУ порта-назначения P_{15} и записывается в соответствии с режимом работы ОЗУ в ячейку с адресом канала назначения k_j , который указывается на шине адреса канала. Считывание информации в выбранный временной канал порта P_{15} производится циклически. На этом данный этап установления соединения завершается.

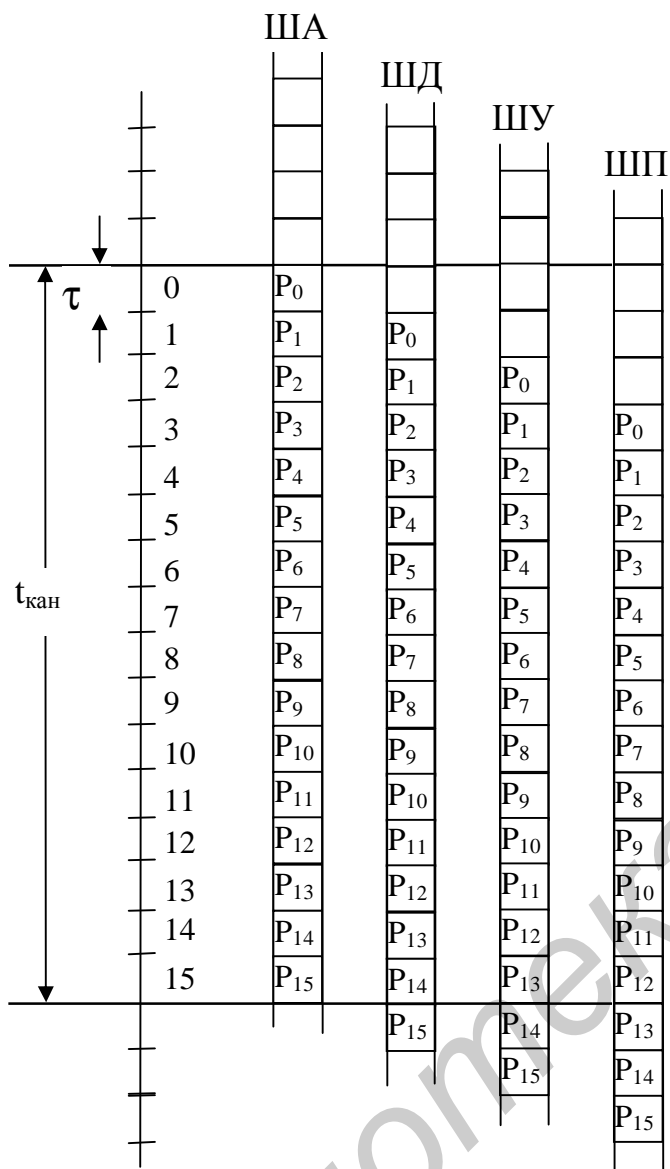


Рис. 16

Функциональная схема 16-портового модуля МПВК системы 12 показана на рис. 17, а, б, соответственно приемная и передающая части.

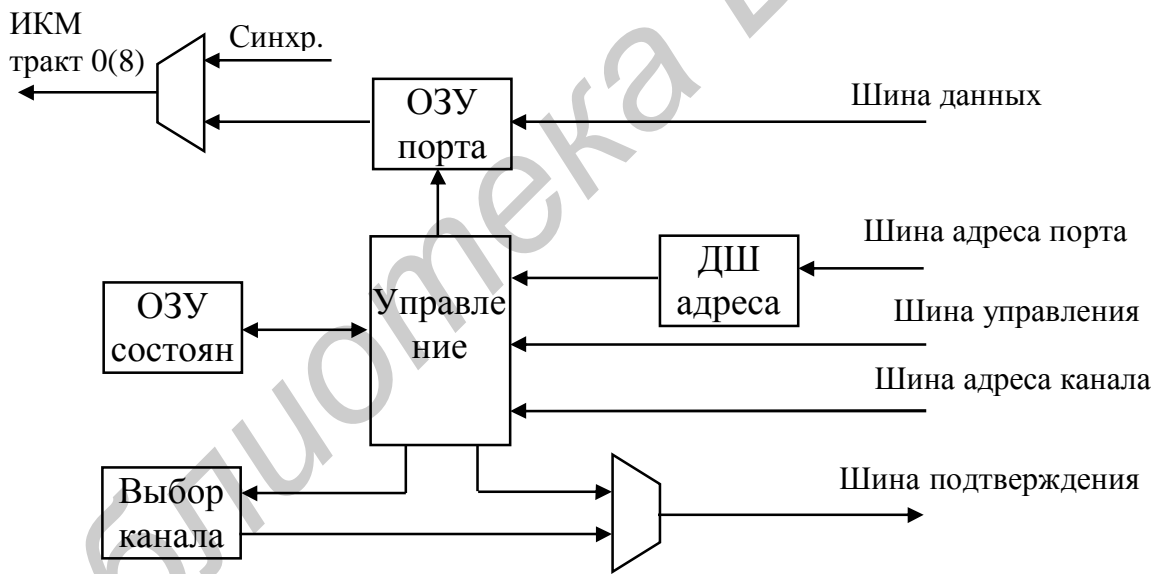
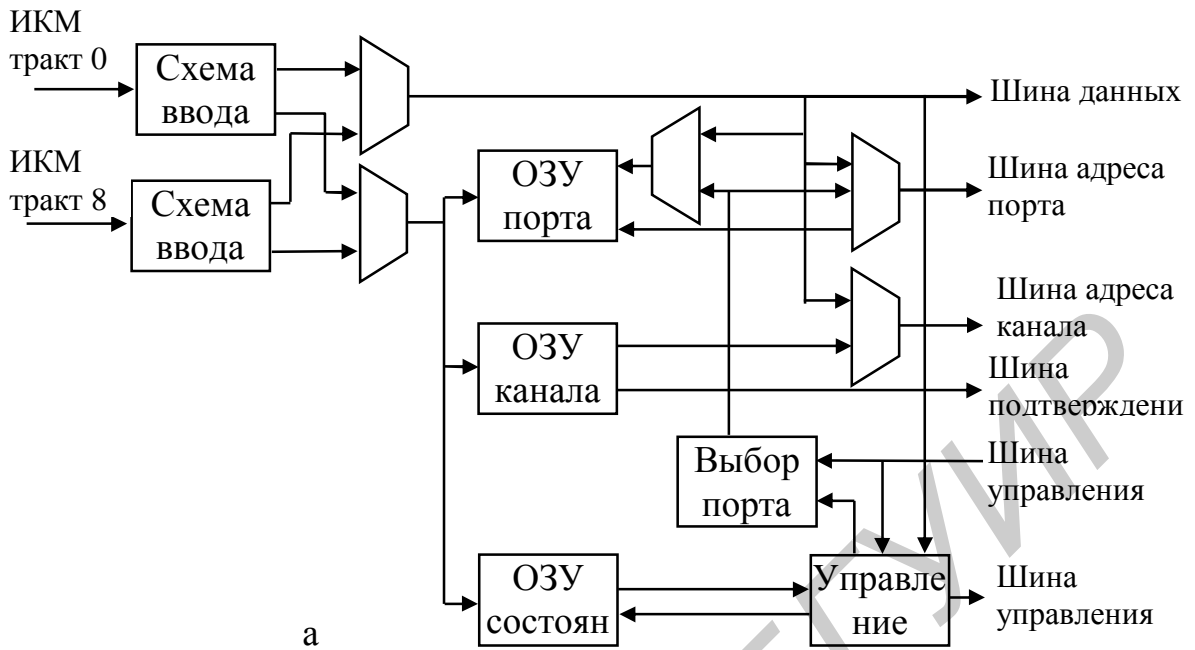


Рис. 17

Лабораторная работа №4

Блок пространственной коммутации

1. Цель работы

Изучение принципов построения модулей пространственной коммутации цифровых АТС.

2. Задание к работе

Для выполнения лабораторной работы необходимо ознакомиться с рекомендуемой литературой, а также изучить методические указания к данной работе.

2.1. В соответствии с вариантом содержания канальных интервалов и управляющей памяти заполнить содержимое канальных интервалов исходящих цифровых линий.

2.2. Составить карту памяти управляющего запоминающего устройства.

3. Содержание отчета

3.1. Схема исследуемого блока пространственной коммутации.

3.2. Карта памяти управляющего запоминающего устройства.

3.3. Ответы на контрольные вопросы.

4. Контрольные вопросы

4.1. Структура цикла цифрового потока ИКМ.

4.2. Организация управляющей памяти, чем определяется ее разрядность.

4.3. Элементная база для построения блоков пространственной коммутации.

4.4. Области применения блоков пространственной коммутации.

5. Методические указания к лабораторной работе

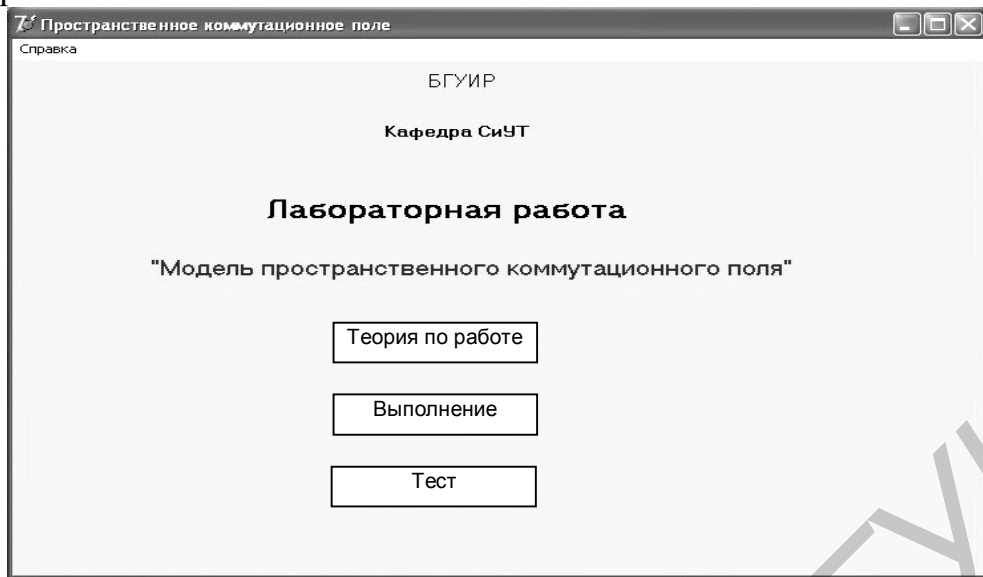
Загрузить программу brk.exe. На экране появится окно программы, показанное на рис. 18, а.

При нажатии кнопки «Теория по работе» на экран выводится краткий теоретический материал по данной работе.

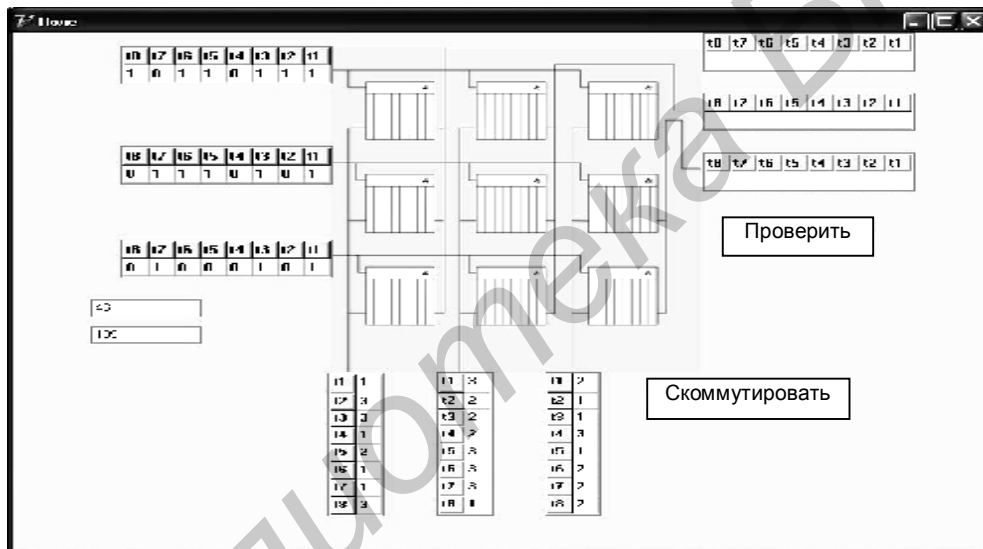
При нажатии кнопки «Тест» предлагаются вопросы, на которые необходимо дать ответы. При положительном результате тестирования студент допускается к выполнению работы.

Для выполнения работы необходимо нажать кнопку «Выполнение». На экране появится схема блока пространственной коммутации на три входящие и три исходящие цифровые линии, в каждой из которых содержится цикл из восьми канальных интервалов со случайным заполнением в виде логических нулей и единиц, как показано на рис. 18, б. В нижней части схемы показано управляющее запоминающее устройство, разбитое на три массива по числу исходящих цифровых линий. В ячейках управляющего ЗУ случайным образом

занесены координаты точек коммутации для соответствующих исходящих цифровых линий.



а



б

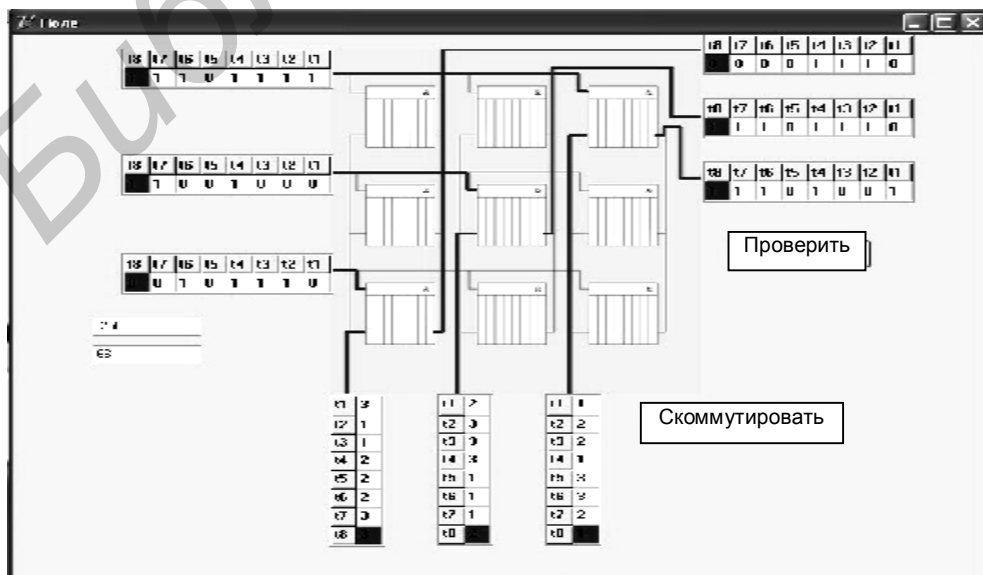


Рис. 18

В соответствии с адресами, занесенными в ячейки управляющей памяти, необходимо заполнить каналные интервалы исходящих цифровых линий данными (нулями и единицами), соответствующими содержанию каналных интервалов входящих цифровых линий. После заполнения каналных интервалов нажать кнопку «Проверить». Если задание выполнено правильно, то на экране появится соответствующее сообщение. В этом случае при нажатии кнопки «Скоммутировать» на экране появится анимированное изображение процесса коммутации (рис. 18, в).

Составить карту памяти управляющего запоминающего устройства. Пример карты памяти приведен в табл. 5.

Таблица 5

Канальный интервал	Адрес УЗУ	Адрес, bin	Адрес, hex
t1	00h	111001	39h
t2	01h	011110	1Eh
t3	02h	011110	1Eh
t4	03h	101101	2Dh
t5	04h	100111	27h
t6	05h	100111	27h
t7	06h	110110	36h
t8	07h	111001	39h

ЛИТЕРАТУРА

1. Автоматическая коммутация : учебник для вузов / под ред. О. Н. Ивановой. – М. : Радио и связь, 1988. – 624 с.
2. Лапшин, С. М. Цифровые системы коммутации / С. М. Лапшин, М. И. Чаклова. – Минск : БГУИР, 1997. – 45 с.
3. Баркун, М. А. Цифровые системы синхронной коммутации / М. А. Баркун, О. Р. Ходасевич. – М., 2001.
4. Лапшин, С. М. Коммутационное поле цифровой АТСФ 50/1000 / С. М. Лапшин. – Минск : БГУИР, 2005.

Учебное издание

ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ КОММУТАЦИОННЫХ ПОЛЕЙ

Методические указания к лабораторной работе
по курсу
«Системы коммутации»
для студентов специальности
«Сети телекоммуникаций»
всех форм обучения

Составитель
Лапшин Сергей Михайлович

Редактор Е. Н. Батурчик
Корректор М. В. Тезина

Подписано в печать 11.10.2007.	Формат 60×84 1/16.	Бумага офсетная.
Гарнитура «Таймс».	Печать ризографическая.	Усл. печ. л. 2,33.
Уч.-изд. л. 2,0.	Тираж 100 экз.	Заказ 125.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.
220013, Минск, П. Бровка, 6