

МЕТОДИКА БЫСТРОЙ ОЦЕНКИ ЭНЕРГОПОТРЕБЛЕНИЯ СИНХРОННЫХ ЛОГИЧЕСКИХ СХЕМ, РЕАЛИЗУЮЩИХ КОНЕЧНЫЕ АВТОМАТЫ

П. Н. Бибило, В. И. Романов

Лаборатория логического проектирования

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {bibilo, rom}@newman.bas-net.by

Предлагается проводить быструю оценку энергопотребления логических схем, реализующих конечные автоматы, используя результаты моделирования как структурных описаний логических схем, так и алгоритмических описаний, по которым эти схемы построены. Применение предлагаемой методики получения энергоёмких тестов позволяет примерно на 40% повысить энергопотребление схем при их повторном моделировании на найденных тестах.

Сокращение энергопотребления цифровых блоков является одной из важнейших проблем, возникающих при автоматизации проектирования СВИС, выполняемых по КМОП технологии [1–2]. Одним из аспектов эффективного решения данной проблемы является оценка энергопотребления логических схем. Достаточно точная (но весьма трудоёмкая) оценка энергопотребления может быть выполнена в системах схемотехнического моделирования на уровне транзисторных описаний таких схем. Однако возрастание размерностей задачи синтеза схем и разнообразие вариантов реализаций схем приводит к необходимости разработки средств для быстрой оценки энергопотребления с приемлемой точностью (погрешностью). Ускорение оценки энергопотребления может быть достигнуто при использовании систем логического моделирования, что требует построения соответствующих описаний логических элементов, позволяющих учитывать их переключательную активность [3–4] и потребляемую мощность. Описание способа характеристики по параметру энергопотребления логических элементов и примеры описаний библиотечных элементов на языке VHDL представлены в работе [5].

В данной работе описывается методика быстрой оценки энергопотребления синхронных логических схем, реализующих конечные автоматы. Методика базируется на использовании соответствующих VHDL-моделей логических элементов [5] и быстрых средствах логического VHDL-моделирования. Оценка верхней границы энергопотребления сводится к нахождению тестов, вызывающих повышенное энергопотребление. Такие тесты названы энергоёмкими.

Исходными данными для оценки энергопотребления являются два VHDL-описания: исходное алгоритмическое описание конечного автомата и структурное описание (netlist) логической схемы из КМОП элементов, функционально эквивалентное исходному описанию. Будем для краткости называть исходную VHDL-модель

«алгоритмической», а вторую VHDL-модель – «структурной». Синхронные схемы синтезируются по исходным VHDL-описаниям конечных автоматов в базе библиотечных КМОП элементов с помощью системы синтеза (синтезатора) LeonardoSpectrum [6].

Методика оценки энергопотребления состоит из следующих восьми этапов. Результатом применения методики является энергоёмкий тест T_e .

Этап 1. Подготовка теста T – последовательности входных тестирующих наборов-воздействий, подаваемых (при моделировании) на вход как алгоритмической модели, так и структурной модели автомата (см. рис. 1). Подготовку теста в форме текстового файла осуществляет обычно специальная программа – генератор тестов.

Этап 2. Написание тестирующей программы для алгоритмической модели. Такая программа должна считывать тест и записывать (проходимые по тактам) состояния автомата в текстовый файл. Чтобы обеспечить выполнение таких функций, система моделирования должна иметь возможность работы со стандартом VHDL'2008.

Этап 3. Выполнение VHDL-моделирования в системе Questa Sim для алгоритмической модели. Результатом такого моделирования является последовательность S (текстовый файл) внутренних состояний, соответствующих каждому из тактов функционирования автомата. В нулевом такте моделирования осуществляется подача на вход модели сигнала асинхронного сброса, который устанавливает VHDL-модель в начальное состояние. Каждый последующий такт моделирования включает (1) подачу входного тестового набора, (2) переключение сигнала синхронизации в единичное состояние (формирование переднего фронта синхросигнала), (3) переключение синхросигнала в нулевое состояние (формирование заднего фронта синхросигнала).

Этап 4. Расширение функциональности для оценки энергопотребления VHDL-описаний логических элементов, составляющих целевую библиотеку проектирования. Заметим, что выполнение этапа 4 осуществляется только один раз и касается библиотеки элементов, а не конкретной логической схемы, реализующей автомат. Применять модифицированную библиотеку VHDL-описаний можно для оценки логических схем, полученных по произвольным синтезируемым VHDL-описаниям цифрового блока СБИС.

Этап 5. Преобразование (модификация) структурного VHDL-описания автомата в вид, пригодный для работы с расширенными моделями логических элементов, а именно, дополнение каждого оператора port map в структурном VHDL-описании оператором generic map для учета параметров нагрузочных способностей элементов. Выполнение этапа осуществляет специальная программа, преобразующая netlist (см. рис. 1).

Этап 6. Выполнение моделирования в системе QuestaSim для модифицированной структурной модели с тестом T . Результатом такого моделирования является текстовый файл, содержащий последовательность значений энергопотребления E , каждое из которых соответствует одному такту моделирования VHDL-описания. По последовательности E легко получить среднее энергопотребление схемы на начальном тесте T . Заметим, что энергопотребление в каждом такте складывается из потребления элементами схемы как при подаче тестового набора, так и при изменении синхросигнала из 0 в 1 (и обратно). В текстовый файл E для каждой пары (такта) сменяемых значений входных воздействий записывается суммарное значение энергии, потребляемой

схемой в данном такте. Таким образом, начальное моделирование позволяет получить для каждой пары тестовых воздействий некоторое число, определяющее общее (динамическое и статическое) потребление, возникающее в результате переключений транзисторов, входящих в логические КМОП элементы синхронной схемы, реализующей конечный автомат.

Этап 7. Формирование энергоемкого теста T_e по последовательностям T , S , E , полученным при начальном моделировании.

Этап 8. Выполнение моделирования полученного структурного описания для энергоемкого теста T_e с оценкой среднего энергопотребления.

СПИСОК ЛИТЕРАТУРЫ

1. Рабаи, Ж. М. Цифровые интегральные схемы / Ж. М. Рабаи, А. Чандракасан, Б. Николитч. Пер. с англ. – М.: ООО «И.Д. Вильямс», 2007. – 912 с.
2. Белоус, А. И. Методы минимизации энергопотребления при проектировании КМОП БИС / А. И. Белоус, И. А. Мурашко, В. С. Сякерский // Технология и конструирование в электронной аппаратуре. – 2008. – № 2. – С. 39–44.
3. Ghosh, A. Estimation of Average Switching Activity in Combinational and Sequential Circuits / A. Ghosh, S. Devadas, K. Keutzer, J. White // Proc. 29th ACM/IEEE Design Automation Conference. – 1992. – P. 253–259.
4. Roy, K. Low Power CMOS VLSI Circuit Design / K. Roy, S. C. Prasad // New York: John Wiley and Sons, Inc., 2000. – 359 p.
5. Бибило, П. Н. Оценка энергопотребления комбинационных КМОП схем на основе логического моделирования с учетом временных задержек элементов / П. Н. Бибило, А. Л. Соловьев // Управляющие системы и машины. – 2014. – № 6. – С. 34–41.
6. Бибило, П. Н. Системы проектирования интегральных схем на основе языка VHDL StateCAD, ModelSim, LeonardoSpectrum / П. Н. Бибило // – М.: СОЛОН-Пресс, 2005. – 384 с.

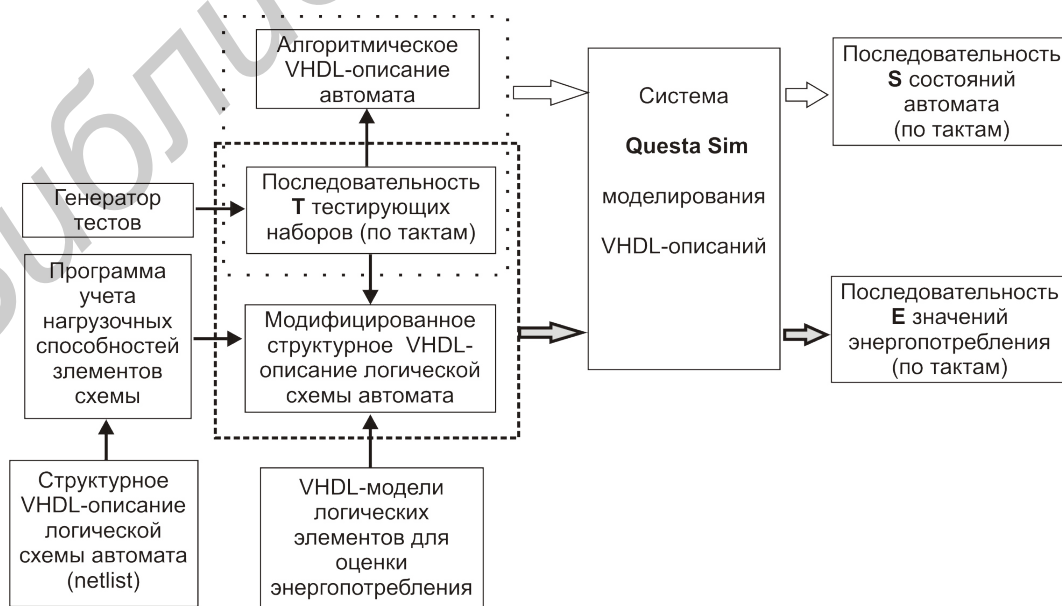


Рис. 1 – Моделирование алгоритмического описания конечного автомата и логической схемы на одном и том же тесте