

СНИЖЕНИЕ ЭНЕРГОПОТРЕБЛЕНИЯ ЦИФРОВЫХ УСТРОЙСТВ, ПРЕДСТАВЛЕННЫХ В ВИДЕ КОМПОЗИЦИИ УПРАВЛЯЮЩЕГО И ОПЕРАЦИОННОГО АВТОМАТОВ

П. Н. Бибило

Объединенный институт проблем информатики

Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: bibilo@newman.bas-net.by

Рассматриваются операционные цифровые устройства, представляемые в виде композиции управляющего и операционного автоматов. Предлагается проводить оценку энергопотребления логических схем, реализующих такие устройства, используя «энергоемкие» тесты, вызывающие повышенное энергопотребление. Предлагается два способа алгоритмического VHDL-описаний цифровых устройства рассматриваемого класса, по которым синтезируются логические КМОП схемы, различающиеся по параметрам энергопотребления, площади и быстродействия. Эксперименты показывают, что добиться существенного снижения энергопотребления можно, правильно описывая функционирование устройства на алгоритмическом уровне.

ВВЕДЕНИЕ

Снижение энергопотребления цифровых блоков является одной из важнейших проблем, стоящих в настоящее время перед проектировщиками сверхбольших интегральных КМОП-схем, применяемых в космической электронике [1].

Одним из эффективных подходов к снижению энергопотребления является создание исходного алгоритмического описания проекта на языке высокого уровня, в котором предусматривается отключение тех блоков, функционирование которых не требуется. Другими словами, надо написать алгоритм поведения, по которому в результате синтеза будет построена логическая схема, отличающаяся тем, что в некоторые интервалы времени в ней не будут функционировать определенные подсхемы. Такое поведение выбранных блоков и надо заранее предусмотреть в алгоритмическом описании.

В данной работе предлагается именно такой способ алгоритмического VHDL-описания операционного устройства, функционирующего под управлением связанного с ним управляющего автомата. Данный способ алгоритмического описания сравнивается с традиционным способом описания поведения цифрового устройства. Традиционный стиль описания, как правило, не учитывает аспект энергопотребления и ориентирован только на правильную функциональность проектируемой логической схемы.

I. ОЦЕНКА ЭНЕРГОПОТРЕБЛЕНИЯ ЦИФРОВЫХ КМОП СХЕМ

Оценка энергопотребления получаемых вариантов логических схем из библиотечных КМОП элементов является одним из аспектов решения проблемы снижения энергопотребления данного класса устройств. Достаточно точная

оценка энергопотребления (например, оценка потребляемого тока) получается, если перейти от структурных логических описаний схем к схемотехническому (транзисторному) описанию, однако для моделирования транзисторных описаний требуется гораздо большее время по сравнению с быстродействующим моделированием на логическом уровне. В литературе для оценки энергопотребления логических схем предлагаются различные подходы.

Одним из них является подход, основанный на расчете переключательной активности, однако здесь не принимаются в расчет кратковременные изменения внутренних сигналов схемы, связанные с гонками сигналов. Известны также подходы, основанные на расчете вероятностей изменения состояний внутренних сигналов (выходных полюсов элементов) схемы по вероятностям изменения входных сигналов [2]. Данные подходы являются малоприменимыми на практике, когда логические схемы состоят из десятков и сотен тысяч логических элементов.

Более практичным является подход, использующий логическое моделирование структурных описаний, при этом функциональность логических элементов расширяется путем введения дополнительных средств, позволяющих учитывать энергопотребление элементов при изменении состояний входных сигналов элементов [3]. Как показали эксперименты, данный подход является быстродействующим, погрешности в оценке энергопотребления не превосходят 5% реализующих конечные автоматы. В данной работе этот подход применяется для операционных цифровых устройств, представимых в виде композиции (соединения) управляющего и операционного автоматов. Такие цифровые устройства давно нашли широкое применение в практике проектирования.

II. ПРЕДЛАГАЕМЫЙ ПОДХОД

Предлагаемый в данной работе подход для оценки энергопотребления использует специфику описания цифровых устройств, входящих в класс устройств с микропрограммным управлением [4], и базируется на VHDL-моделировании как исходных алгоритмических описаний, так и структурных описаний соответствующих синхронных логических схем. По результатам моделирования таких описаний строятся энергоемкие тесты, т. е. тесты, вызывающие повышенное энергопотребление. Управляющий автомат под воздействием входных сигналов переходит из состояния в состояние и надо выбрать цикл на графе G переходов управляющего автомата, характеризуемый при его прохождении (в процессе моделирования) наибольшей энергоемкостью логической схемы, реализующей цифровое устройство. Переход из состояния в состояние в управляющем автомате каждый раз (в каждом такте) сопровождается выполнением операционным автоматом некоторой операции, поэтому для каждой выполняемой операции требуется подобрать операнды, для которых будет наибольшим энергопотребление. Таким образом, нахождение максимального энергопотребления логической схемы сводится к нахождению «энергоемкого» теста набора тестирующих двоичных векторов, которые вызовут наибольшее энергопотребление логической схемы. В каждый набор входных сигналов данного теста будут входить как значения входных переменных для управляющего автомата, так и двоичные векторы операнды операционного блока. Входные наборы для управляющего автомата должны обеспечить прохождение соответствующего цикла на графе G состояний управляющего автомата назовем этот цикл «энергоемким» циклом. Моделирование логических схем на энергоемких тестах позволяет найти верхнюю оценку энергопотребления в системах схемотехнического моделирования, при этом результаты моделирования энергопотребления в системах схемотехнического Spice-моделирования считаются эталонными. Основная доля энергопотребления приходится, как правило, на операционный блок (операционный автомат). Поэтому предлагаемый метод нахождения энергоемкого теста состоит в нахождении энергоемкого цикла с подбором соответствующих операндов для операционного блока. Подбор операндов для операционного блока заключается в отдельном моделировании для каждой команды операционного блока и нахождении операндов вызывающих наибольшее энергопотребление. Так как различных команд операционного блока может быть много, то проведение отдельного моделирования для каждой из команд может занять достаточно много времени. Поэтому может быть применен более простой и

достаточно эффективный подход, когда выбирается одна наиболее трудоемкая команда (например, арифметическая команда умножения) и для этой команды подбирается одна пара векторов, вызывающая наибольшее энергопотребление, назовем такую пару входных операндов приоритетной для операционного блока. В таком случае на графе G требуется найти цикл из начального состояния, который вызовет выполнение наиболее энергоемких команд в операционном блоке, при этом значениями операндов будут служить по очереди векторы выбранной приоритетной пары. Практическая методика оценки энергопотребления синхронных цифровых устройств рассматриваемого класса состоит в выполнении следующих шагов.

1. Разработать VHDL-модели логических КМОП элементов, позволяющие учитывать тактовую переключательную активность либо потребляемый ток при моделировании структурного VHDL-описания логической схемы.

2. Провести оценку энергопотребления структурного VHDL-описания логической схемы, используя быстродействующее VHDL-моделирование, и получить энергоемкие тесты с помощью предложенных в данной статье методов.

3. По структурному VHDL-описанию схемы получить транзисторное Spice-описание схемы и выполнить схемотехническое Spice-моделирование на энергоемком тесте.

В результате применения методики будет получена оценка энергопотребления транзисторного описания КМОП схемы, функционирующей в режиме повышенного энергопотребления. Эксперименты показали, что алгоритмическое описание поведения цифровых устройств, ориентированное на снижение энергопотребления, приводит к увеличению площади схемы (примерно на четверть), однако позволяет уменьшить среднее энергопотребление более чем в два раза для устройств рассматриваемого класса, выполняющих как логические операции, так трудоемкие операции арифметического сложения и умножения.

СПИСОК ЛИТЕРАТУРЫ

1. Белоус, А. И. Космическая электроника. Кн. 1. / А. И. Белоус, В. А. Солодуха, С. В. Шведов. – М.: Техносфера, 2015. – 696 с.
2. Гресь, Т. Моделирование потребления мощности в элементах цифровых устройств. / Т. Гресь, В. В. Соловьев, И. Р. Булатова // Автотестирование. – 2009. – Т. 45, № 2. – С. 105–114.
3. Бибило, П. Н. Оценка энергопотребления комбинационных КМОП схем на основе логического моделирования с учетом временных задержек элементов / П. Н. Бибило, А. Л. Соловьев // Управляющие системы и машины. – 2014. – № 6. – С. 34–41.
4. Иванюк, А. А. Проектирование встраиваемых цифровых устройств и систем / А. А. Иванюк. – Минск: Бестпринт, 2012. – 337 с.