

ПРОЦЕССОРНОЕ ЯДРО ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ ДЛЯ FPGA

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Порхун М. И.

Качинский М. В. – кандидат технических наук, доцент

Значение ЦОС в современном мире с каждым днём неуклонно растёт. В настоящее время ЦОС применяется повсеместно: от узкоспециализированных военных разработок и до широко распространённой бытовой электроники. Развитие и усложнение алгоритмов ЦОС приводит к необходимости разработки аппаратной платформы для обеспечения реализации таких алгоритмов. Одним из способов решения задачи является разработка специализированного процессора для ЦОС на FPGA.

В данном докладе рассматриваются вопросы разработки процессорного ядра цифровой обработки сигналов для FPGA.

Разработанный ЦПОС построен на базе модифицированной RISC-архитектуры. Архитектура процессора включает в себя основные особенности RISC-архитектуры:

- 1) единая длина для всех команд;
- 2) фиксированное положение полей в команде;
- 3) достаточно большое количество регистров общего назначения;
- 4) выполнение большинства команд за один такт;
- 5) конвейеризация выполнения операций;
- 6) стратегия задержанного перехода [1].

Отличительной особенностью архитектуры процессора является использование в ней черт, характерных только ЦПОС, а именно:

- 1) наличие специальных команд для ЦОС;
- 2) наличие специализированных аппаратных блоков и архитектурных решений, которые реализуют такие команды [2].

Для реализации алгоритмов ЦОС в разработанном процессоре была разработана собственная система команд.

В результате процессор сочетает в себе архитектурные решения, характерные RISC-процессорам и ЦПОС, что позволяет выполнять основные алгоритмы ЦОС в реальном времени.

Для реализации процессора в качестве аппаратной платформы была выбрана ПЛИС с архитектурой FPGA семейства Virtex 4 фирмы Xilinx, конкретно кристалл XC4VLX25. FPGA, ввиду своих архитектурных особенностей, хорошо подходит для аппаратной реализации систем, критичных к временным задержкам и требующие высокой производительности. Алгоритмы ЦОС входят в число таких систем.

Проект процессорного ядра цифровой обработки сигналов для FPGA разработан на языке описания аппаратуры VHDL. Для отладки и проверки корректности работы процессора выбрана система автоматизированного проектирования (САПР) Xilinx ISE 14.2.

Процессорное ядро обеспечивает поддержку:

- 1) 16-разрядных данных и команд;
- 2) 16-разрядной шины данных и шины адреса;
- 3) 16 регистров общего назначения и двух специальных регистров-аккумуляторов
- 4) одного порта ввода/вывода;
- 5) памяти данных и памяти программ объёмом в 65К слов;
- 6) одноуровневой векторной системы прерываний;
- 7) двухступенчатого конвейера команд;
- 8) 63 команд.

Структурная схема процессорного ядра цифровой обработки сигналов для FPGA представлена на рисунке 1.

Процессор состоит из следующих элементов:

- 1) блок генерации адреса следующей команды (NextInstr);
- 2) блок управления прерываниями (INTERRUPTCTRL);
- 3) устройство управления (Ctrl Unit);
- 4) память программ (PRAM);
- 5) память данных (DRAM);
- 6) регистровая память (RRAM);
- 7) АЛУ (ALU);
- 8) специализированное АЛУ (DSP ALU);
- 9) блок специальных регистров (DSPREG);
- 10) порт ввода/вывода (I/OPORT).

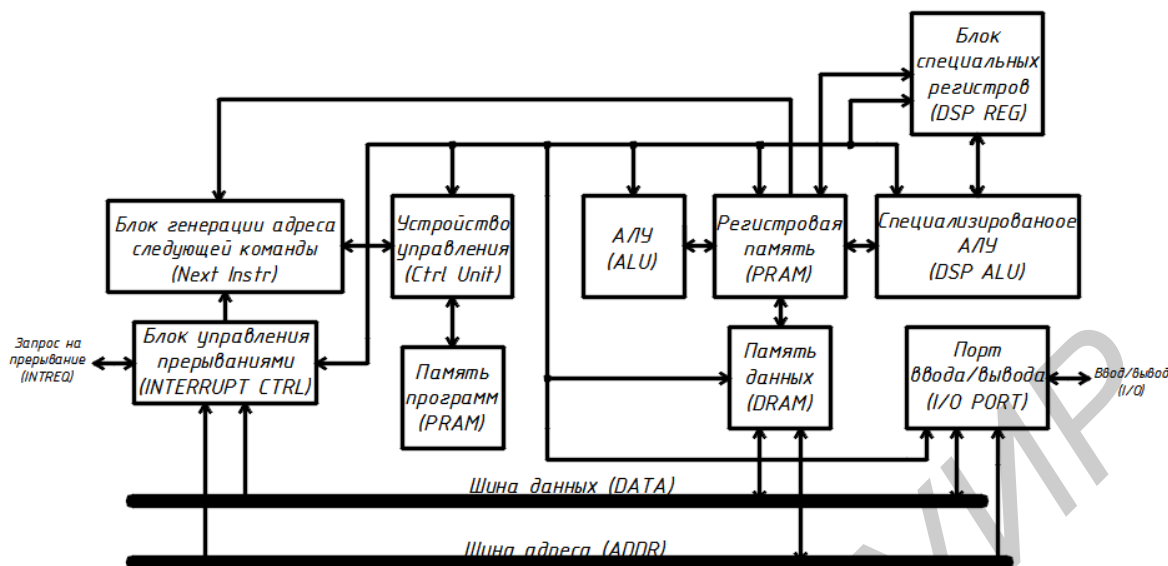


Рис. 1 – Структурная схема процессорного ядра цифровой обработки сигналов для FPGA

Критериями для оптимизации проекта в кристалле FPGA были выбраны:

- 1) минимальные аппаратные затраты;
- 2) максимальная тактовая частота.

Выполнение этих критериев обеспечивается за счёт выбора наиболее подходящего кристалла ПЛИС для размещения проекта, использования DSP-блоков, блочной памяти, а также применения стратегий для оптимизации процессора в САПР Xilinx ISE 14.2 [3].

Для проверки корректности функционирования отдельных блоков было произведено их моделирование и синтез. В результате синтеза блока, специализированного АЛУ был получен отчёт об аппаратных затратах кристалла ПЛИС (таблица 1).

Number of Slices	206	10752	1%
Number of Slice Flip Flops	62	21504	0%
Number of 4 input LUTs	392	21504	1%
Number of bonded IOBs	151	448	33%
Number of GCLKs	1	32	3%
Number of DSP48s	9	48	18%

Таблица 1 — Аппаратные затраты FPGA XC4VLX25

При анализе отчёта о быстродействии блока, специализированного АЛУ была получена тактовая частота блока, которая составила 188.836 МГц. Моделирование данного блока показало, что он функционирует корректно.

Таким образом, было разработано процессорное ядро цифровой обработки сигналов для FPGA. Высокое быстродействие в рассматриваемом устройстве достигается путём использования сочетания RISC-архитектуры и особенностей ЦПОС, а также за счёт аппаратной реализации структурных блоков. Это является визитной карточкой данного процессора.

За счёт своего быстродействия процессорное ядро цифровой обработки сигналов для FPGA хорошо подходит для реализации алгоритмов ЦОС в реальном времени.

Список использованных источников:

1. Сергеевко, А. М. VHDL для проектирования вычислительных устройств / А.М. Сергеевко. – Киев: ТИД «ДС», 2003. – 208 с.
2. TMS320C54x DSP. Reference Set. Volume 1: CPU and Peripherals. [Электронный ресурс]: Datasheet / Texas Instruments. – Режим доступа: spru131g.pdf.
3. Xilinx Virtex-4 Family Overview. [Электронный ресурс]: Datasheet / Xilinx. – Режим доступа: ds112.pdf.