

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра электронных вычислительных машин

В.С. Тимошенко, С.А. Байрак

СХЕМОТЕХНИКА

Лабораторный практикум
для студентов специальности I-40 02 01
«Вычислительные машины, системы и сети»
всех форм обучения

Минск 2006

УДК 681.31 (075.8)
ББК 32.973 я 73
Т 41

Рецензент:
вед. науч. сотр. ОИПИ НАН Беларуси,
канд. техн. наук А.А. Дудкин

Тимошенко В.С.

Т 41 Схемотехника: Лаб. практикум для студ. спец. I-40 02 01
«Вычислительные машины, системы и сети» всех форм обуч. /
В.С. Тимошенко, С.А. Байрак. – Мн.: БГУИР, 2006. – 70 с.: ил.
ISBN 985-444-984-X

Практикум содержит описание лабораторных работ, тематика которых соответствует программе учебной дисциплины «Схемотехника», выполняемых на стенде контроля ТЭЗов ЕС-А105.

УДК 681.31 (075.8)
ББК 32.973 я 73

ISBN 985-444-984-X

© Тимошенко В.С., Байрак С.А., 2006
© БГУИР, 2006

Содержание

1. Лабораторная работа №1. Исследование логических элементов (ЛЭ) транзисторно-транзисторной логики (ТТЛ), ТТЛ Шоттки (ТТЛШ)	4
2. Лабораторная работа №2. Исследование триггеров	14
3. Лабораторная работа №3. Исследование счетчиков импульсов К155ИЕ7, КР1533ИЕ7	24
4. Лабораторная работа №4. Исследование дешифраторов, мультиплексоров, демультимплексоров, компараторов	32
5. Лабораторная работа №5. Исследование устройства на ИМС К1561ИР15, К561ИЕ10, К561ИМ1, К561ЛШЗ, К561ТМЗ, К561ЛП2	46
6. Лабораторная работа №6. Исследование устройства на ИМС К561ИР6, К561ИЕ11, К561ИК1, К561ИД7, К561ТМ2, К561ТВ1	56

Лабораторная работа №1

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ (ЛЭ) ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ (ТТЛ), ТТЛ ШОТТКИ (ТТЛШ)

- Цель: 1. Изучить принципиальные схемы и функции, выполняемые логическими элементами К155ЛА3, К155ЛР1, К1533ЛА3, К1533ЛР11.
2. Приобрести практические навыки в определении основных параметров и снятии характеристик указанных логических элементов.

1. Краткие сведения об исследуемых логических элементах

1.1. ЛЭ ТТЛ

На рис.1.1 показана принципиальная схема логического элемента (ЛЭ) ТТЛ 2И-НЕ, входящего в микросхему К155ЛА3. Если на оба входа схемы поданы высокие уровни напряжения, то эмиттерные переходы транзистора VT1 смещаются в обратном направлении, и он работает в активном инверсном режиме. При этом транзисторы VT2, VT4 и VT5 открыты и насыщены, и на выходе устанавливается низкий уровень напряжения $U^0 = U_{кЭНАС} \approx 0.2$ В. В случае, когда хотя бы на один вход подан низкий уровень напряжения, соответствующий эмиттерный переход МЭТ VT1 открыт, и транзистор VT1 находится в режиме насыщения. На базе транзистора VT2 оказывается низкое напряжение $U_{Б2} = U^0 + U_{кЭНАС1} \approx 0.3$ В, и транзисторы VT2, VT4 и VT5 будут закрыты. Транзистор VT3 открывается и переходит в активный режим работы, обеспечивая высокий уровень напряжения на выходе: $U^1 = E_{П} - I_{Б3}R2 - U_{БЭО3} -$

$U_{до4}$. Если $E_{п} = 5 \text{ В}$ и $U_{бэо} \approx U_{до} = 0.7 \text{ В}$, пренебрегая составляющей $I_{б3}R_2$, получим $U^1 = 3.6 \text{ В}$.

Диоды VD1 и VD2 – демпфирующие или антизвонные. Транзистор VT5 совместно с резисторами R3' и R3'' обеспечивает улучшение формы АПХ, повышает помехоустойчивость логического элемента. Диод VD4 обеспечивает запираание транзистора VT3, когда транзистор VT4 открыт и насыщен. Диод VD3 повышает быстродействие элемента, уменьшая время перехода транзистора VT2 из режима насыщения в режим отсечки (в ряде микросхем диод отсутствует).

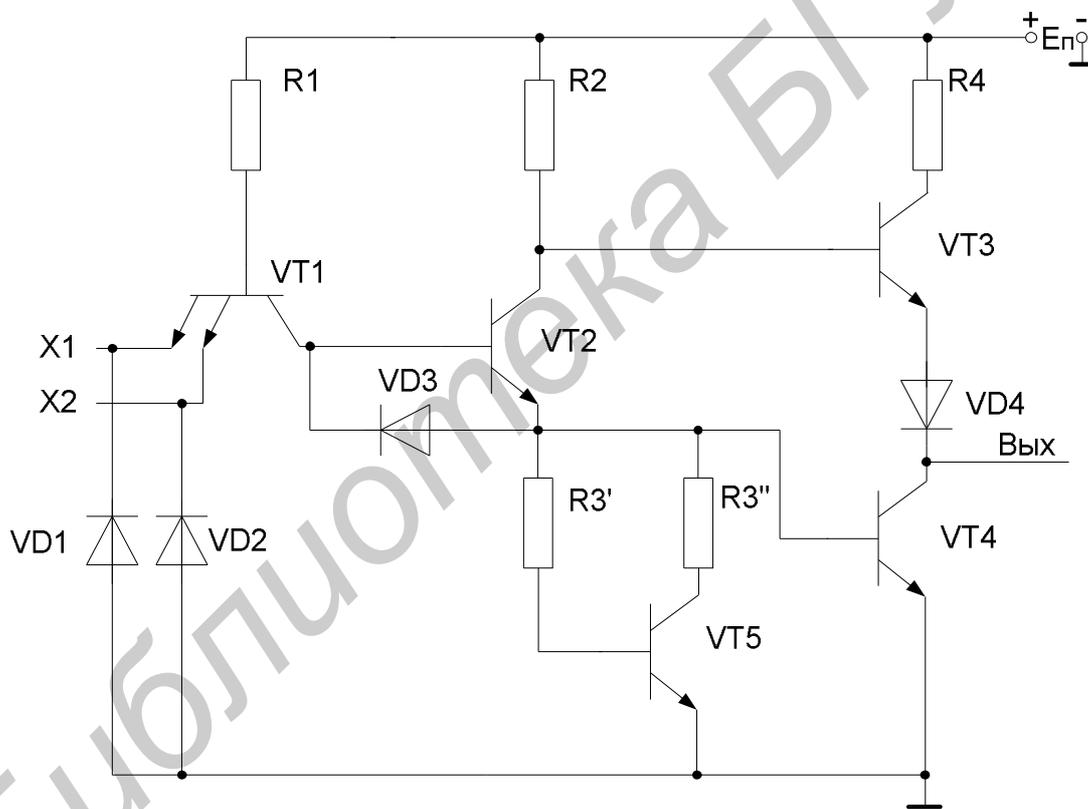


Рис.1.1. Принципиальная схема логического элемента ИМС К155ЛАЗ

Логический элемент, схема которого показана на рис.1.2, выполняет логическую функцию 2И-2ИЛИ-НЕ, расширяемую по ИЛИ (микросхема К155ЛР1).

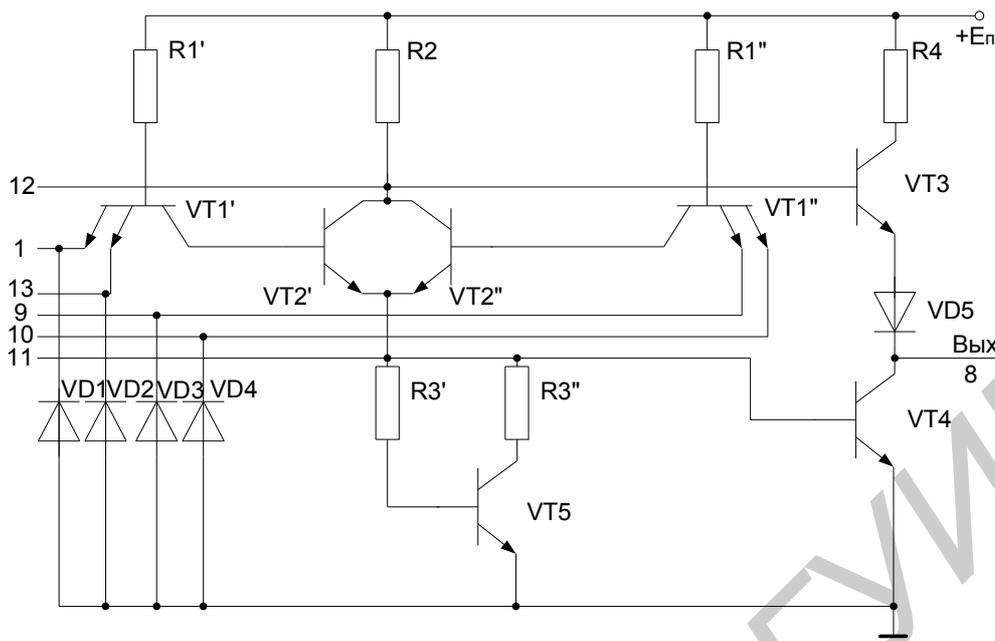


Рис.1.2. Принципиальная схема логического элемента ИМС К155ЛР1

1.2. ЛЭ ТТЛШ

Для повышения быстродействия ЛЭ РЭА в начале 70-х годов первые серии ТТЛ (К 131, К155 и К134) подвергались модернизации. Технологи применили в полупроводниках эффект Шоттки. Быстродействие интегральных транзисторов приблизилось к пределу для кремния - 6 ГГц.

Это обусловлено применением диодов и транзисторов с барьером Шоттки (далее - диоды и транзисторы Шоттки). *Диод Шоттки* представляет собой контакт металла и полупроводника с низким уровнем легирования. В диодах Шоттки ток переносится только основными носителями заряда, поэтому для них характерно высокое быстродействие (время выключения — доли наносекунд). В интегральном исполнении транзистор и диод составляют единую структуру, называемую *транзистором Шоттки* (рис. 1.3). В этом случае диод Шоттки представляет собой контакт металла с высокоомным полупроводником коллекторной области транзистора. Так как напряжение барьера Шоттки составляет (0.2 - 0.3) В, диод Шоттки открывается ранее коллекторного (p-n)-перехода, для которого напряжение открывания находится

в пределах 0.6 В. Добавление в структуру транзистора диода Шоттки исключает прямое смещение коллекторного перехода, ограничивая накопление зарядов в базе, и создает дополнительную цепь для рассасывания этого заряда. Поэтому транзистор Шоттки не попадает в глубокое насыщение, тем самым время выключения сведено к нулю.

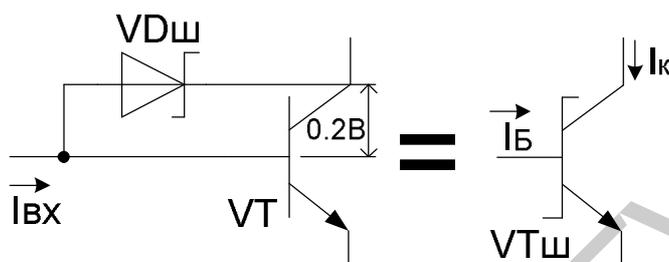


Рис. 1.3. Транзистор Шоттки

Одной из особенностей серии К155 является применение входного многоэмиттерного транзистора для реализации функции И. Многоэмиттерные транзисторы отличаются большим временем рассасывания в области базы неосновных носителей заряда при его переключении, что ведет к снижению быстродействия схемы в целом. Чем больше число входов логического элемента, тем больше диффузионная ёмкость базы и меньше быстродействие.

Данный недостаток ТТЛ компенсируется в серии КР1533 ТТЛШ. Принципиальная схема логического элемента И-НЕ ИМС КР1533ЛА3 приведена на рис. 1.4.

За счёт применения эмиттерных повторителей (VT1, VT2, R1), эмиттерные переходы которых реализуют функцию И, устраняется эффект многоэмиттерного транзистора, т.к. транзисторы VT1, VT2 постоянно находятся в активном режиме. С целью уменьшения входного тока и повышения статической помехоустойчивости и быстродействия в схему введен транзистор с барьером Шоттки VT3.

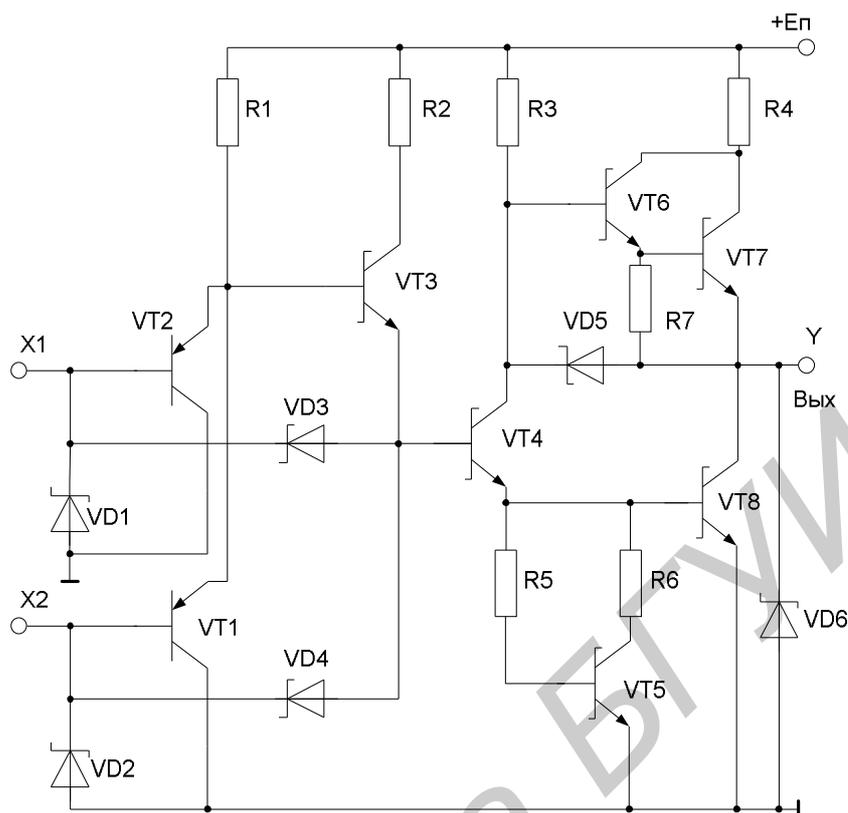


Рис. 1.4. Принципиальная схема логического элемента ИМС КР1533ЛА3

В состав сложного инвертора входят фазоразделительный каскад (VT4, R3) с корректирующей цепочкой (VT5, R5, R6) и выходной усилитель на эмиттерном повторителе (VT6, VT7, R4, R7) и транзисторе VT8. Существенной особенностью серии КР1533 является применение в выходном эмиттерном повторителе составного транзистора, включенного по схеме Дарлингтона. Эта особенность позволяет увеличить нагрузочную способность в случае $U_{\text{ВЫХ}} = U^1$. Диоды VD1, VD2, VD6 – демпфирующие, VD3-VД5 служат для ускорения переключения логического элемента.

Недостатком применения диодов Шоттки является некоторое повышение выходного напряжения низкого логического уровня ($U_{\text{ВЫХ}}^0 = 0.3 \text{ В}$). Напряжение высокого уровня логического элемента КР1533ЛА3 соответствует напряжению высокого уровня логического элемента К155ЛА3. Таким образом обеспечивается совместимость по уровням между элементами серий К155 и КР1533.

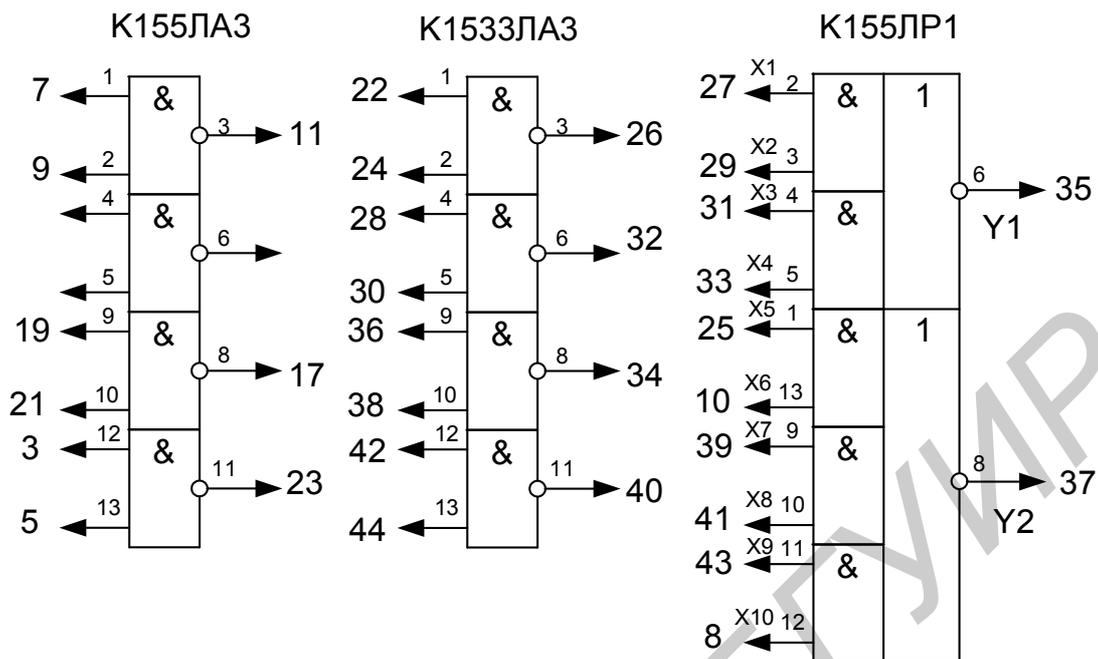


Рис.1.5. Условные графические обозначения ИМС: K155ЛА3, K1533ЛА3 и K155ЛР1

2. Порядок выполнения работы

А. Исследование логических элементов ТТЛ

1. Убедиться, что стенд соединен с источником питания ЕС-0822, подключить источник питания к сети "220 В 50 Гц" и нажатием кнопки ВКЛ, расположенной на передней стенке источника, включить источник питания.

2. Подключить сигнальный кабель осциллографа к гнезду "Уосц", а вход синхронизации - к гнезду СИНХР, расположенному на передней панели стенда.

3. Подать на вертикальные шины D и F коммутационных полей КП1 импульсные сигналы С1 и С2 ТТЛ. С помощью регулировок ПЕРИОД, τ_{C1} , τ_{C2} и ЗАДЕРЖКА установить взаимное расположение импульсов С1 и С2 таким, как показано на рис.1.6, при внешней синхронизации осциллографа импульсами С1.

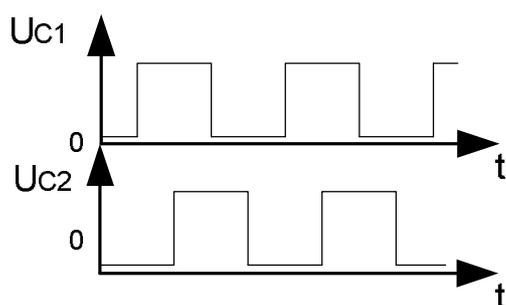


Рис.1.6. Взаимное расположение и параметры импульсов С1 и С2 при исследовании логических элементов ТТЛ

4. Вставить плату с исследуемыми ИМС (исследуемый ТЭЗ) в 48-контактный разъём, расположенный над гравировкой ТЭЗ КОНТРОЛИРУЕМЫЙ. Подать на входы одного ЛЭ ИМС К155ЛА3 (см. рис. 1.5) импульсы С1 и С2 (см. рис.1.6). Просмотреть на экране осциллографа и зарисовать форму и взаимное расположение импульсов на входе (С1 и С2) и выходе ЛЭ. Сделать вывод о логической функции, выполняемой элементом.

Примечание. Импульсы изображать друг под другом при внешней синхронизации осциллографа и с указанием масштаба по оси напряжений. Этого правила необходимо придерживаться и в дальнейшем.

5. Подавая на один вход ЛЭ К155ЛА3 поочередно напряжения, соответствующие логическому нулю (U^0) и логической единице (U^1), измерить с помощью осциллографа напряжение на другом свободном входе. Объяснить полученные результаты.

6. Установить на одном из входов ЛЭ К155ЛА3 напряжение логического нуля и измерить напряжение на выходе элемента. Затем между выходом этого ЛЭ и источником питания $E = 5$ В включить резистор $R = 1$ кОм и снова измерить напряжение на выходе элемента. Сделать вывод по результатам измерений.

Примечание. Резистор $R = 1$ кОм находится на плате и подключен между контактами 1, на который подается напряжение источника питания $E1 = +5$ В, и 6. Указанное подключение резистора будет достигнуто при соединении контакта 6 с выходным контактом исследуемого ЛЭ.

7. Определить среднее время задержки распространения сигнала, создаваемое одним логическим элементом К155ЛА3. С этой целью собрать автогенератор из трёх последовательно соединённых ЛЭ (рис.1.7). Соединение соответствующих выводов ИМС достигается установкой штырей в гнезда, находящиеся на пересечении горизонтальных рядов гнезд КП1-2, подключённых к контактам 48-контактного разъёма исследуемого ТЭЗа, с вертикальными шинами.

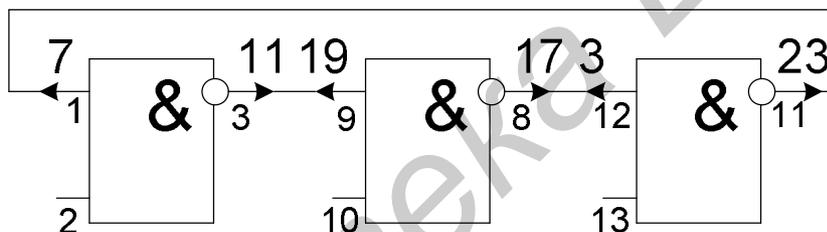


Рис.1.7. Схема автогенератора на ЛЭ И-НЕ

Среднее время задержки распространения сигнала рассчитывается по формуле:

$$T_{з.р.ср} = T / 2n,$$

где T – период генерируемых колебаний, n – число последовательно соединённых ЛЭ.

Период генерируемых автогенератором электрических колебаний определяется с помощью осциллографа, работающего в режиме внутренней синхронизации.

8. Для исследования ИМС К155ЛР1 подать сигналы С1 и С2 (см. рис.1.6) на входы Х5, Х8 и зарисовать осциллограммы напряжений на выводах Х5, Х8, Х9, Х10 и У2. Объяснить полученные значения логических уровней.

Б. Исследование логических элементов ТТЛШ

1. Подключить сигнальный кабель осциллографа к гнезду "Уосц", а вход синхронизации – к гнезду СИНХР, расположенному на передней панели стенда.

2. Подать на вертикальные шины D и F коммутационных полей КП1 импульсные сигналы С1 и С2 ТТЛ. С помощью регулировок ПЕРИОД, τ_{C1} , τ_{C2} и ЗАДЕРЖКА установить взаимное расположение импульсов С1 и С2 таким, как показано на рис.1.6, при внешней синхронизации осциллографа импульсами С1.

3. Вставить плату с исследуемыми ИМС (исследуемый ТЭЗ) в 48-контактный разъём, расположенный над гравировкой ТЭЗ КОНТРОЛИРУЕМЫЙ. Подать на входы одного ЛЭ ИМС К1533ЛА3 (контакты 22, 24 ТЭЗ) импульсы С1 и С2 (см. рис.1.6). Просмотреть на экране осциллографа и зарисовать форму и взаимное расположение импульсов на входе (С1 и С2) и выходе ЛЭ (контакт 26 ТЭЗ). Сделать вывод о логической функции, выполняемой элементом.

4. Подавая на один вход ЛЭ К1533ЛА3 поочередно напряжения, соответствующие логическому нулю (U^0) и логической единице (U^1), измерить с помощью осциллографа напряжение на другом свободном входе. Объяснить полученные результаты.

5. Установить на одном из входов ЛЭ К1533ЛА3 напряжение логического нуля и измерить напряжение на выходе элемента. Затем между выходом этого ЛЭ и источником питания $E = 5$ В включить резистор $R = 1$ кОм

и снова измерить напряжение на выходе элемента. Сделать вывод по результатам измерений.

6. Определить среднее время задержки распространения сигнала, создаваемое одним логическим элементом К1533ЛА3. С этой целью собрать автогенератор из трёх последовательно соединённых ЛЭ (рис.1.8). Соединение соответствующих выводов ИМС достигается установкой штырей в гнезда, находящиеся на пересечении горизонтальных рядов гнезд КП1-2, подключённых к контактам 48-контактного разъёма исследуемого ТЭЗа, с вертикальными шинами.

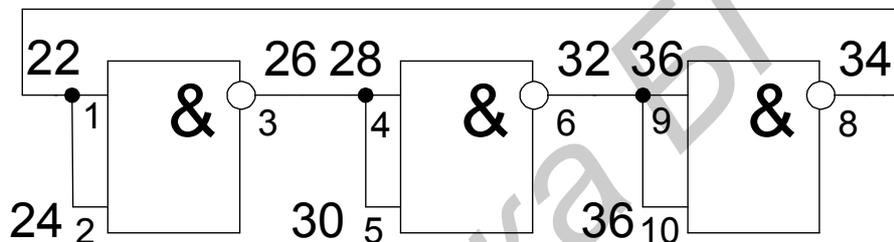


Рис.1.8. Схема автогенератора на ЛЭ 2И-НЕ

Среднее время задержки распространения сигнала рассчитывается по формуле, приведенной ранее. Период генерируемых автогенератором электрических колебаний определяется с помощью осциллографа, работающего в режиме внутренней синхронизации.

3. Содержание отчёта

1. Принципиальные схемы базовых логических элементов ТТЛ, ТТЛШ.
2. Результаты лабораторных исследований: осциллограммы напряжений, расчёты параметров U^{\pm} , U^1 , U^0 , $t_{з.р.ср}$ и др.
3. Выводы по отдельным пунктам исследований и по работе в целом.

ИССЛЕДОВАНИЕ ТРИГГЕРОВ

- Цель:
1. Изучить функциональные схемы, принцип действия одноступенчатых и двухступенчатых триггеров, управляемых уровнем и фронтом синхроимпульсов.
 2. Приобрести практические навыки в синтезе асинхронных и синхронных триггеров.

1. Краткие сведения из теории триггеров

В общем случае триггер представляет собой устройство, состоящее из схемы управления и ячейки памяти, или собственно триггера. В зависимости от схемы управления триггеры классифицируют на асинхронные и синхронные. Переключение асинхронных триггеров осуществляется сигналами, подаваемыми на информационные входы. Синхронные триггеры кроме информационных входов имеют дополнительный синхронизирующий вход и переключаются в состояние, определяемое сигналами на информационных входах, только во время действия разрешающих сигналов на их синхронизирующих входах. Синхронные триггеры могут иметь также и асинхронные входы. Переключение такого триггера по асинхронным входам осуществляется независимо от сигналов на остальных входах.

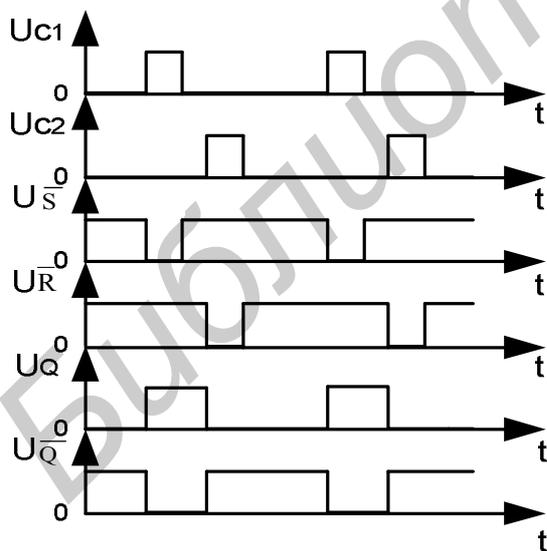
По способу приёма информации триггеры делятся на две группы: со статическим управлением, когда переключение осуществляется уровнем синхроимпульса или уровнями напряжения сигналов на информационных входах, и с динамическим управлением. В последнем случае триггер переключается фронтом (или срезом) синхроимпульса. По способу передачи информации синхронные триггеры могут быть одноступенчатыми или двухступенчатыми. У синхронных одноступенчатых триггеров уровни

выходных напряжений неразрывно связаны с моментом появления входных сигналов. В двухступенчатых синхронных триггерах имеются элементы, обеспечивающие передачу информации в собственно триггер только после окончания действия тактового (синхронизирующего сигнала), т.е. обеспечивается свойство внутренней задержки передачи информации. В качестве элементов задержки используются дополнительные триггеры или другие элементы памяти. При построении двухступенчатых триггеров чаще всего применяется схема M-S (M – основной триггер, S –вспомогательный).

В данной работе исследуются:

- асинхронный \overline{RS} – триггер на ЛЭ И-НЕ;
- асинхронный RS – триггер;
- D-триггер с динамическим синхровходом;
- универсальный JK-триггер.

Асинхронный RS-триггер на ЛЭ И-НЕ можно выполнить на одной микросхеме К155ЛА3 или К1533ЛА3, содержащей четыре логических элемента 2И-НЕ (см. рис.1.5 в работе № 1). Работа



такого триггера определяется уровнями напряжений на информационных входах S и R в соответствии с таблицей состояний (табл.2.1) и иллюстрируется графиками, приведёнными на рис.2.1.

Таблица 2.1

R	S	Q^{n+1}	\overline{Q}^{n+1}
0	0	Q^n	Q^n
0	1	1	0
1	0	0	1
1	1	н/о	н/о

Рис.2.1. Графики напряжений, иллюстрирующие работу асинхронного RS-триггера

ИМС К155ТВ1 (КР1533ТВ10) представляет собой синхронный двухступенчатый JK -триггер, функциональная схема которого приведена на рис.2.2. Вспомогательный триггер образован элементами E7, E8, а основной – элементами E3, E4, E5, E6.

Входы \bar{S} и \bar{R} - установочные. При этом состояния сигналы на входах J и R безразличны. При $\bar{R}=\bar{S}= 1$ триггер работает как синхронный двухступенчатый JK-триггер по схеме "M-S". По переднему (положительному) импульсу синхронизации С происходит запись информации в основной триггер в соответствии с логическими уровнями сигналов на входах J и K. Одновременно импульс синхронизации блокирует цепи перезаписи информации из основного триггера в вспомогательный. На время действия импульса синхронизации во вспомогательном триггере сохраняется информация, записанная в предыдущем такте. По окончании импульса синхронизации (отрицательным фронтом импульса синхронизации) блокировка снимается и происходит перезапись информации из основного триггера во вспомогательный. Временная диаграмма работы триггера К155ТВ1 приведена на рис. 2.3.

ИМС KI55TM2 включает в себя два одноступенчатых D-триггера, управляемых положительным фронтом синхроимпульса С и имеющих асинхронные входы R и S, служащие для независимой установки триггера в состояние логического нуля или единицы (рис.2.4). Логическая структура D-триггера содержит следующие элементы: асинхронный $\bar{R}\bar{S}$ -триггер (Т3); синхронный $\bar{R}\bar{S}$ - триггер (Т1); синхронный $\bar{R}\bar{S}$ -триггер (Т2).

С приходом положительного фронта импульса синхронизации в момент времени t информация, поступающая на вход D, принимается обоими триггерами Т1, Т2, но на выходе появляется с задержкой в момент времени $t+1$: $Q(t+1) = D(t)$. Таким образом, D-триггер следит за изменением входной

информации в момент прихода положительного фронта импульса синхронизации.

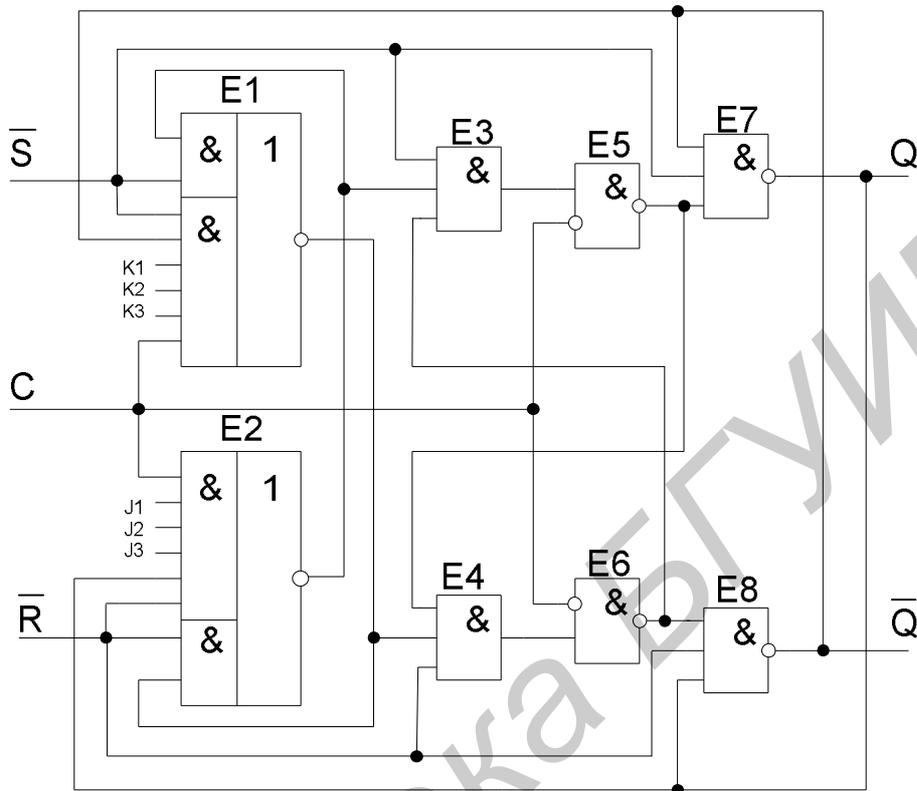


Рис 2.2. Функциональная схема JK-триггера К155ТВ1

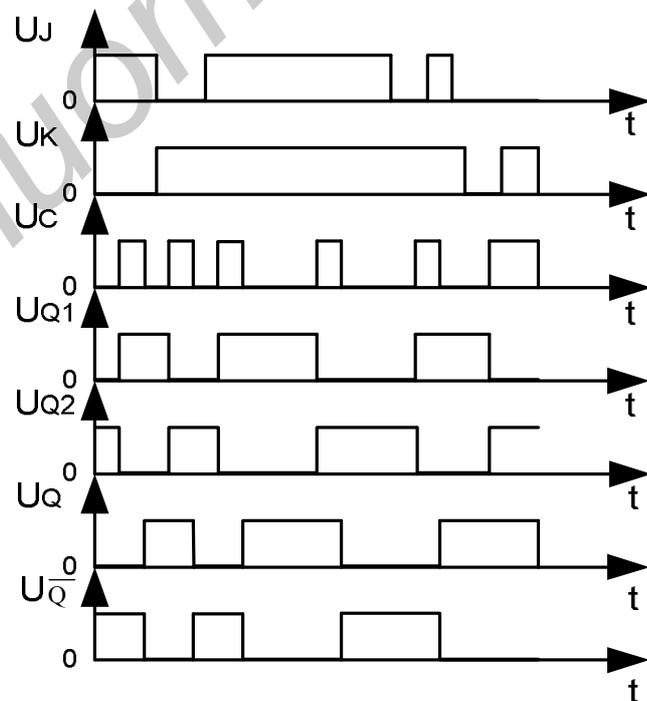


Рис.2.3. Временные диаграммы работы триггера К155ТВ1 (К1533ТВ1)

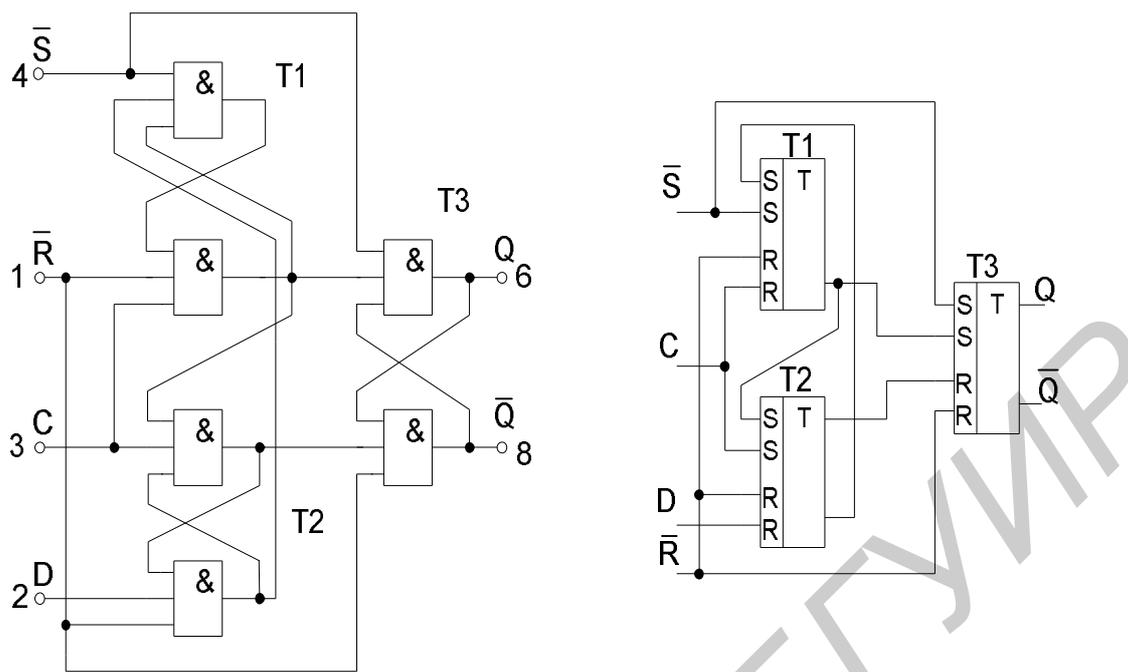


Рис.2.4. Логическая структура (а) и функциональная схема (б) триггера К155ТМ2(К1533ТМ2)

Временные диаграммы работы триггера К155ТМ2 приведены на рис.2.5.

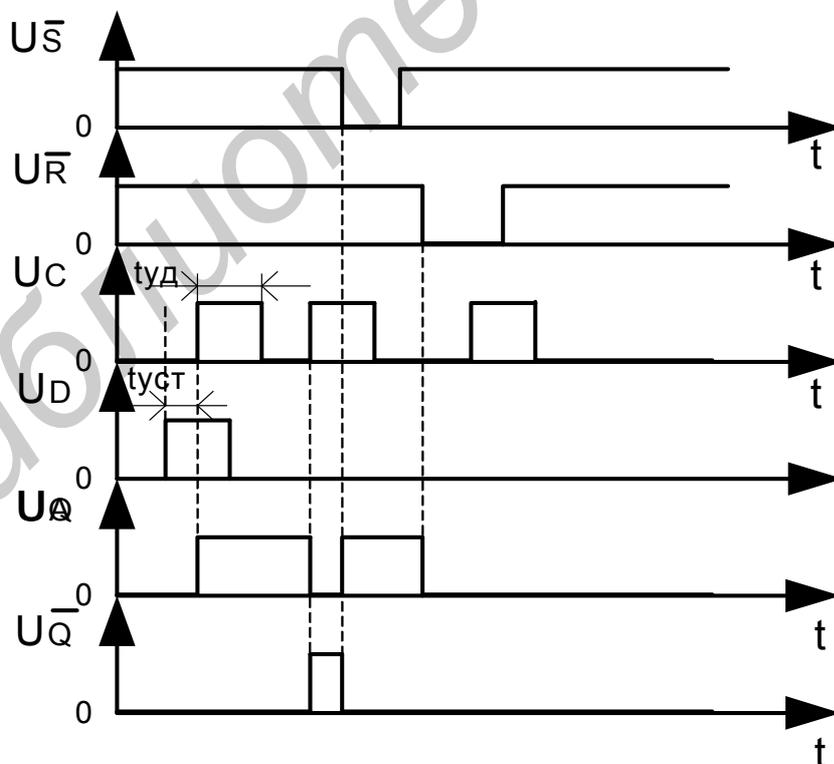


Рис.2.5. Временные диаграммы работы триггера К155ТМ2 (К1533ТМ2)

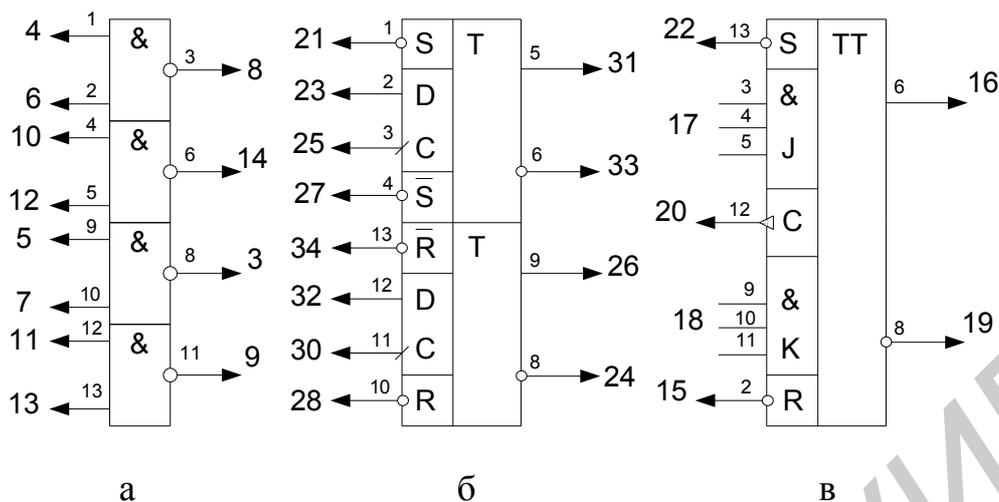


Рис.2.6. УГО исследуемых интегральных микросхем: K155ЛА3 (а), K155ТМ2(б), K155ТВ1(в)

На рис.2.6 приведены условные графические обозначения исследуемых в данной работе микросхем, управляемых сигналами ТТЛ. Цифры, примыкающие к сторонам УГО, обозначают номера выводов микросхем, а цифры у стрелок - номера контактов 48-контактного разъёма, соединенных с этими выводами.

2. Порядок выполнения работы

2.1. Исследование триггеров ТТЛ

А. Исследование RS - триггера

1. Собрать схему RS-триггера из логических элементов 2И-НЕ ИМС K155ЛА3 в соответствии с рис.2.7. Для соединения входов и выходов ЛЭ использовать вертикальные шины Е, G, Н, К коммутационного поля КП1-2.

2. Подать на шину L высокий (U^1), а на шину M - низкий (U^0) уровни напряжений ТТЛ, установив штыри в гнезда L7 и M8 коммутационного поля СИГНАЛЫ СТЕНДА. Вход S триггера подключить к шине L, а вход R – к шине M.

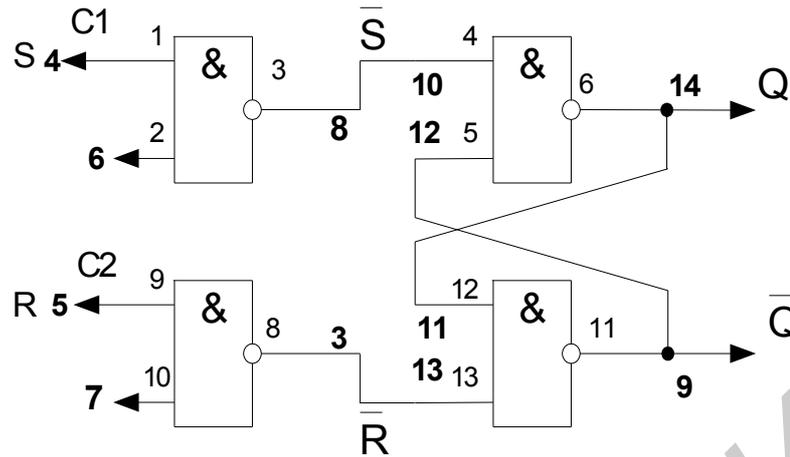


Рис.2.7. Схема RS-триггера на ЛЭ И-НЕ

Включить осциллограф и источник питания ЕС-0822. С помощью осциллографа определить уровни напряжений на выходах Q и \bar{Q} ,

3. Изменить уровни напряжений на входах S и R на противоположные. Убедиться в изменении уровней напряжений на выходах Q и \bar{Q} .

4. Для исследования RS - триггера в динамике подать импульсы $C1$ и $C2$ ТТЛ на шины D и F , вставив штыри в гнезда D и F коммутационного поля СИГНАЛЫ СТЕНДА. С помощью осциллографа и органов регулировки параметров импульсов установить временное расположение импульсов $C1$ и $C2$ в соответствии с рис.2.8.

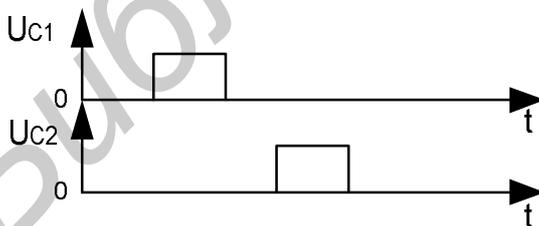


Рис.2.8. Импульсы $C1$ и $C2$, используемые при исследованиях RS- и D-триггеров

5. Подать сигналы $C1$ и $C2$ ТТЛ (рис.2.8) на входы RS-триггера (рис.2.7). Синхронизацию осциллографа осуществить импульсами $C1$, установив штырь в гнездо D КИА КП1-3.

Зарисовать друг под другом осциллограммы напряжений на входах С1, С2, \bar{S} , \bar{R} и выходах Q и \bar{Q} с указанием масштаба по оси напряжений.

Б. Исследование JK-триггера К155ТВ1

1. Установить на шине М розеток КП1-1, КП1-2, КП1-3 уровень напряжения логического нуля (U^0).

2. Подать напряжение логического нуля с шины М на вход синхронизации (вход С) триггера. Подключая сигнальный кабель осциллографа к выходам Q и \bar{Q} триггера, убедиться в противоположности логических уровней напряжения на этих выходах.

3. Убедиться, что при $C = U^0$ триггер не переключается, если напряжение низкого уровня U^0 поочередно подавать на входы J и K.

4. Убедиться, что при $C = U^0$ триггер переключается сигналами низкого уровня (U^0), подаваемыми поочередно на входы R и S.

5. Для исследования триггера К155ТВ1 подать на вход С импульсы С2. При внешней синхронизации осциллографа импульсами (гнездо 19) просмотреть и зарисовать осциллограммы напряжений на входе С2 и выходах Q и \bar{Q} .

6. Подавая поочередно напряжение U^0 с шины М на входы J и K при наличии импульсов С1 на входе С триггера, наблюдать изменение уровней напряжений на выходах Q и \bar{Q} .

7. Для исследования работы ИМС К155ТВ1 в качестве синхронного T-триггера включить ее так, как показано на рис.2.7,а. Подать на объединенные входы J и K импульсы С1, а на вход С – импульсы С2, предварительно установив их взаимное временное расположение в соответствии с рис.2.7,б. Синхронизацию осциллографа произвести импульсами С1.

Просмотреть и зарисовать осциллограммы напряжений на входах J, К, С и выходах Q и \bar{Q} , при этом синхронизацию осуществить импульсами Q (гнездо 16).

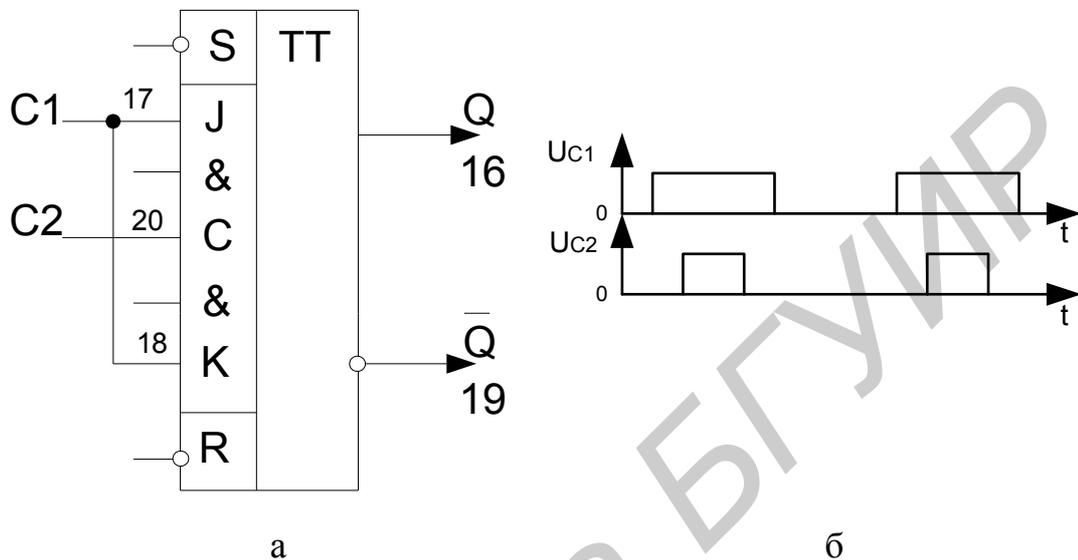


Рис.2.7. Схема включения ИМС К155ТВ1 в качестве синхронного Т-триггера (а) и графики входных сигналов (б)

В. Исследование D-триггера К155ТМ2

1. Установить на вертикальной шине М поля КП1-2 напряжение логического нуля ТТЛ.

Подавая попеременно напряжение U^0 на входы R и S первого триггера, убедиться в управлении триггером по асинхронным входам (рис. 2.6,б).

Подобным образом проверить второй триггер Т2.

2. Собрать схему, приведенную на рис.2.8.

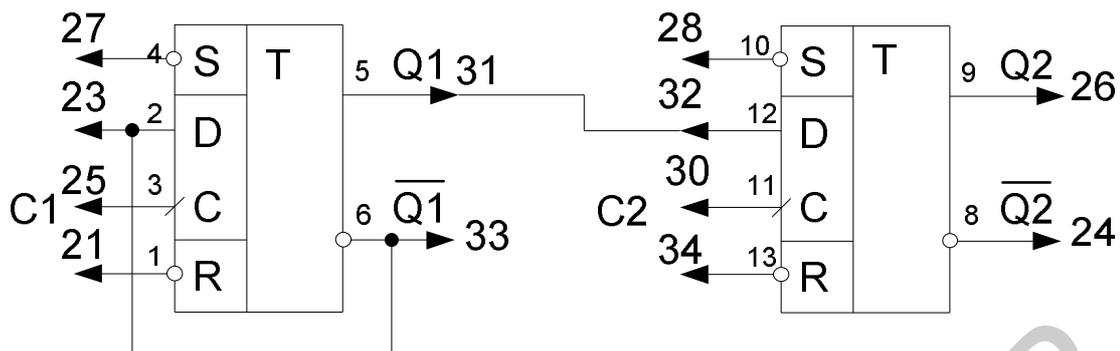


Рис.2.8. Схема, иллюстрирующая управление D-триггера (Т2) по D-входу

3. Подать на синхронизирующий вход первого триггера импульсы C1, а на вход синхронизации второго – импульсы C2, установив их временное расположение в соответствии с рис.2.8. Синхронизацию осциллографа осуществить импульсами C1.

Просмотреть с помощью осциллографа и зарисовать осциллограммы напряжений C1, C2, Q1, $\overline{Q1}$, Q2, при этом синхронизацию осуществить импульсами Q2 (гнездо 26).

3. Содержание отчета

1. Функциональные схемы и УГО исследуемых триггеров.
2. Результаты лабораторных исследований.
3. Выводы по работе.

Лабораторная работа № 3

ИССЛЕДОВАНИЕ СЧЕТЧИКОВ ИМПУЛЬСОВ К155ИЕ7, КР1533ИЕ7

- Цель:
1. Изучить принципиальные схемы, принцип действия интегральных счётчиков импульсов К155ИЕ7, КР1533ИЕ7.
 2. Приобрести практические навыки в работе с комбинационными и последовательностными операционными узлами.

1. Краткие сведения об исследуемых ИМС

Подсчёт импульсов является одной из наиболее распространенных операций, выполняемых устройствами цифровой обработки информации. Исследуемый в данной работе реверсивный двоичный счётчик К155ИЕ7 помимо операций суммирования и вычитания числа импульсов, поступающих на его входы, позволяет также выполнять операции параллельного занесения информации в счётчик и его обнуления.

Функциональная схема счётчика К155ИЕ7 представлена на рис.3.1, а временные диаграммы работы – на рис.3.2. Условное обозначение счётчика дано на рис.3.3, а.

Схема имеет следующие входы и выходы:

"+1" – суммирующий вход;

"-1" – вычитающий вход;

При подаче импульсов на выбранный вход на втором входе счётчика необходимо поддерживать высокий уровень напряжения. Переключение счётчика осуществляется по положительному перепаду импульсов на входах "+1" или "-1";

"R" – вход сброса (обнуления) счётчика. Сброс счётчика осуществляется сигналом высокого уровня;

"C" – вход занесения информация в счётчик. Информация заносится в счётчик по нулевому уровню сигнала на этом входе:

"D0", "D1", "D2", "D3" – информационные входы счётчика

" ≥ 15 " – выход переноса счётчика;

" ≤ 0 " – выход заёма счётчика.

Функциональная схема счётчика состоит из четырех двухступенчатых JK-триггеров, работающих в счетном режиме, с установочными R и S входами и комбинационной логической схемы, выполненной на элементах В1...В24. С помощью этой комбинационной схемы на \bar{R} , \bar{S} и C входах триггеров Т1...Т4 и на выходах " ≤ 0 " и " ≥ 15 " вырабатываются сигналы согласно системе уравнений:

$$C1 = (\bar{+1}) + (\bar{-1});$$

$$C2 = (\bar{+1}) * 2^0 + (\bar{-1}) * \bar{2}^0;$$

$$C3 = (\bar{+1}) * 2^0 * 2^1 + (\bar{-1}) * \bar{2}^0 * \bar{2}^1;$$

$$C4 = (\bar{+1}) * 2^0 * 2^1 * 2^2 + (\bar{-1}) * \bar{2}^0 * \bar{2}^1 * \bar{2}^2;$$

$$R1 = \overline{R + \bar{D0} * C};$$

$$R2 = \overline{R + \bar{D1} * C};$$

$$R3 = \overline{R + \bar{D2} * C};$$

$$R4 = \overline{R + \bar{D3} * C};$$

$$S1 = \bar{D0} + C;$$

$$S2 = \bar{D1} + C;$$

$$S3 = \bar{D2} + C;$$

$$S4 = \bar{D3} + C;$$

$$(\geq 15) = (+1) * 2^0 * 2^1 * 2^2 * 2^3;$$

$$(\leq 0) = (\bar{-1}) * \bar{2}^0 * \bar{2}^1 * \bar{2}^2 * \bar{2}^3.$$

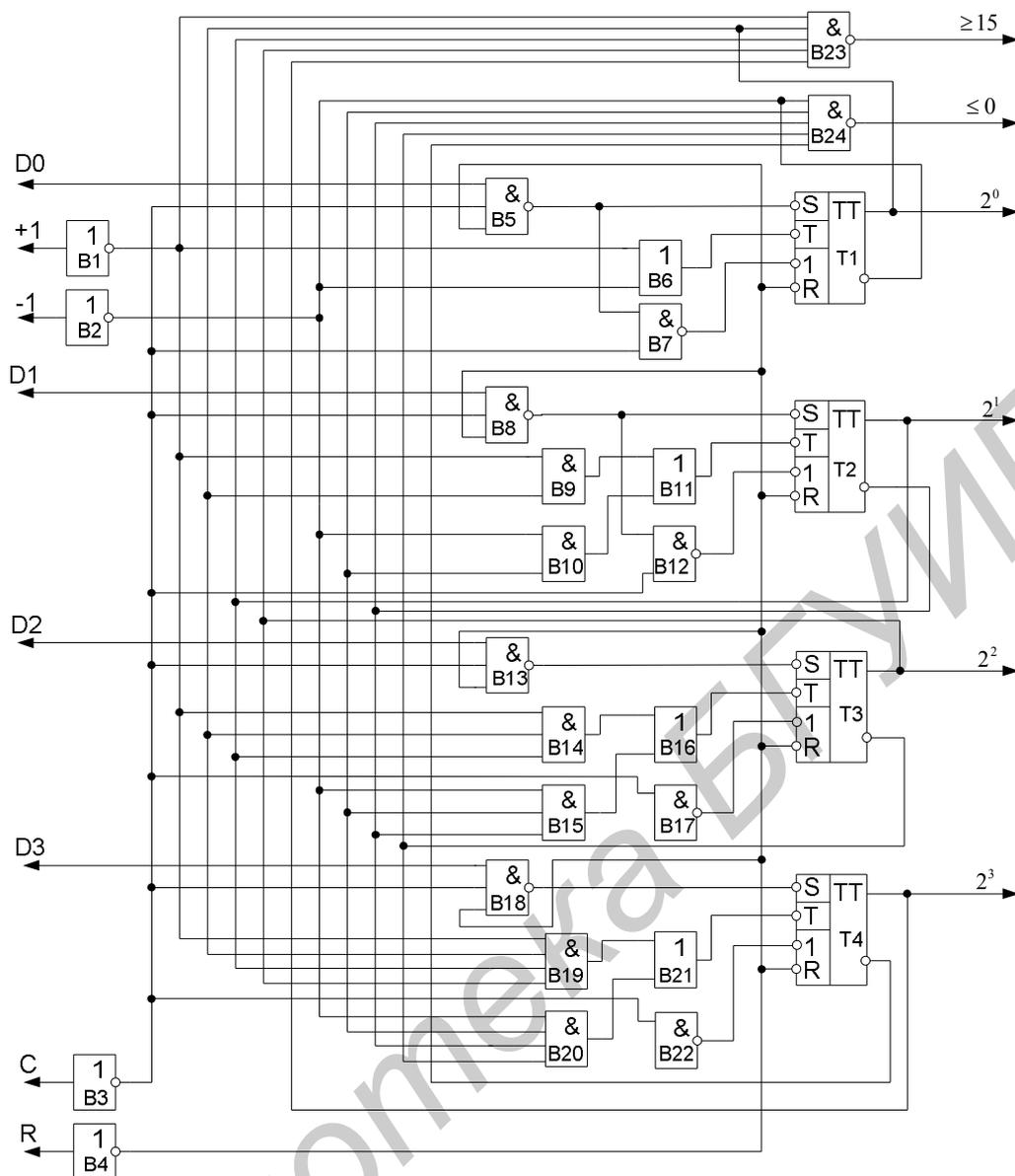


Рис.3.1. Функциональная схема счётчика K155IE7

Использование выходов переноса и заёма (эти выходы называются также выходами прямого и обратного переноса) позволяют строить счётчики с большей разрядностью. При этом счетчики подключаются так, как показано на рис.3.4.

Счётчик импульсов K155IE7 за счёт введения обратной связи с выхода переноса (заёма) на вход разрешения занесения информации позволяет реализовать делитель частоты следования импульсов с переменным коэффициентом деления. Схема такого делителя приведена на рис.3.5. Коэффициент деления зависит от длительности входных импульсов. При

импульсах большой длительности за один такт осуществляется две операции: $CT := [D]$ и затем $CT := [CT] + 1$. При пересчете импульсов малой длительности ($t_{и} = t_{ТР} + t_{и-НЕ} \approx 40$ нс, где $t_{ТР}$ - задержка переключения триггера, $t_{и-НЕ}$ - задержка элемента И-НЕ) коэффициент деления получается на единицу больше, так как обе указанные операции за один такт выполниться не могут и после занесения в счётчик информации с входов D прибавления единицы не происходит.

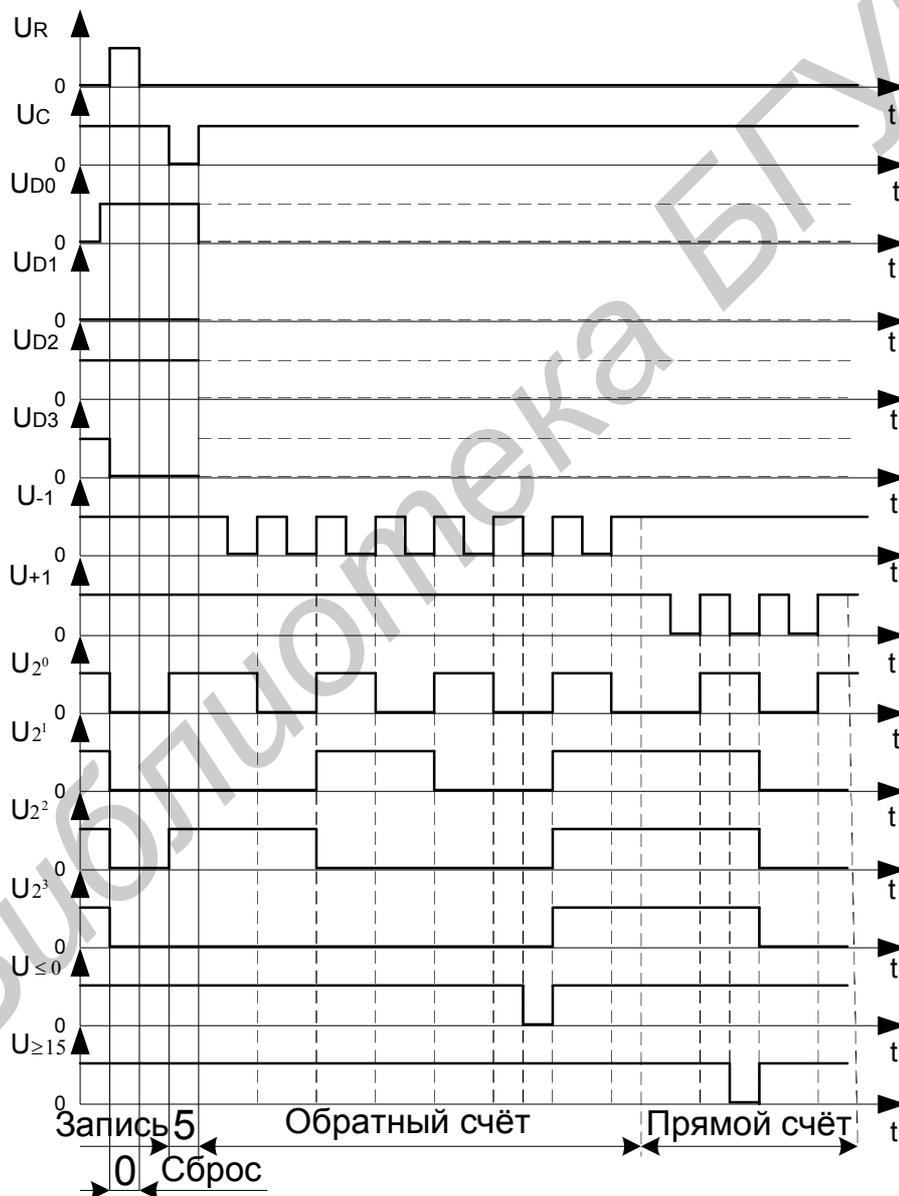


Рис.3.2. Временные диаграммы счетчика K155IE7

Коэффициент деления счетчика при использовании выхода переноса составляет $16 - ([D] + 1)$ и $16 - [D]$, а при использовании выхода заёма – $[D]$ и $([D] + 1)$. Вторые значения соответствуют случаю действия на входах коротких импульсов.

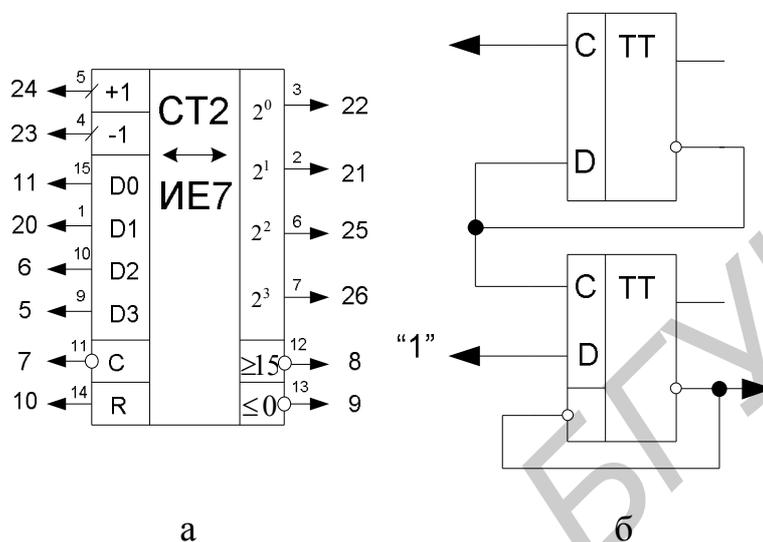


Рис.3.3. УГО двоичного счётчика импульсов К155ИЕ7 (а) и схема генератора коротких импульсов (б)

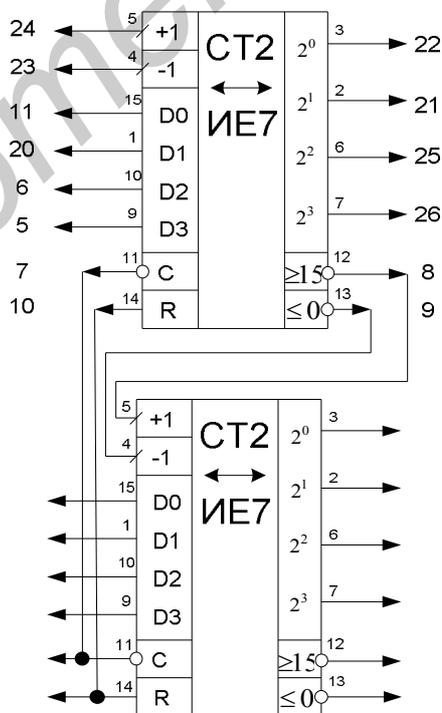


Рис.3.4. Каскадное включение счётчиков К155ИЕ7

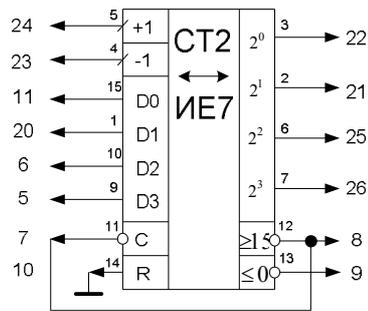


Рис.3.5. Использование счетчика К155ИЕ7 в качестве делителя частоты с переменным коэффициентом деления

Счётчик К155ИЕ7 имеет одну запрещённую комбинации входных сигналов: нельзя одновременно подавать импульсы на входы "+1 и "-1". При поступлении импульсов на один из указанных входов на втором необходимо обеспечить высокий уровень напряжения (уровень логической единицы).

2. Порядок выполнения работы

А. Исследование счётчика импульсов К155ИЕ7

1. Подключить осциллограф к стенду, соединив ВХОД Y осциллографа с гнездом "Y_{ОСЦ}" стенда, а вход синхронизации с гнездом СИНХР стенда.
2. Вставить плату с исследуемой микросхемой в 48-контактный разъем ТЭЗ КОНТРОЛИРУЕМЫЙ.
3. Подать напряжения питания на стенд ЕС-А105, нажав на кнопку ВКЛ, расположенную на задней стороне стойки питания.
4. Исследовать функционирование счётчика К155ИЕ7 в различных режимах:

4.1. Режим суммирования

Подать на шину D розетки КП1 импульсы С1 ТТЛ, установив штырь в гнездо 1D поля СИГНАЛЫ СТЕНДА. С помощью регулировок $\tau C1$ и ПЕРИОД установить приемлемые значения длительности и скважности импульсов. Подать импульсы С1 с шины D на вход "+1" счётчика. На входы "-1" и "С" подать напряжения уровня логической единицы, а на вход "R" – напряжение

логического нуля. Синхронизацию осциллографа осуществить импульсами переноса счётчика или импульсами с выхода старшего разряда.

Просмотреть и зарисовать диаграммы напряжений на входе "+1" и выходах F0...F3, " ≥ 15 ".

4.2. Режим вычитания

Подать импульсы с шины D на вход "-1" счётчика, а на входе "+1" установить напряжение высокого уровня. Синхронизацию осциллографа осуществить импульсами заёма с выхода " ≤ 0 " либо с выхода последнего разряда счетчика. Состояния входов "C" и "R" те же, что и в режиме суммирования.

Просмотреть и зарисовать осциллограммы напряжений на входе "-1" и на выходах F0...F3, " ≤ 0 ".

4.3. Режим параллельного занесения информации

Обеспечив режим сложения или вычитания (в последнем случае сохраняется неизменной коммутация предыдущего пункта), подать на входы D0...D3 код числа, заданного преподавателем.

Подать на вход "C" счетчика напряжение логического нуля, снять осциллограммы напряжений на выходах.

4.4. Режим обнуления

Обеспечить режим суммирования или вычитания счётчика. Изменить на входе "R" счётчика напряжение низкого уровня напряжением высокого уровня.

Снять осциллограммы напряжений на входах и выходах счётчика.

4.5. Режим деления частоты с переменным коэффициентом деления

Собрать схему, приведенную на рис.3.5. На вход "+1" подать импульсы C1, на вход "-1" – напряжение логической единицы, на вход "R" – напряжение логического нуля, а на входы D0...D3 – код числа, заданного преподавателем.

Синхронизацию осциллографа осуществить импульсами переноса или импульсами старшего разряда счётчика.

Просмотреть и зарисовать осциллограммы напряжений на входах и выходах счётчика.

Определить коэффициент деления по полученным осциллограммам и теоретическим путём.

Выполнить предыдущие задания пункта 4.5, заменив импульсы

S1 на входе "+1" импульсами с выхода генератора коротких импульсов, собранного по схеме рис.3.3,б.

3. Содержание отчета

1.Функциональные обозначения исследуемых ИМС.

2.Результаты лабораторных исследований.

3.Выводы по работе.

ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ, МУЛЬТИПЛЕКСОРОВ,
ДЕМУЛЬТИПЛЕКСОРОВ, КОМПАРАТОРОВ

- Цель: 1. Изучить и экспериментально исследовать функции, выполняемые типовыми операционными узлами ЭВМ.
2. Исследовать совместную работу дешифраторов, шифраторов, мультиплексоров, демультиплексоров, компараторов и элементов, обеспечивающих их устойчивую совместную работу.

1. Краткие теоретические сведения

1.1. Дешифраторы

Дешифратор – это операционный узел ЭВМ матричного комбинационного типа, выполняющий функцию декодирования некоторого кода, поданного на его входы. Полный двоичный дешифратор преобразует двоичный n -разрядный позиционный код в $N=2^n$ -разрядный унитарный код. Другими словами активизируется выход, определяемый входным кодом схемы. Например, в дешифраторе на 4 входа и 16 выходов при входном коде ABCD активизируется 3-й выход, если входной код соответствует числу 0011. В соответствии с этим функция для 3-го выхода имеет вид

$$m_3 = \overline{A}BCD,$$

где переменная A имеет наибольший вес в подаваемом коде. Вид этой Функции на карте Карно приведен на рис.4.1,а.

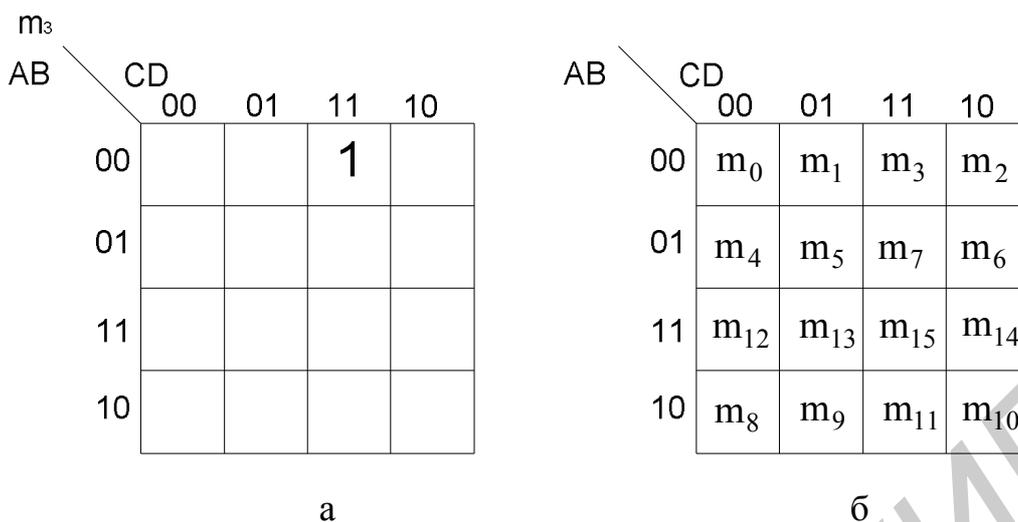


Рис.4.1. Карты Карно для функций выходов дешифратора 4 на 16

Аналогично определяются функции других выходов m_i , сводная карта Карно которых изображена на рис.4.1,б. В соответствии с этой диаграммой получаем схему четырёхвходового дешифратора, приведённую на рис.4.2.

Дешифраторы применяются в устройствах управления для дешифрации операций или микрокоманд в управляющие сигналы, в запоминающих устройствах для выбора ячейки памяти при записи или считывании информации. Так как дешифратор имеет значительно больше выходов, чем входов, то его выгодно применять с целью экономии контактов на входе ТЭЗов.

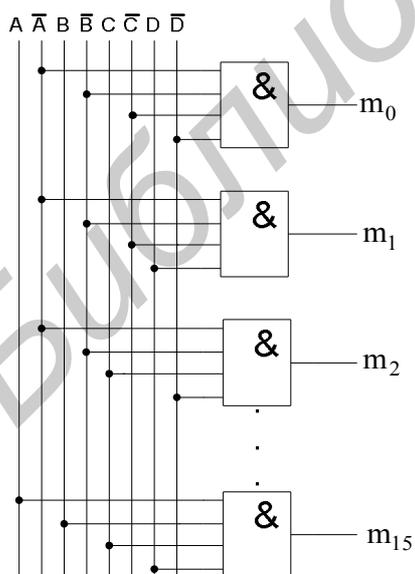


Рис.4.2. Логическая структура дешифратора 4 на 16

1.2. Демультимплексоры

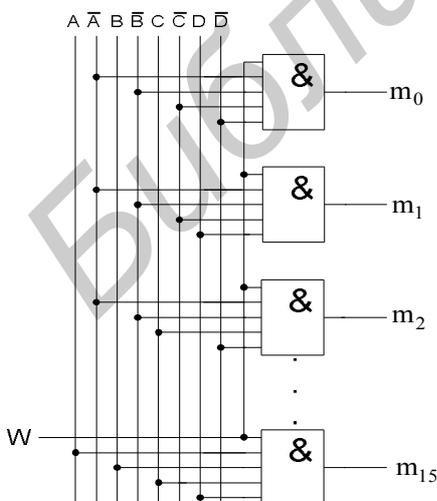
Демультимплексор – операционный узел ЭВМ комбинационного матричного типа, выполняющий функцию распределения информации, находящейся на его входе, по своим выходам. Другими словами, демультимплексор передаёт значение информации со своего единственного входа на один из выходов. Возбуждаемый (активизируемый) выход определяется кодом, подаваемый на адресные входы демультимплексора.

Функция, выполняемая демультимплексором, сходна с функцией дешифратора. Разница состоит лишь в том, что в демультимплексоре выход, обозначенный кодом адреса, активизируется только тогда, когда входной информационный сигнал активен, то есть функция для некоторого выхода демультимплексора имеет вид

$$m_i = m_i' W,$$

где m_i' – функция, полученная при синтезе дешифратора, W – входной информационный сигнал.

Схема демультимплексора 1 на 16 (с четырёхразрядным адресом), построенного в соответствии с этой формулой, показана на рис.4.3. В ней применяются вентили И на 5 входов. На пятые входы всех вентилях подаётся значение входного информационного сигнала.



Примечание: ввиду схожести функций дешифратора и демультимплексора промышленностью, как правило, выпускаются стробируемые дешифраторы, которые в зависимости от использования стробирующего входа могут использоваться как дешифраторы или как демультимплексоры.

Рис.4.3. Логическая структура демультимплексора “с 1 на 16”

Демультимплексоры применяются для преобразования информации из последовательной формы в параллельную.

1.3. Мультиплексоры

Мультиплексор осуществляет функцию выбора данного (в простейшем случае – одного бита), расположенного на некотором его входе, и передачи его на выход. Схема имеет n -адресных входов и $N = 2^n$ информационных выходов. Если информационный вход, соответствующий определённому адресному коду, имеет активный уровень, то активизируется и выход схемы.

Аналитическое выражение выполняемой мультиплексором функции можно получить из следующих соображений: если адрес указывает на некоторый вход m_i (то есть выполняется функция m_i' адресных переменных, определённая при рассмотрении дешифратора), активность этого входа указывает на необходимость активизировать выход. При этом в каждый момент времени может выполняться условие m_0' или m_1' или m_2' и т.д.

В соответствии с этим получаем следующую функцию:

$$M = \bigvee_{i=0}^{15} m_i m_i'$$

Логическая структура мультиплексора, построенная в соответствии с этой функцией, изображена на рис.4.4.

Мультиплексоры применяют для преобразования параллельных цифровых кодов в последовательные с целью экономии числа контактов и линий связи на выходах блоков памяти при считывании выбранной информации по одной разрядной шине в многоразрядных сдвигателях информации и др. С помощью мультиплексора можно реализовать любые логические функции адресных сигналов, подавая на информационные входы постоянные сигналы, соответствующие требуемым значениям логической функции.

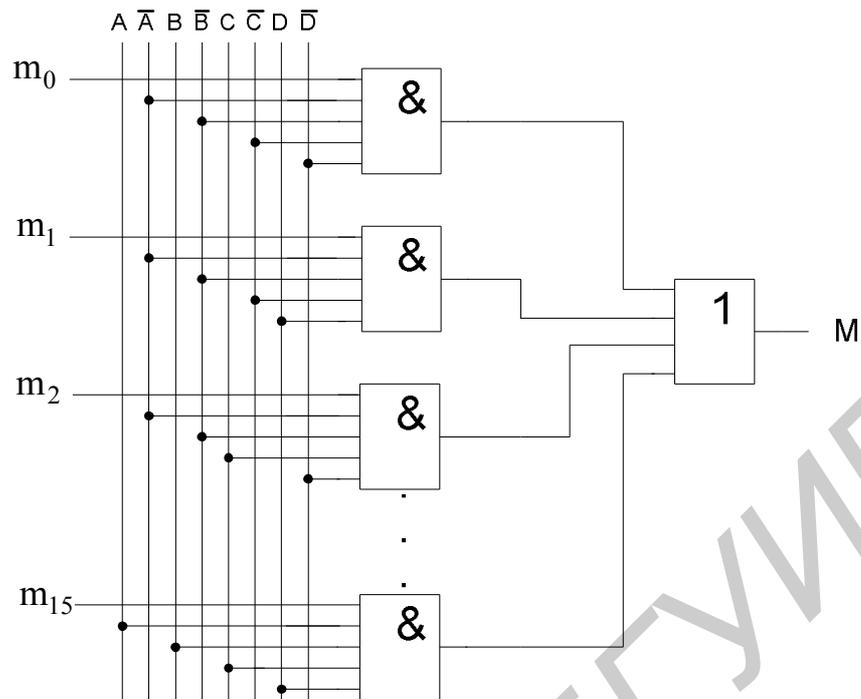


Рис.4.4. Логическая структура 16-входового мультиплексора

1.4. Шифраторы

Шифратор – операционный узел ЭВМ комбинационного матричного типа, выполняющий функцию, обратную декодированию. Шифратор обладает $N = 2^n$ входами и n выходами. При подаче логической “1” на один из его входов на выходе появляется двоичный код номера возбужденного входа. Другими словами, шифратор преобразует $N = 2^n$ -разрядный унитарный код в n -разрядный позиционный код.

Следовательно, только один из входов шифратора может быть активизирован. Однако существуют и так называемые приоритетные шифраторы, у которых возможна активизация сразу нескольких входов.

В таких дешифраторах на выходах образуется код активного входа, обладающего наибольшим приоритетом.

Рассмотрим схему шифратора 16 на 4, составив функции для каждого выхода схемы в отдельности (табл.4.1).

Таблица 4.1

Выходы	Входы															
	m_0	m_1	m_2	m_3	m_4	m_5	m_6	m_7	m_8	m_9	m_{10}	m_{11}	m_{12}	m_{13}	m_{14}	m_{15}
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
C	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
B	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
A	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Из таблицы следует, например:

$$D = m_1 + m_3 + m_5 + m_7 + m_9 + m_{11} + m_{13} + m_{15}$$

Рассуждая аналогично, можно получить функции для выходов А, В и С. Схема шифратора, соответствующая полученным функциям, дана на рис.4.5.

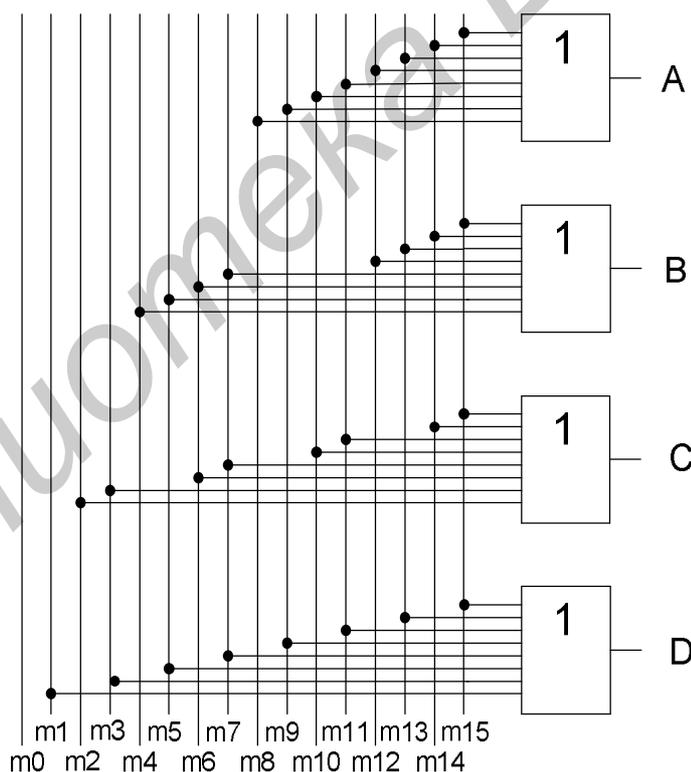


Рис.4.5. Логическая структура шифратора на 16 входов и 4 выхода

Шифраторы применяются для получения двоичного кода события, выраженного в активности уровней некоторого сигнала.

1.5. Компараторы

Компаратор сравнивает два n-разрядных числа и в соответствии со значениями этих чисел формирует результат на одном из выходов. В простейшем случае компаратор имеет 2n входов (по n на каждое число) и 3 выхода для вывода результата сравнения: <, =, >. Чисто логический синтез приводит к схеме, изображенной на рис.4.6,а. Однако такая схема не

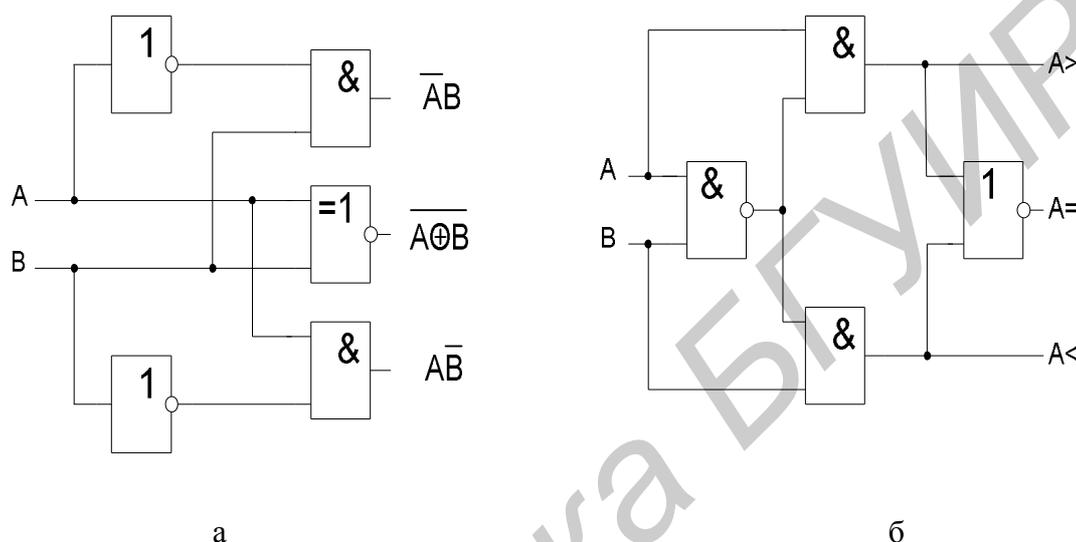


Рис.4.6. Логические структуры одноразрядных компараторов

оптимальна, поскольку схема ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ выполняется на трёх элементарных вентилях ($\overline{A \oplus B} = AB + \overline{A}\overline{B}$). Поэтому вместо неё используют более простую, показанную на рис.4.6,б. При соответствующем соединении можно получить компаратор и на большее количество бит. Так, функция $A > B$ для 4-битовых чисел имеет следующий вид:

$$A > B = (A_3 > B_3) + (A_3 = B_3)(A_2 > B_2) + (A_3 = B_3)(A_2 = B_2)(A_1 > B_1) + (A_3 = B_3)(A_2 = B_2)(A_1 = B_1)(A_0 > B_0)$$

Аналогично строятся функции и для других выходов компаратора.

2. Краткая характеристика исследуемых интегральных схем

Как видно из ранее рассмотренных схем матричных узлов ЭВМ, часто для их работы требуются не только прямые входные сигналы, но и их

инверсии. Для этих целей применяются инверторы, логическая структура и условное графическое обозначение которых показаны на рис.4.7. Использование инверторов на входах связано также с необходимостью уменьшения входных токов $I_{ВХ}^1$ и $I_{ВХ}^0$.

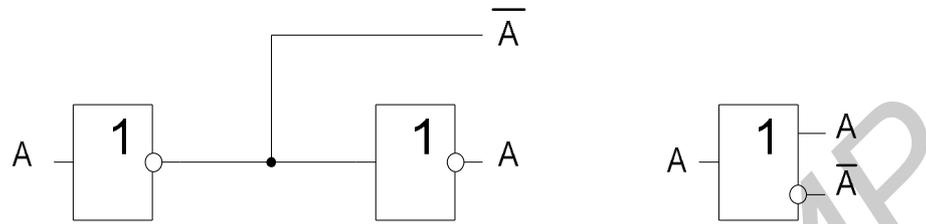


Рис.4.7. Инвертор, применяемый в матричных схемах

2.1. Дешифратор-демультиплексор К155ИД3

Отличие данного дешифратора (рис.4.8) от модели, изображённой на рис.4.2 и рис.4.3, заключается в наличии двух стробирующих входов \overline{W}_0 и \overline{W}_1 , возбуждаемых низким активным уровнем и объединённых между собой функцией И. Наличие таких входов обусловлено необходимостью расширения с применением нескольких схем для получения аналогичного устройства на 5 и 6 переменных.

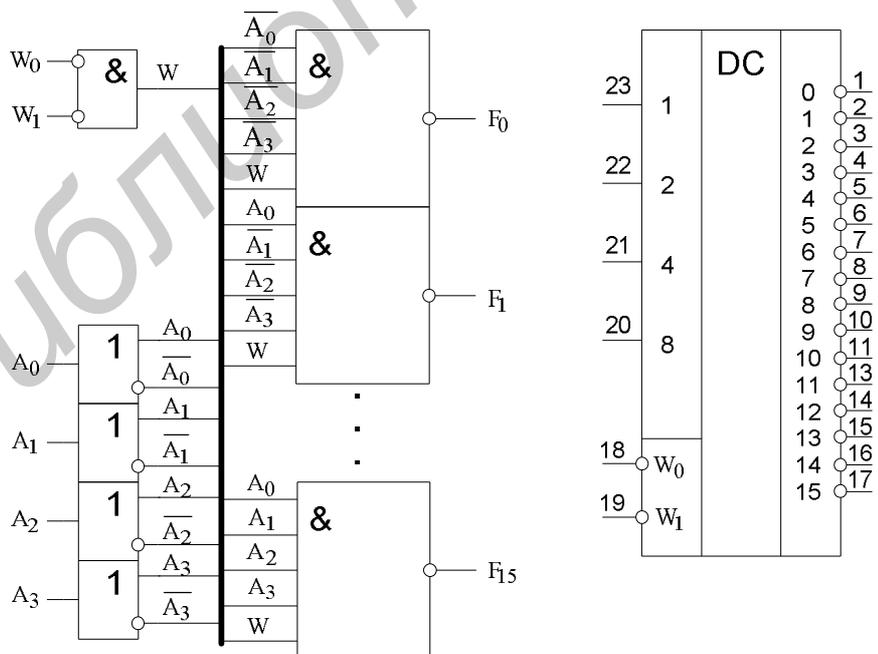


Рис.4.8. Логическая структура (а) и УГО (б) ИМС К155ИД3

2.2. Сдвоенный дешифратор-демультиплексор К155ИД4

Микросхема К155ИД4 (рис.4.9) может выполнять следующие функции:

- двойного дешифратора с 2 на 4;
- двойного демультиплексора с 1 на 4;
- дешифратора с 3 на 8;
- демультиплексора с 1 на 8.

Микросхема имеет два адресных входа A_1 и A_0 , которые предназначены для одновременного управления выходными состояниями каждой части схемы. В каждой части есть отдельный стробирующий вход $C1$, $C2$. Имеется два информационных входа Y и F – по одному информационному входу для каждой части. Разница между одной (верхней) и второй (нижней) частями схемы обусловлена лишь различием активных уровней сигналов на информационных входах.

Режим работы ИМС К155ИД4 приведен в табл.4.2.

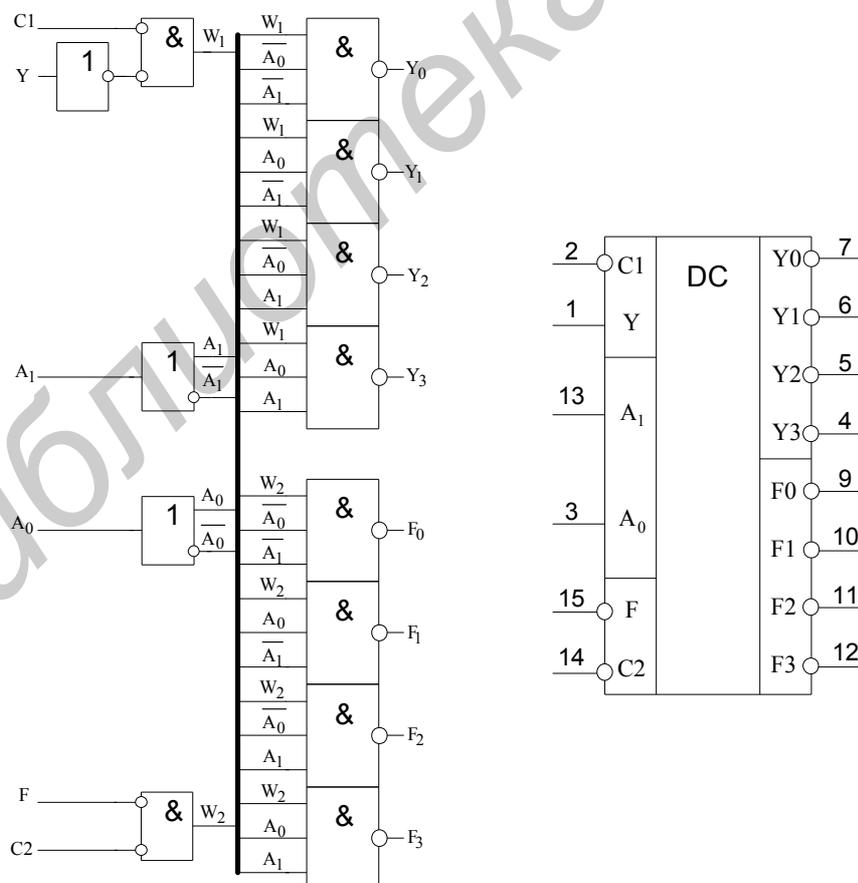


Рис.4.9. Логическая структура (а) и УГО (б) ИМС К155ИД4

Таблица 4.2

W_1, W_2	A_1, A_2		Y_3, F_3	Y_2, F_2	Y_1, F_1	Y_0, F_0
0	X	X	1	1	1	1
1	0	0	1	1	1	0
1	0	1	1	1	0	1
1	1	0	1	0	1	1
1	1	1	0	1	1	1

2.3. Сдвоенный мультиплексор К155КП2

Схема (рис.4.10) включает в себя два мультиплексора, объединённых общими адресными входами. Каждый мультиплексор имеет по одному стробирующему входу с активным низким уровнем и по 4 информационных входа. В остальном схема идентична мультиплексору, показанному на рис.4.4.

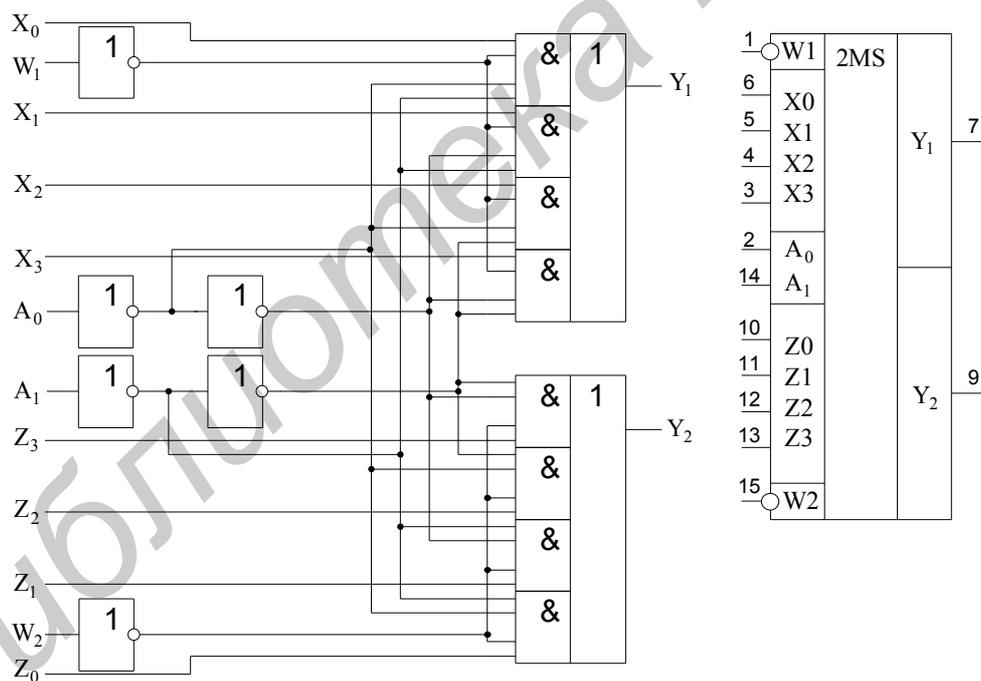


Рис.4.10. Логическая структура (а) и УГО (б) ИМС К155КП2

2.4. Компаратор К555СП1

Компаратор построен на модулях, приведённых на рис.4.6,б. Его условное графическое обозначение показано на рис.4.11. Из этого рисунка видно, что

кроме информационных входов в компараторе имеется три дополнительных входа $A <$, $A =$, $A >$, которые применяются для расширения.

	A	= =	
$\frac{10}{12}$	1		
	2		
$\frac{13}{15}$	4		
	8		
$\frac{2}{3}$	A<	A<	$\frac{7}{6}$
	A=	A=	$\frac{6}{5}$
$\frac{4}{4}$	A>	A>	$\frac{5}{5}$
	B		
$\frac{9}{11}$	1		
	2		
$\frac{14}{1}$	4		
	8		

Рис.4.11. УГО компаратора К555СП1

3. Исследуемые устройства

3.1. Устройство мультиплексирования шин данных

Данное устройство (рис.4.12) имеет три 4-битовые шины данных на входах и четыре 3-битовые шины на выходе. Имеется также вход, на который подаются счётные импульсы. Эти импульсы подсчитываются двухразрядным двоичным счётчиком, собранном на двух триггерах К155ТМ2. Выходы полученного счётчика используются как кодовые для управления всей схемой, в соответствии с этим кодом из входных шин выбираются проводники с соответствующим номером и помещаются на определённую выходную шину, определяемую этим же кодом. На выходах схемы стоят 4-разрядные регистры К155ИР1, в которых используются только 3 разряда. Эти регистры служат для закрепления поочередно подаваемых на них данных.

Инверторы на логических элементах К155ЛН3 (с открытым коллектором) и К155ЛА3 осуществляют задержку сигналов дешифратора, чтобы технологический разброс задержек К155ИД4 не влиял на правильный приём информации в регистры.

Основная часть схемы – мультиплексоры, выбирающие соответствующие разряды с входных шин, демультимплексоры, осуществляющие распределение выбранных разрядов по выходным регистрам (а, следовательно, и шинам), выполненные на элементах К155КП2 и К155ИД4 соответственно.

3.2. Устройство получения четырёхфазной последовательности тактовых импульсов

Схема этого устройства приведена на рис.4.13. Ввиду очевидной простоты выполняемых операций студентам предлагается разобраться в её работе самостоятельно.

4. Порядок выполнения работы

4.1. Исследование устройства мультиплексирования шин данных

4.1.1. Обеспечить подключение шины розеток КП1 к выходу генератора импульсов С1, установив штырёк в гнездо 1 поля СИГНАЛЫ СТЕНДА.

4.1.2. Подключить сигнальный кабель осциллографа к гнездам "У_{ОСЦ}" и "Земля" стенда.

4.1.3. Включить стенд и осциллограф и регулировками ПЕРИОД и С1 добиться устойчивой работы генератора импульсов С1.

4.1.4. Вставить в 48-контактный разъём ТЭЗ КОНТРОЛИРУЕМЫЙ плату исследуемого устройства.

4.1.5. Подать на вход двухразрядного счётчика, выполненного на триггерах К155ТМ2, импульсы С1 и при внешней синхронизации осциллографа импульсами с выхода старшего разряда счётчика, просмотреть и зарисовать осциллограммы напряжений на входе и выходах счётчика, на выходах ИМС К155КП2, К155ИД4, К155ИР1, а также на входах синхронизации регистров К155ИР1.

4.1.6. С помощью осциллографа измерить задержку отрицательного фронта, получаемую с помощью элементов К155ЛН3, К155ЛА3 и навесных

RC-элементов. Произвести аналитический расчёт этой задержки, считая значения сопротивлений в базах многоэмиттерных транзисторов ЛЭ К155ЛА3 равным 4 кОм.

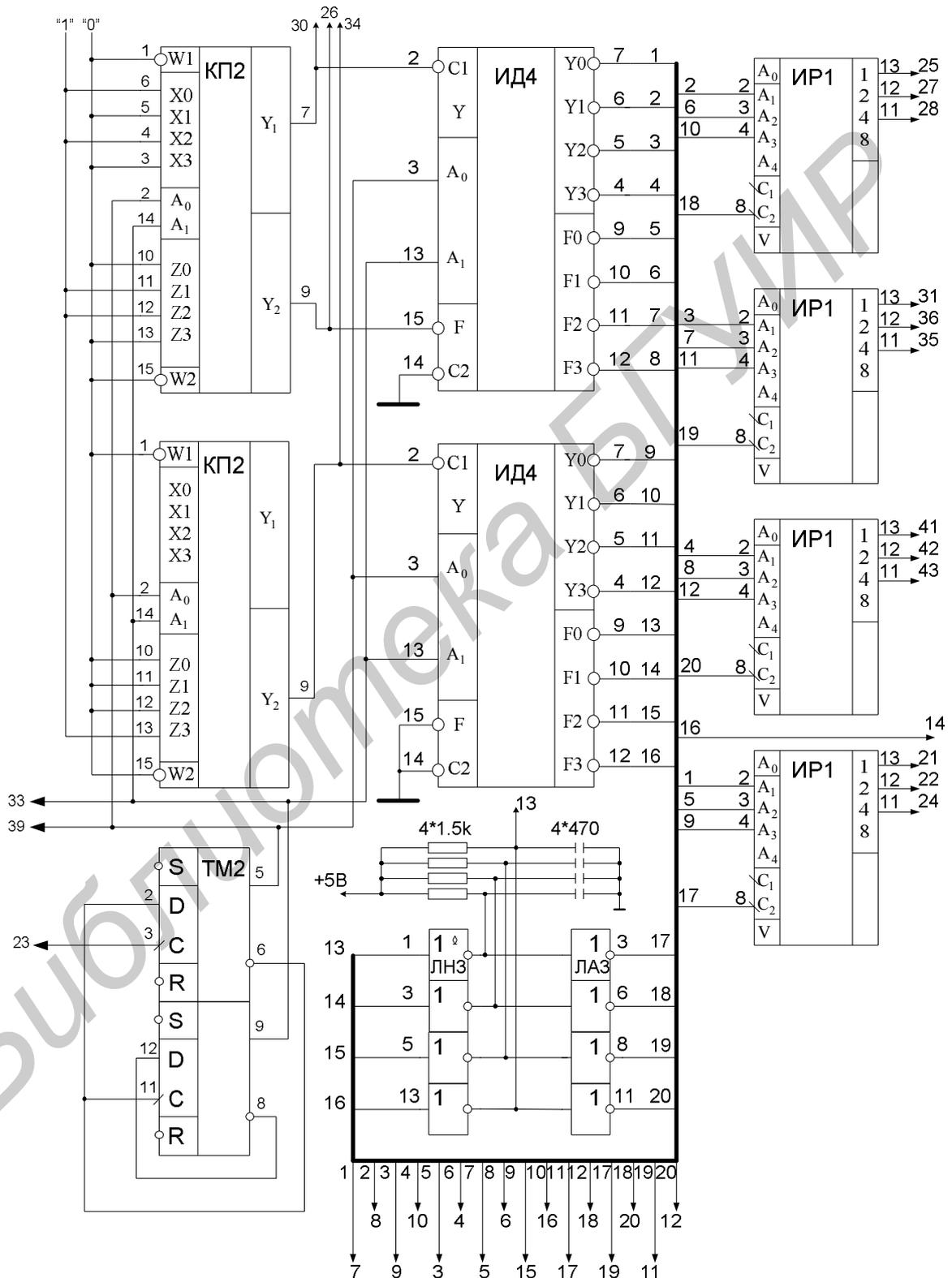


Рис.4.12. Устройство мультиплексирования шин данных

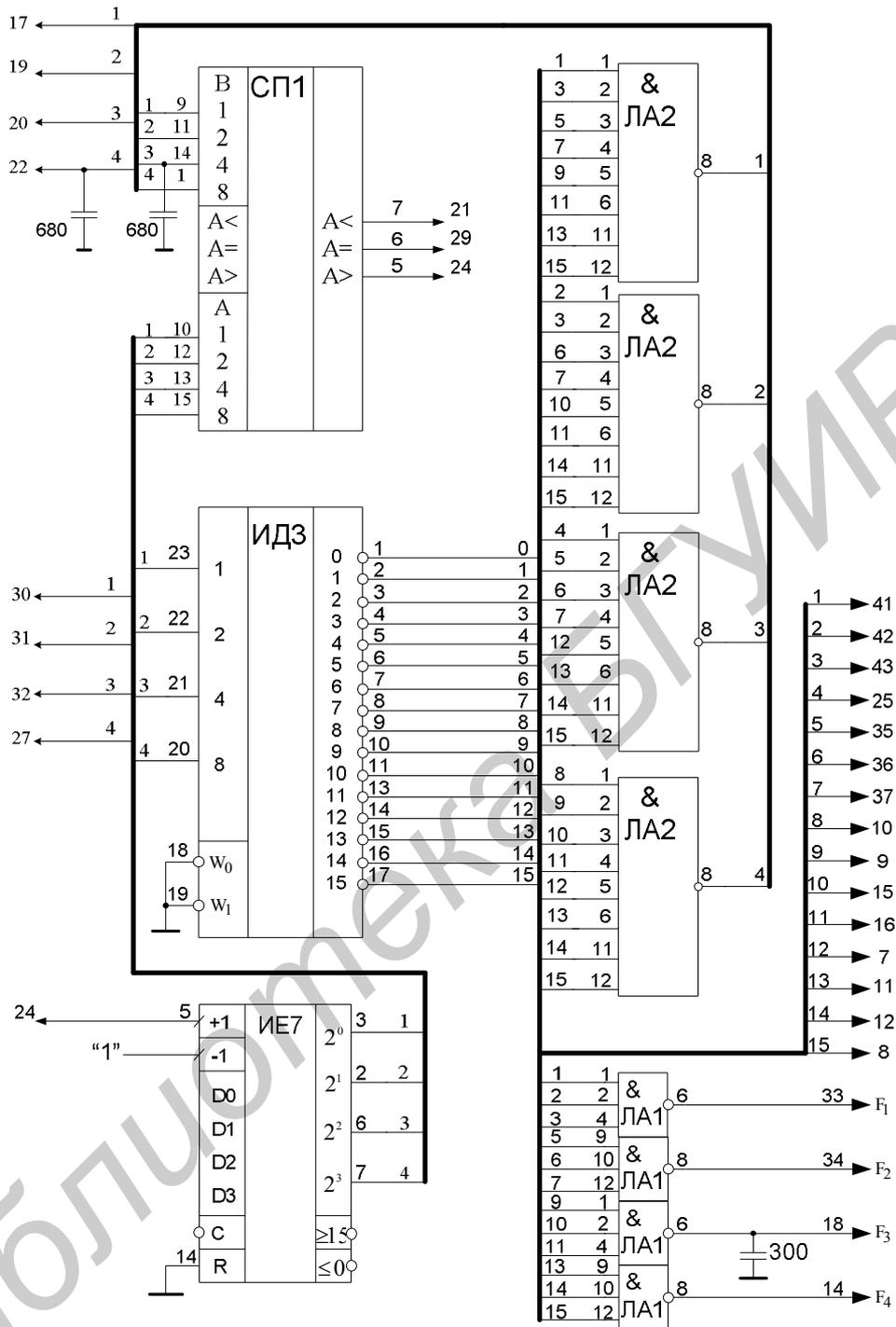


Рис.4.13. Устройство получения четырёхфазной последовательности тактовых импульсов

5. Содержание отчета

1. Функциональные схемы и УГО исследуемых узлов.
4. Результаты лабораторных исследований.
5. Выводы по работе.

Лабораторная работа №5

ИССЛЕДОВАНИЕ УСТРОЙСТВА НА ИМС К1561ИР15, К561ИЕ10, К561ИМ1, К561ЛШЗ, К561ТМЗ, К561ЛП2

- Цель:
1. Изучить функциональные схемы, принцип действия интегральных микросхем К1561ИР15, К561ИЕ10, К561ИМ1, К561ЛП13, К561ТМЗ, К561ЛП2.
 2. Приобрести практические навыки в работе с комбинационными и последовательными операционными узлами.

1. Краткие сведения об исследуемых ИМС

1.1. ИМС К1561ИР15

Микросхема К1561ИР15 (рис.5.1) содержит универсальный четырёхразрядный реверсивный регистр сдвига с последовательной и параллельной записью информации. Параллельный ввод информации с входов $D_0...D_3$ осуществляется по фронту синхроимпульса на входе С при высоких уровнях на входах SEM1 и SEM2. Последовательная запись информации со входа $D_>$ в первый разряд и сдвиг информации от первого разряда к четвёртому осуществляется по переднему фронту синхроимпульса на входе С при высоком уровне на входе SEM1 и низком уровне на входе SEM2. Последовательная запись информации со входа $D_<$ в четвёртый разряд и сдвиг информации от четвёртого разряда к первому осуществляется по переднему фронту синхроимпульса на входе С при низком уровне на входе SEM1 и высоком уровне на входе SEM2. Асинхронный сброс триггеров в нулевое состояние выполняется низким уровнем на входе R. При низких уровнях на обоих входах SEM1 и SEM2 изменений в регистрах не

происходит за исключением сброса в нуль. Информация на выходах Q0...Q3 присутствует всегда.

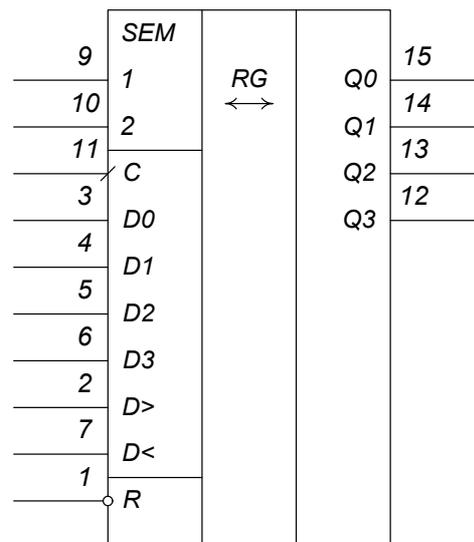


Рис. 5.1. УГО ИМС K1561IP15

В данном устройстве все микросхемы K1561IP15 подключены таким образом, что они всегда работают в режиме параллельного ввода информации. Кроме того, т. к. на вход R этих микросхем подаётся высокий уровень, то сброс триггеров в нулевое состояние выполняться не будет.

1.2. ИМС K561IE10

Микросхема K561IE10 (рис.5.2) содержит два независимых 4-разрядных двоичных счётчика с параллельным выходом (рис.5.3). Для повышения быстродействия в данной микросхеме применён параллельный перенос во все разряды. Подача счётных импульсов может производиться либо в положительной полярности (высоким уровнем) на вход С, либо в отрицательной полярности (низким уровнем) на вход Е. В первом случае разрешение счёта устанавливается высоким уровнем на входе Е, а во втором случае - низким уровнем на входе С.

При построении многоразрядных счётчиков с числом разрядов более четырёх соединение между собой ИМС K561IE10 может производиться с последовательным или параллельным формированием переноса. В первом

случае на вход С следующего каскада счетчика подается высокий уровень с выхода Q8 предыдущего каскада.

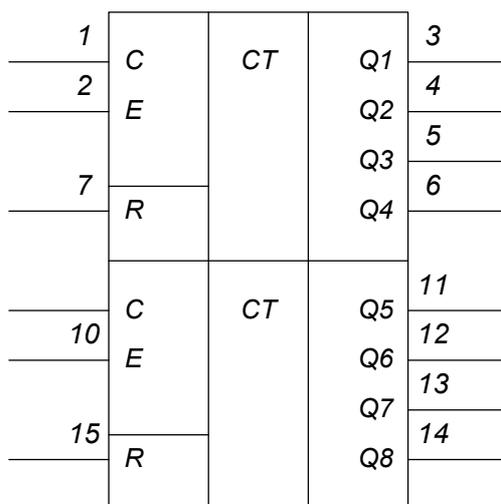


Рис. 5.2. УГО ИМС K561IE10

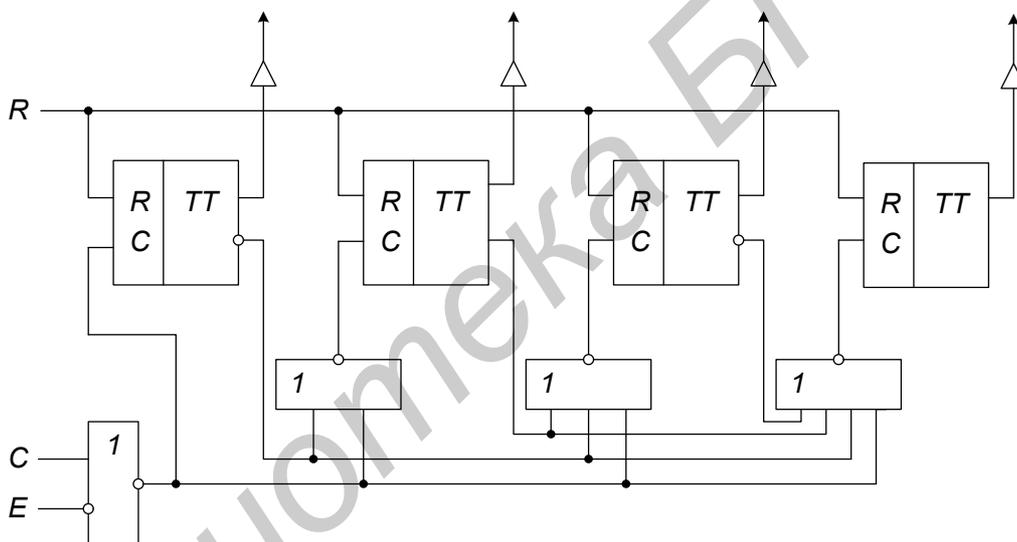


Рис. 5.3. Функциональная схема одного счетчика ИМС K561IE10

В данном устройстве микросхема K561IE10 подключена таким образом, что подача счетных импульсов на верхний счетчик будет производиться в положительной полярности, а на нижний – в отрицательной. Кроме того, т.к. на входы R этой микросхемы подаётся низкий уровень, то сброс счётчиков в нулевое состояние выполняться не будет.

1.3. ИМС K561ИМ1

Микросхема K561ИМ1 (рис.5.4) содержит четырёхразрядный сумматор со схемой ускоренного переноса. ИМС содержит четыре одноразрядных полных сумматора ($\Sigma 1 \dots \Sigma 4$) и параллельную схему ускоренного переноса (СУП) с

выходом CRP (рис.5.5) Такая структура повышает быстродействие многоразрядных арифметических узлов, состоящих из нескольких сумматоров типа ИМ1. Сумматор имеет входы первого числа A1...A4, входы второго числа B1...B4. От предшествующего сумматора на вход CR подаётся сигнал переноса. Сигнал ускоренного переноса с выхода CRP подаётся на следующий сумматор или служит сигналом переполнения в старшем сумматоре. Сумма чисел A и B снимается с выходов S1...S4.

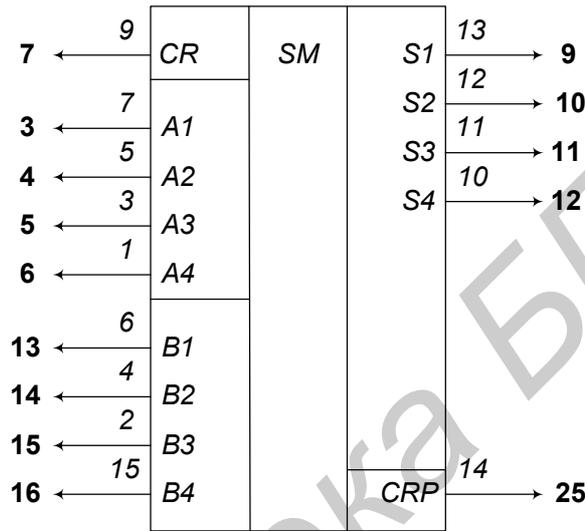


Рис. 5.4. УГО ИМС К561ИМ1

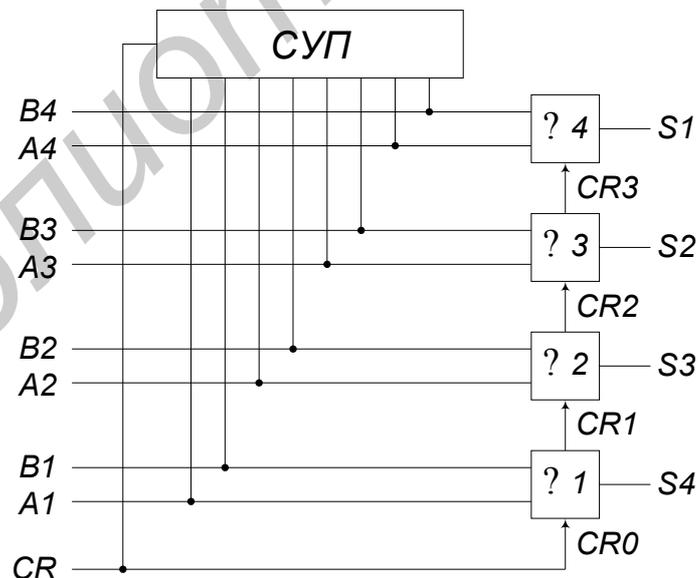


Рис. 5.5. Функциональная схема ИМС К561ЛП13

1.4. ИМС К561ЛП13

Микросхема К561ЛП13 (рис.5.6) содержит три трехходовных мажоритарных логических элемента. Высокий уровень на выходе мажоритарного элемента появляется, если на любых его входах установлены два или три высоких уровня. Во всех остальных случаях на выходе – низкий уровень.

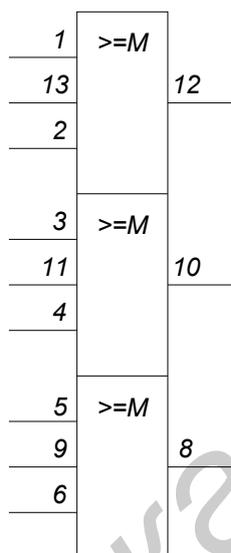


Рис. 5.6. УГО ИМС К561ЛП13

1.5. ИМС К561ТМ3

Микросхема ИМС К561ТМ3 (рис.5.7) содержит четыре одноканальных D-триггера, имеющих общую цепь записи. Работа одноканального D-триггера заключается в том, что по фронту импульса синхронизации в триггер записывается состояние, которое было на входе D во время этого фронта, и сохраняется до следующего импульса синхронизации. Изменение информации на входе D в это время недопустимо, так как влечёт неопределённость состояния.

Особенностью ИМС К561ТМ3 является то, что импульс синхронизации подаётся на все четыре одноканальных D-триггера одновременно (рис.5.8). Кроме этого, переключается полярность действия синхроимпульса с помощью входа V. Если на входе V установлен низкий уровень, запись информации с входов D0...D3 будет производиться по заднему фронту синхроимпульса. При

наличии высокого уровня на входе V запись информации с входов $D0...D3$ будет производиться по переднему фронту синхроимпульса.

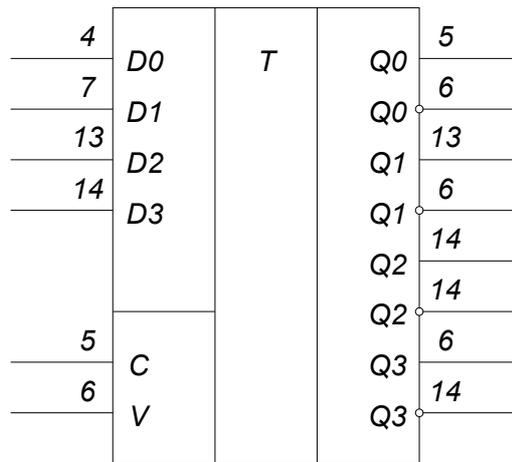


Рис. 5.7. УГО ИМС К561ТМ3

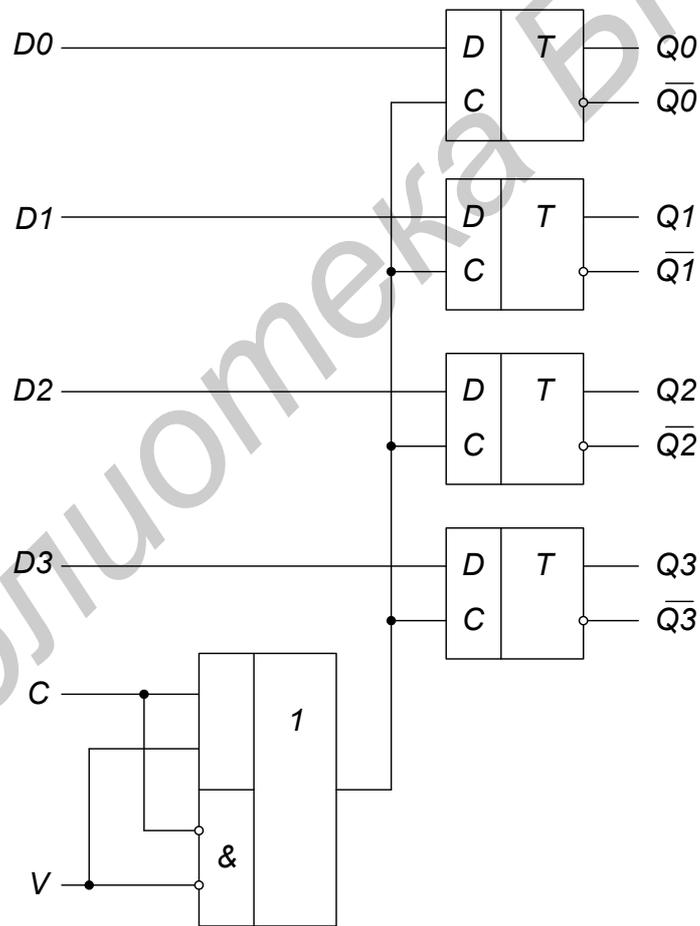


Рис. 5.8. Функциональная схема ИМС К561ТМ3

Временные диаграммы работы данной ИМС представлены на рис.5.9.

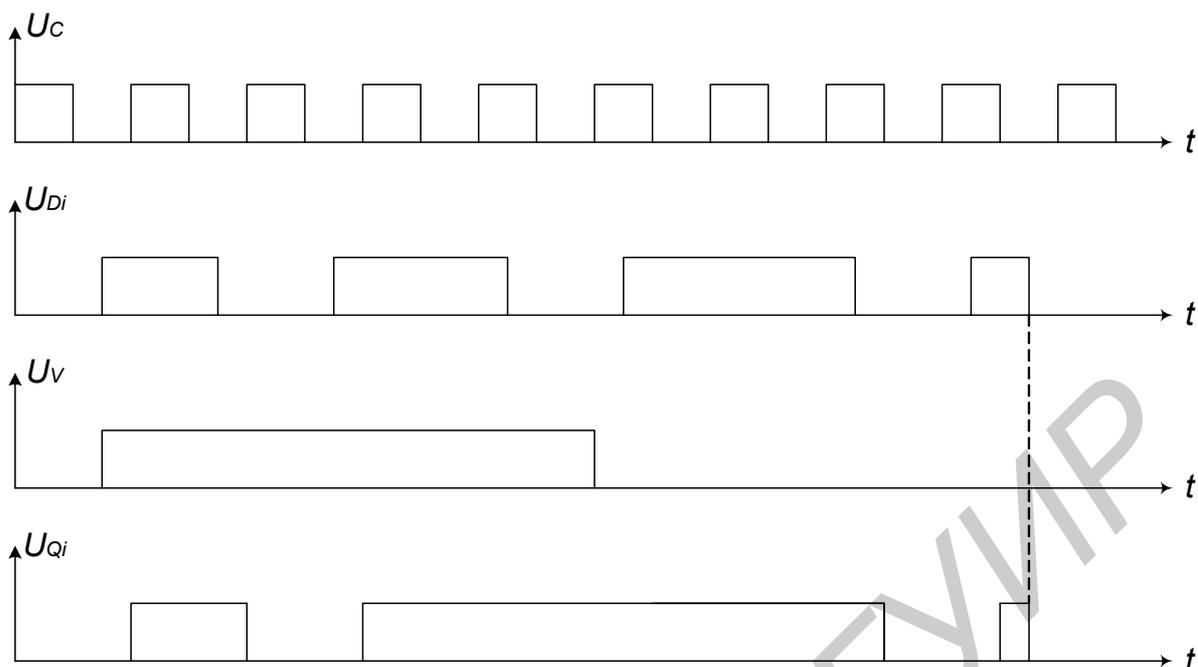


Рис. 5.9. Временные диаграммы работы ИМС К561ТМ3

В данном устройстве микросхема К561ТМ3 подключена таким образом, что запись информации со входов D0...D3 будет производиться только по переднему фронту синхроимпульса.

1.6. ИМС К561ЛП2

Микросхема К561ЛП2 (рис.5.10) содержит четыре элемента исключающие ИЛИ. Высокий уровень на выходе появляется только в том случае, если один из входных уровней А или В высокий. Если оба уровня А и В низкие или высокие, на выходе Q будет низкий уровень.

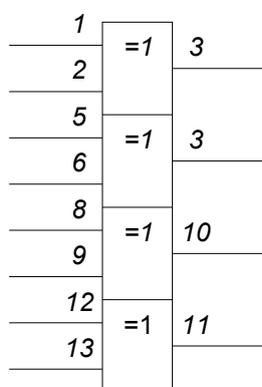


Рис. 5.10. УГО ИМС К561ЛП2

Принципиальная схема одного канала ИМС К561ЛП2 представлена на рис.5.11.

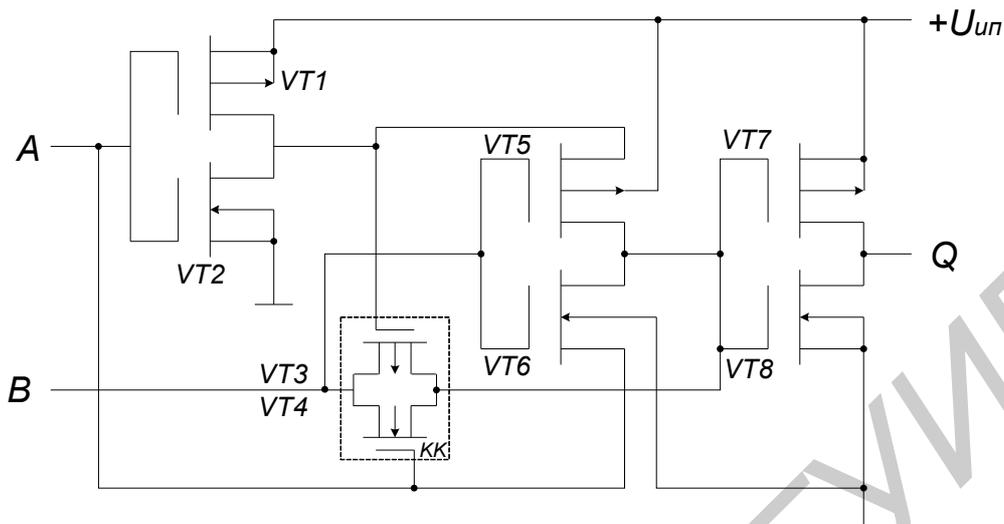


Рис. 5.11. Принципиальная схема одного канала ИМС К561ЛП2

На рис. 5.12. изображена принципиальная схема устройства для исследования вышеперечисленных микросхем.

2. Порядок выполнения работы

1. Вставить плату с исследуемым устройством в 48-контактный разъём, расположенный над гравировкой ТЭЗ КОНТРОЛИРУЕМЫЙ.

2. Подать напряжения питания на стенд ЕС-А105, нажав на кнопку ВКЛ, расположенную на стойке питания.

3. Подать на шину D розетки КР1-2 импульсы С1, установив штырь в гнездо ID поля СИГНАЛЫ СТЕНДА. С помощью регулировок тС1 и ПЕРИОД установить приемлемые значения длительности и скважности импульсов.

4. Подать на шину L высокий, а на шину M низкий уровни напряжений КМДП, установив штыри в гнезда L7 и M8 коммутационного поля СИГНАЛЫ СТЕНДА.

5. Подать на вход 8 устройства синхроимпульсы с шины D.

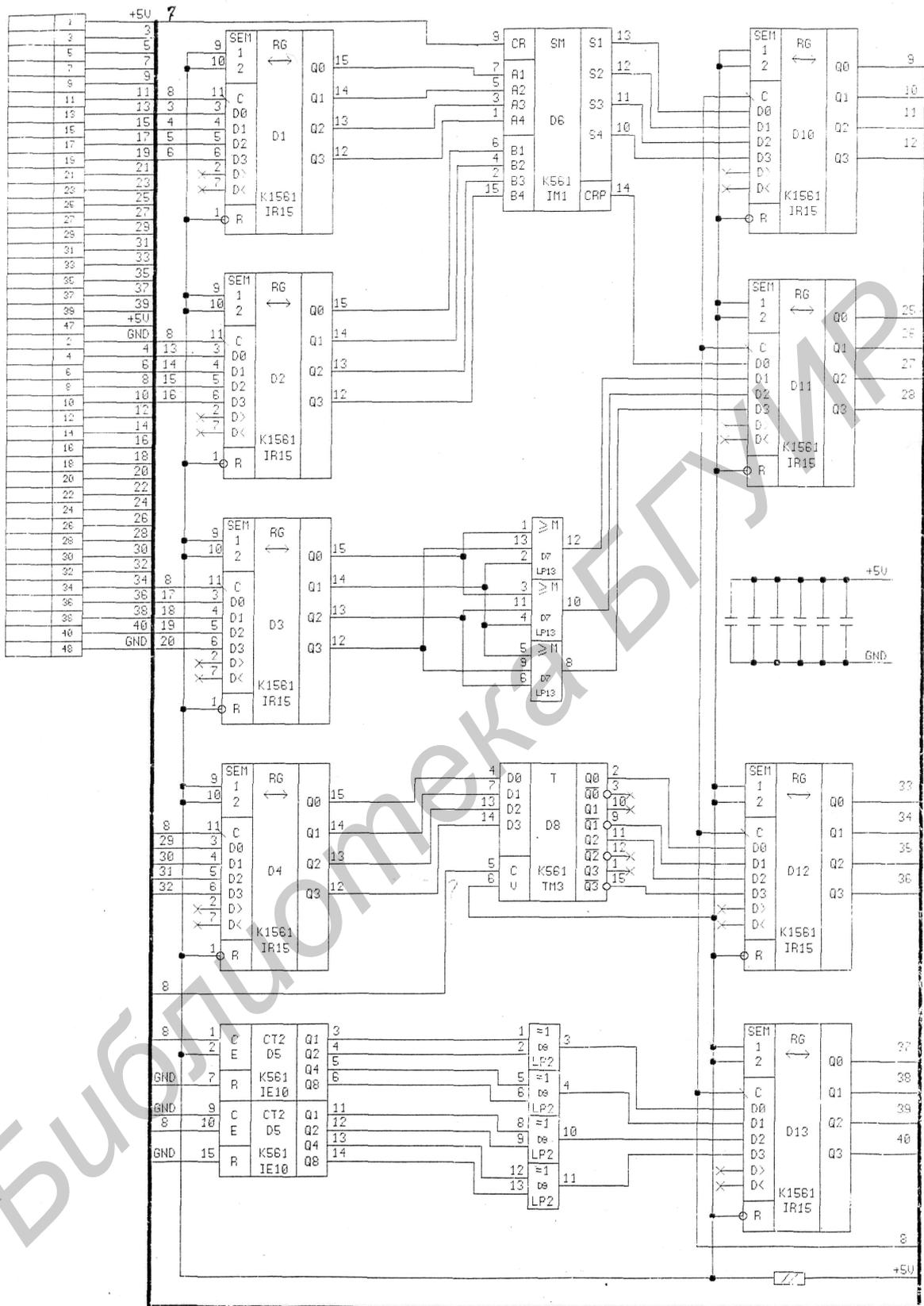


Рис. 5.12. Принципиальная схема устройства для исследования ИМС КМОП

6. Исследовать работу ИМС К1561ИР15 и К561ИМ1. Для этого подать на входы регистров D1 и D2 заданные преподавателем числа, используя уровни логического нуля и единицы с шин L и M. Посмотреть с помощью осциллографа результат суммирования чисел и записать уровни напряжений на выходах регистра D10 и выходе Q0 регистра D11.

7. Исследовать работу ИМС К561ЛП13. Для этого подать на входы регистра D3 уровни логического нуля и единицы с шин L и M. Посмотреть с помощью осциллографа результат работы мажоритарных элементов и записать уровни напряжений на выходах Q1...Q3 регистра D11.

8. Исследовать работу ИМС К561ТМ3. Для этого подать на входы регистра D4 уровни логического нуля и единицы с шин L и M. Посмотреть с помощью осциллографа и записать уровни напряжений на выходах регистра D12.

9. Исследовать работу ИМС К561ИЕ10 и К561ЛП2. Посмотреть с помощью осциллографа и зарисовать друг под другом осциллограммы напряжений со входа 8, исследуемого устройства, и с выходов регистра D13. Убедиться в правильности работы счётчиков, входящих в состав ИМС К561ИЕ10 и логических элементов «исключающее ИЛИ», входящих в состав ИМС К561ЛП2.

3. Содержание отчёта

1. Функциональные обозначения исследуемых ИМС.
2. Результаты лабораторных исследований.
3. Выводы по работе.

Лабораторная работа №6

ИССЛЕДОВАНИЕ УСТРОЙСТВА НА ИМС К561ИР6, К561ИЕ11, К561ИК1, К561ИД7, К561ТМ2, К561ТВ1.

- Цель:
1. Изучить функциональные схемы, принцип действия интегральных микросхем К561ИР6, К561ИЕ11, К561ИК1, К561ИД7, К561ТМ2, К561ТВ1.
 2. Приобрести практические навыки в работе с комбинационными и последовательными операционными узлами.

1. Краткие сведения об исследуемых ИМС

1.1. ИМС К1561ИР6

Микросхема К1561ИР6 (рис.6.1) содержит восьмиразрядный регистр сдвига с последовательным и параллельным вводом информации. Микросхема имеет две группы информационных выводов - D0...D7 и Q0...Q7, каждая из которых может быть входами или выходами при параллельной записи и считывании, вход для последовательной записи информации D, входы управления CRD, CO, SD, C01, вход для подачи тактовых импульсов C. Сигналами на входах CRD, CO, SD, C01 производится выбор режима работы микросхемы. Вход SD (последовательный/параллельный) является преобладающим. При низком уровне на этом входе, независимо от состояния других входов регистр переходит в режим последовательной записи информации со входа D по спадам импульсов отрицательной полярности на входе C и сдвига её вправо. При высоком уровне на входе SD регистр переходит в режим параллельной записи. Запись производится или по спадам импульсов отрицательной полярности на входе C (синхронная запись), при этом на входе C01 (асинхронно/синхронно) должен быть низкий уровень, или по импульсам положительной полярности на входе C01 (асинхронная

запись), при этом на входе С должен высокий или низкий уровень, но сигнал должен быть фиксированным. Какая из групп входов D или Q при этом является входом, а какая – выходом, определяется сигналом на входе CO. Если на этом входе высокий уровень, входами являются выходы D0...D7, а выходами – Q0...Q7, при низком уровне на входе CO входы – Q0...Q7, выходы – D0...D7. Независимо от сигнала на входе CO низкий уровень на входе CRD отключает группу выводов Q от триггера регистра. Если при этом на входе CO низкий уровень, возможна параллельная запись по группе Q0...Q7, но невозможно считывание по группе D0...D7, если на входе CO высокий уровень – производится считывание по Q0...Q7, но невозможна запись по группе D0...D7, и при изменении сигналов на входах C01 и C состояние триггеров регистра не изменяется.

Выбор выходов при последовательной записи информации со входа D производится также сигналами на входах CRD и CO – при высоком уровне на входе CO и произвольном сигнале на входе CRD выходами является группа Q0...Q7, при низком уровне на входе CO и высоком уровне на входе CRD выходы – D0...D7, при низком уровне на входах CO и CRD обе группы D0...D7 и Q0...Q7 находятся в высокоимпедансном состоянии, считывание из регистра невозможно.

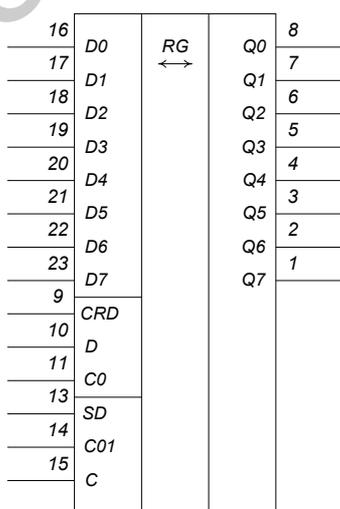


Рис. 6.1. УГО ИМС К561ИР6

Функциональная схема ИМС К561ИР6 представлена на рис.6.2.

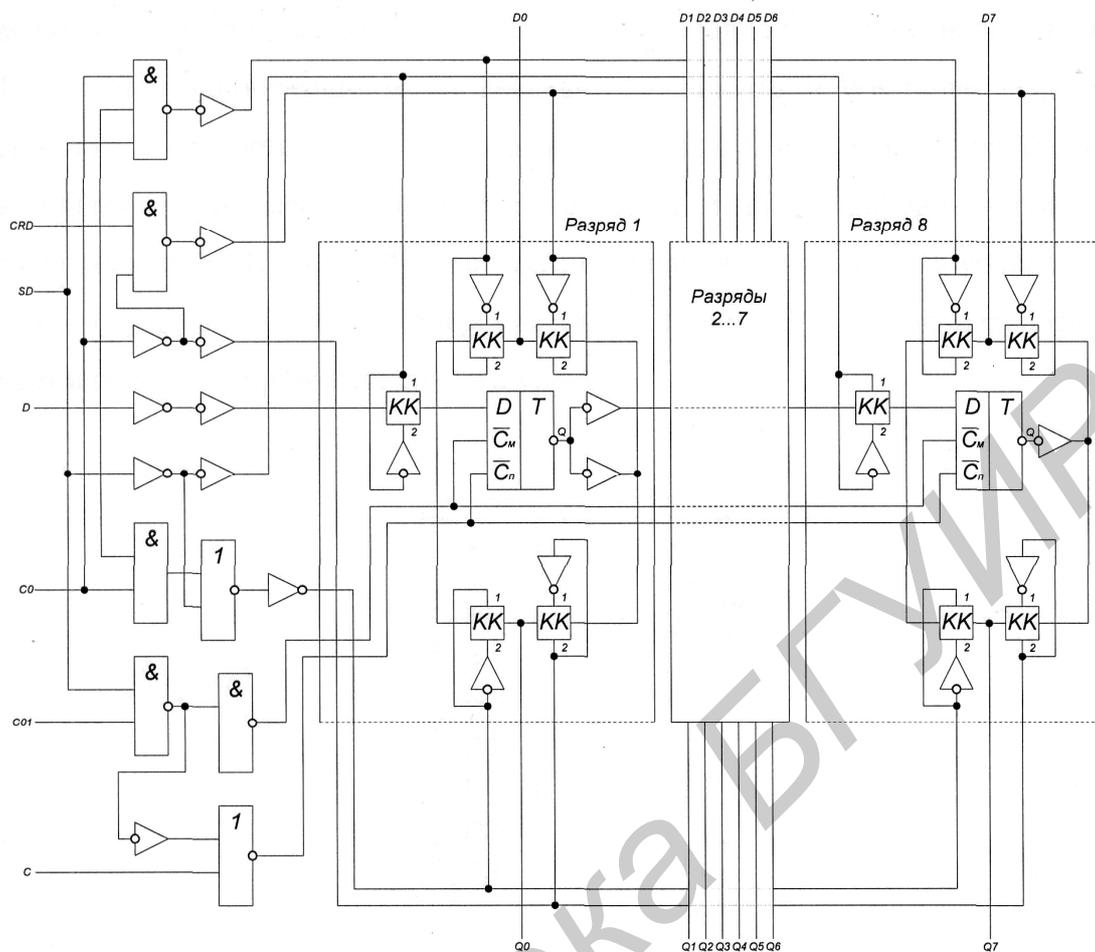


Рис. 6.2. Функциональная схема ИМС К561ИР6

В данном устройстве все микросхемы К561ИР6 подключены таким образом, что они всегда работают в режиме параллельного ввода информации, входами являются выходы D0...D7, выходами – Q0...Q7.

1.2. ИМС К561ИЕ11

Микросхема К561ИЕ11 (рис.6.3) представляет собой двоичный реверсивный 4-разрядный счётчик с параллельной записью начального числа. Изменение направления счёта на входе ± 1 допускается при любом состоянии счётчика при условии, что счётный импульс на входе С имеет высокий уровень. При одновременном действии сигналов R (сброс в ноль) и WR (запись начального числа) будет выполняться установка в ноль независимо от сигналов на входах D0...D3, при одновременном же действии сигналов С и WR

будет выполняться установка в соответствии с сигналами на входах D0...D3. Счёт на увеличение выполняется при высоком уровне на входе ± 1 , а на уменьшение – при низком уровне на входе ± 1 . Вход P0 имеет активное напряжение низкого уровня, именно в этом случае выполняется операция счёта. Выход P – выход переноса также имеет активное напряжение низкого уровня.

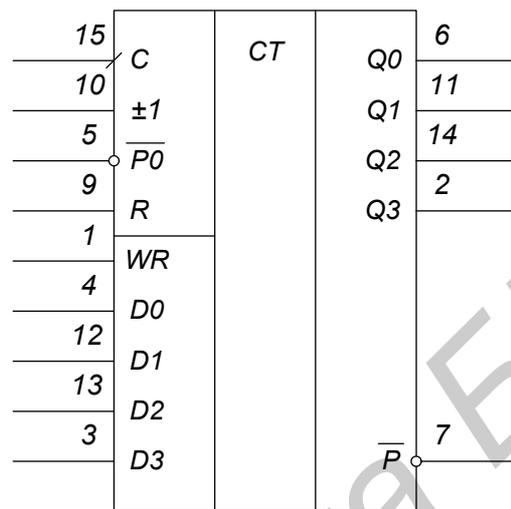


Рис. 6.3. УГО ИМС K561IE11

Функциональная схема представлена на рис.6.4.

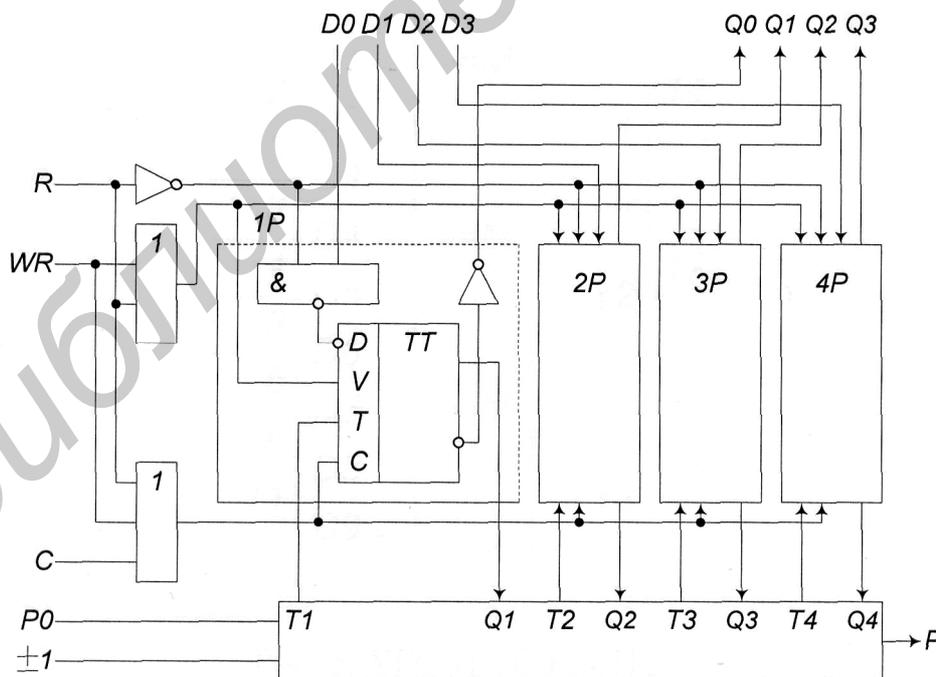


Рис. 6.4. Функциональная схема ИМС K561IE11

1.3. ИМС К561ИК1

Микросхема К561ИК1 (рис.6.5) содержит строенные мажоритарно-мультиплексорные элементы. Режим работы всех трех элементов задается путем установки кода на входах А1, А2. Если на входах А1 и А2 установлены одновременно низкие уровни, то все три элемента работают как мажоритарные, то есть высокий уровень на их выходах появляется в том случае, когда на входах каждого элемента установлено два или три высоких уровня одновременно.

При других кодах на входах А1 и А2 микросхема работает как мультиплексор. Если на входе А1 установлен высокий уровень, а на входе А2 низкий, то на выходе Y1, Y2, Y3 установятся уровни, которые присутствуют в этот момент на входах соответственно D1, D4, D7. При низком уровне А1 и высоком А2 соблюдаются равенства Y1=D3, Y2=D6, Y3=D9. Если на обоих выходах А1 и А2 высокие уровни, то тогда Y1=D2, Y2=D5, Y3=D8.

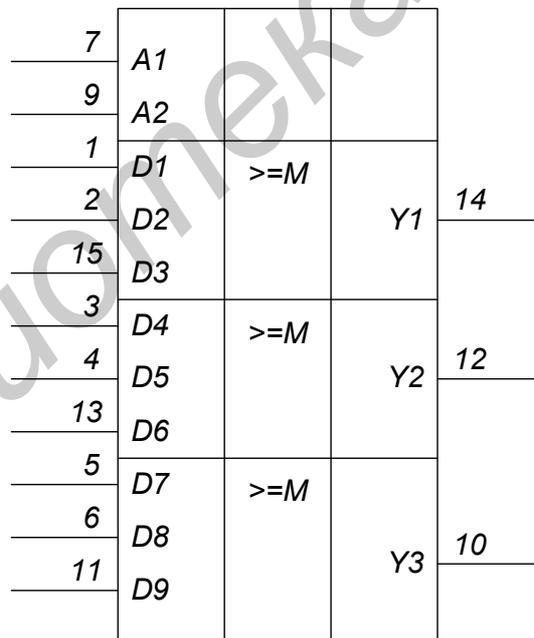


Рис. 6.5. УГО ИМС К561ИК1

1.4. ИМС К561ИД7

Микросхема К561ИД7 содержит два дешифратора двухразрядного двоичного кода (входы А и В) в информацию на четырёх выходах (0...3). Вход Е является разрешающим. При высоком уровне на входе Е дешифрация

запрещается и на всех выходах устанавливается высокий уровень. При низком уровне на входе E на одном из выходов устанавливается низкий уровень (номер выхода определяется состоянием входов A и B). Таким образом данная микросхема дешифрует входное число в инверсном коде.

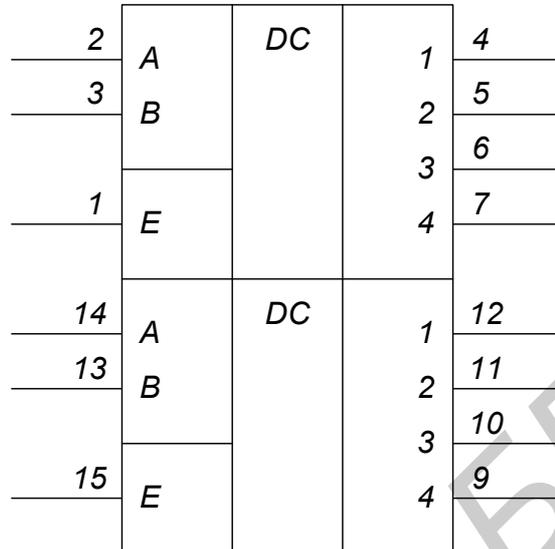


Рис. 6.6. УГО ИМС К561ИД7

1.5. ИМС К561ТМ2

Микросхема ИМС К561ТМ2 (рис.6.7) содержит два двухтактных D-триггера. Двухтактный D-триггер работает следующим образом. По фронту первого импульса синхронизации на входе С логический уровень, присутствующий на входе D, записывается в первый одноктактный D-триггер. По фронту второго импульса синхронизации, на выходе Q устанавливается уровень, присутствовавший на входе D перед первым синхроимпульсом. Таким образом, на выходе двухтактного D-триггера сигнал задерживается на один такт (период следования синхроимпульсов).

Входы R и S не зависят от импульсов синхронизации (то есть являются асинхронными) и имеют активные высокие уровни. Поступление высокого уровня на входы R или S устанавливает оба одноктактных D-триггера соответственно в «0» или «1» независимо от входов D и С.

Функциональная схема ИМС К56ТМ2 представлена на рис.6.8.

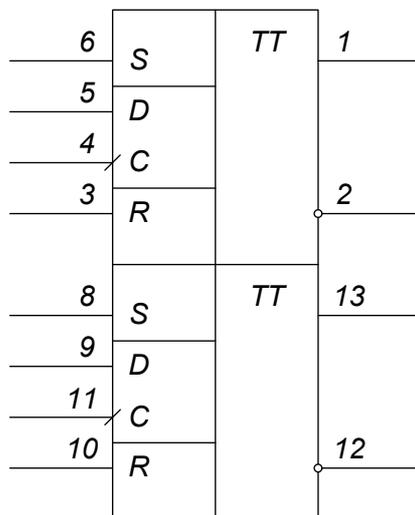


Рис. 6.7. УГО ИМС К561ТМ2

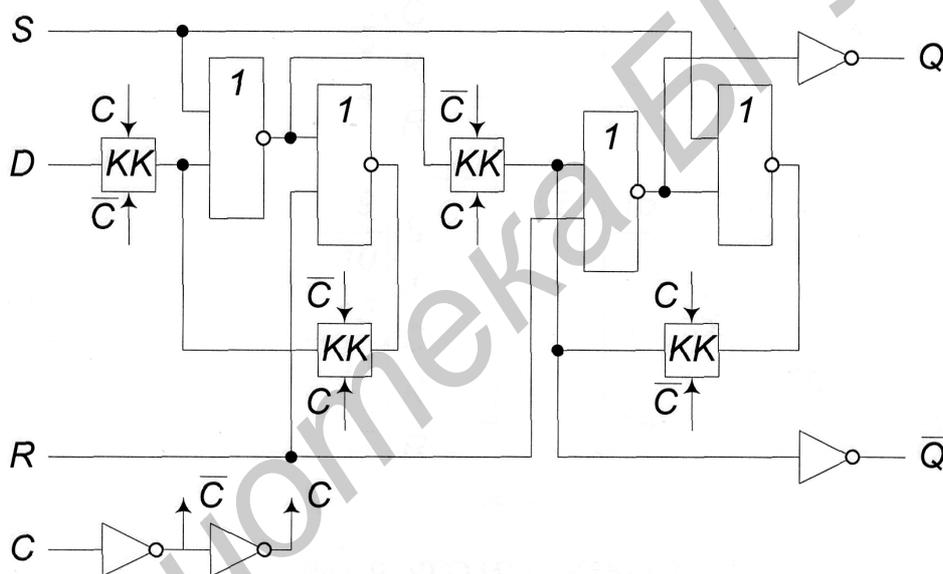


Рис. 6.8. Функциональная схема двухтактного D-триггера

1.6. ИМС К561ТВ1

Микросхема К561ТВ1 (рис.6.9) содержит два независимых JK-триггера. Триггер имеет асинхронные R и S входы. Поступление высокого уровня на один из этих входов переключает триггер соответственно в «0» или «1». Если высокий уровень присутствует на обоих входах R и S, то на выходах \bar{Q} и Q также будут высокие уровни.

Входы J и K являются синхронными с входом C. Присутствие высокого уровня на входе J или K приводит к переключению триггера соответственно в «1» и «0» по переднему фронту импульса синхронизации на входе C.

При одновременном присутствии высоких уровней на входах J и K триггер будет изменять своё состояние на противоположное по каждому импульсу синхронизации, то есть осуществлять синхронный счётный режим.

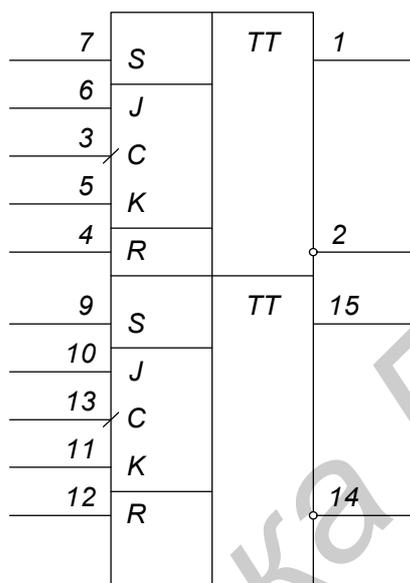


Рис. 6.9. УГО ИМС К561ТВ1

Функциональная схема ИМС К561ЕИ1 представлена на рис.6.10.

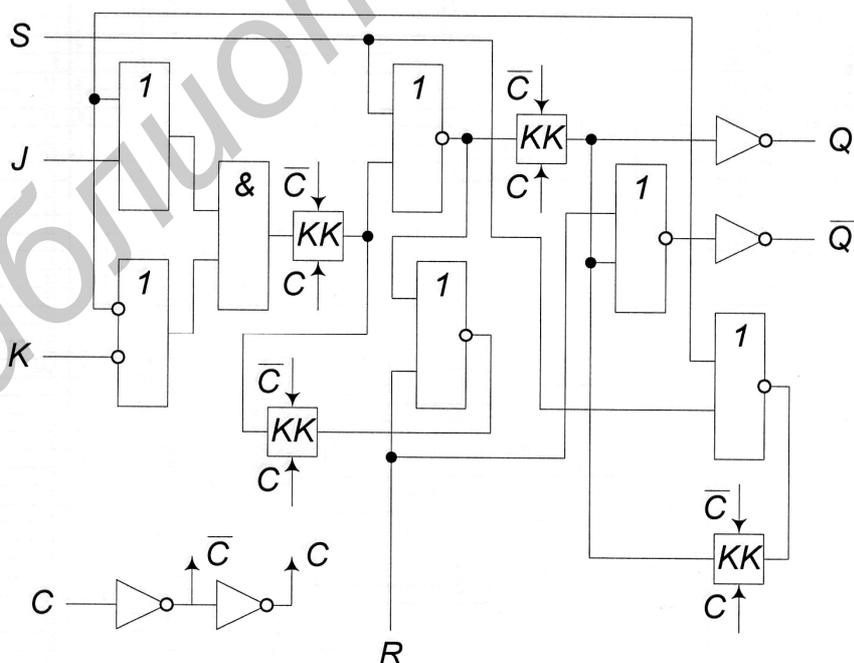


Рис. 10. Функциональная схема JK-триггера

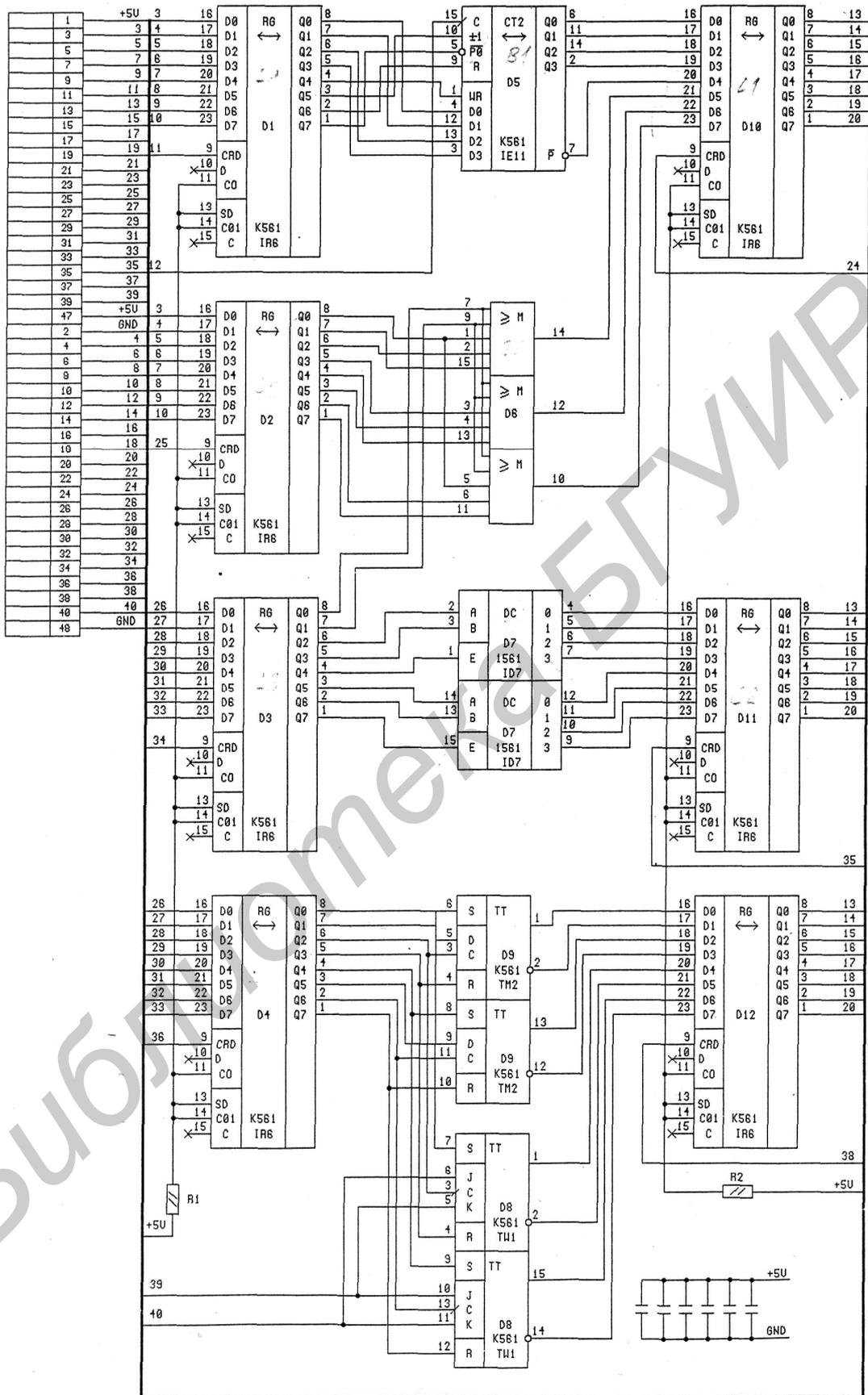


Рис. 6.11. Принципиальная схема устройства для исследования ИМС КМОП

2. Порядок выполнения работы

1. Вставить плату с исследуемым устройством в 48-контактный разъём, расположенный над гравировкой ТЭЗ КОНТРОЛИРУЕМЫЙ.

2. Подать напряжения питания на стенд ЕС-А105, нажав на кнопку ВКЛ, расположенную на стойке питания.

3. Подать на шину D розетки КП1 импульсы С1, установив штырь в гнездо ID поля СИГНАЛЫ СТЕНДА. С помощью регулировок тС1 и ПЕРИОД установить приемлемые значения длительности и скважности импульсов.

4. Подать на шину L высокий, а на шину M низкий уровни напряжений КМДП, установив штыри в гнезда L7 и M8 коммутационного поля СИГНАЛЫ СТЕНДА.

5. Исследовать работу ИМС К1561ИР6 и К561ИЕ11. Для этого подать на входы CRD регистров D1 и D10 высокие уровни, тем самым разрешив запись информации в триггеры с входов D0...D7 этих регистров. Исследовать работу ИМС К561ИЕ11 в различных режимах:

5.1. Режим суммирования.

Подать на входы PO, R, WR напряжение низкого уровня, а на вход ± 1 напряжение высокого уровня. Подать импульсы на вход С. Посмотреть и зарисовать осциллограммы на входе ± 1 и на выходах Q0...Q3, P.

5.2. Режим вычитания.

Подать на входы PO, R, WR, ± 1 напряжение низкого уровня. Подать импульсы на вход С. Посмотреть и зарисовать осциллограммы на входе ± 1 и на выходах Q0...Q3, P.

5.3. Режим параллельного занесения информации.

Обеспечить режим суммирования или вычитания счётчика. Подать на входы D0...D3 код числа заданного преподавателем, подать на вход WR напряжение высокого уровня. Посмотреть и зарисовать осциллограммы на входе ± 1 и на выходах Q0...Q3, P.

5.4. Режим обнуления.

Обеспечить режим суммирования или вычитания счётчика. Изменить на входе R счётчика напряжение низкого уровня напряжением высокого уровня. Посмотреть и зарисовать осциллограммы на входе ± 1 и на выходах Q0...Q3, P.

6. Подать на входы CRD регистров D2, D3 и D10 высокие уровни. Исследовать работу ИМС K561ИК1 в различных режимах:

6.1. Мажоритарный режим.

Подать на входы A1 и A2 напряжения низкого уровня. На входы D1...D9 подавать напряжения низкого и высокого уровней. Проверить работу мажоритарных элементов, посмотреть и зарисовать осциллограммы с выходов Y1...Y3.

6.2. Мультиплексорный режим.

Подавать на входы A1 и A2 различные коды входов микросхемы. На входы D1...D9 подавать напряжения низкого и высокого уровней. Проверить работу мультиплексоров, посмотреть и зарисовать осциллограммы с выходов Y1...Y3, и сравнить их соответствие с формулами в описании микросхемы (п. 1.3.).

7. Подать на входы CRD регистров D3 и D11 высокие уровни. Исследовать работу ИМС K561ИД7. Подать на вход E напряжение низкого уровня, тем самым разрешив дешифрацию. Подавать на входы A и B различные коды выходов микросхемы. Удостовериться в правильной работе дешифратора, посмотреть и зарисовать осциллограммы с выходов 0...3.

8. Подать на входы CRD регистров D4 и D12 высокие уровни. Исследовать работу ИМС K561ТМ2 в следующих режимах:

8.1. Режим установки в «1».

Подать на вход S высокий, а на вход R – низкий уровень напряжения. Удостовериться в том, что на выходе Q присутствует высокий уровень.

8.2. Режим установки в «0».

Подать на вход S низкий, а на вход R – высокий уровень напряжения. Удостовериться в том, что на выходе Q присутствует низкий уровень.

8.3. Двухтактный D-триггер.

Подать на входы S, R низкий, а на вход D – высокий уровень напряжения. На вход C подать синхроимпульсы. Удостовериться в том, что на выходе Q сигнал задерживается на один такт. Зарисовать осциллограммы с входа C и E выходов Q и \overline{Q} .

9. Подать на входы CRD регистров D4 и D12 высокие уровни. Исследовать работу ИМС K561ТВ1 в следующих режимах:

9.1. Асинхронный режим установки в «1».

Подать на вход S высокий, а на вход R – низкий уровень напряжения. Удостовериться в том, что на выходе Q присутствует высокий уровень.

9.2. Асинхронный режим установки в «0».

Подать на вход S низкий, а на вход R – высокий уровень напряжения. Удостовериться в том, что на выходе Q присутствует низкий уровень.

9.3. Синхронный режим установки в «1».

Подать на входы S, R, K низкий, а на вход J – высокий уровень напряжения. На вход C подать синхроимпульсы. Удостовериться в том, что на выходе Q высокий уровень установился с первым положительным фронтом синхроимпульса. Зарисовать осциллограммы с входа C и с выходов \overline{Q} и Q.

9.4. Синхронный режим установки в «0».

Подать на входы S, R, J низкий, а на вход K – высокий уровень напряжения. На вход C подать синхроимпульсы. Удостовериться в том, что на выходе Q низкий уровень установился с первым положительным фронтом синхроимпульса. Зарисовать осциллограммы с входа C и с выходов \overline{Q} и Q.

9.5. Синхронный счётный режим.

Подать на входы S, R низкий, а на входы J, K - высокий уровень напряжения. На вход C подать синхроимпульсы. Удостовериться в том, что на выходе Q уровень меняется на противоположный с каждым импульсом синхронизации. Зарисовать осциллограммы с входа C и с выходов Q и \overline{Q} . Синхронизацию осциллографа осуществить по выходу Q.

3. Содержание отчёта

1. Функциональные обозначения исследуемых ИМС.
2. Результаты лабораторных исследований.
3. Выводы по работе.

Библиотека БГУИР

ЛИТЕРАТУРА

1. Соломатин Н.М. Логические элементы ЭВМ – М.: Высш. шк., 1990.
2. Алексенко А.Г., Шагурин И.И. Микросхемотехника. – М.: Радио и связь, 1990.
3. Цифровые интегральные микросхемы: Справочник – Мн.: Беларусь, 1996.
4. Логические ИС КР1533. КР1554: Справочник. – М.: Бином, 1993.
5. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Под ред. Б.Н. Файзулаева, Б.В. Тарабрина. – М.: Радио и связь, 1986.
6. Угрюмов Е.П. Цифровая схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2004.
7. Джон Ф. Уэйкерли. Проектирование цифровых устройств. – М.: Постмаркет, 2002.
8. Рональд Дж. Точи, Нил С. Уидмер Цифровые системы. Теория и практика. – М. : Издательский дом “Вильямс”, 2004.

Учебное издание

Тимошенко Василий Степанович
Байрак Сергей Анатольевич

СХЕМОТЕХНИКА

Лабораторный практикум
для студентов специальности I-40 02 01
«Вычислительные машины, системы и сети»
всех форм обучения

Ответственный за выпуск В.С. Тимошенко

Подписано в печать 5.06.2006.	Формат 60×84 1/16.	Бумага офсетная.
Гарнитура «Таймс».	Печать ризографическая.	Усл. печ. л. 4,3.
Уч.-изд. л. 3,8.	Тираж 150 экз.	Заказ 236.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131518 от 30.04.2004.
220013, Минск, П. Бровки, 6