

УДК 621.38.049.774.2-192(045)(476)

## ЭФФЕКТИВНЫЙ СПОСОБ ВЫЯВЛЕНИЯ НЕНАДЕЖНЫХ КМОП СХЕМ

А.И. БЕЛОУС, А.В. ПРИБЫЛЬСКИЙ

ОАО «ИНТЕГРАЛ»  
Казинца И.П., 121А, Минск, 220108, БеларусьБелорусский государственный университет информатики и радиоэлектроники  
П. Бровка, 6, Минск, 220013, Беларусь

Поступила в редакцию 14 мая 2012

С увеличением степени интеграции интегральных схем, уменьшением геометрических размеров интегральных структур выявление ненадежных схем по-прежнему остается актуальной задачей. Наиболее часто используемый в производстве метод отбраковки потенциально ненадежных схем – имитация эксплуатационных режимов на этапе испытаний. Однако сложность и длительность реализации указанного метода делает его практически не пригодным в условиях массового производства интегральных схем.

*Ключевые слова:* дефект, отказ, надежность, пробой диэлектрика.

### Введение

Наиболее распространенными причинами отказов КМОП структур являются: нестабильность пороговых напряжений, возникновение каналов утечки через подзатворный диэлектрик или по поверхности схемы, различные технологические дефекты [1]. Теоретические предпосылки [1] для выявления и отбраковки потенциально ненадежных схем с дефектами в диэлектрике заключались в том, что предлагалось на схему подавать некоторую последовательность входных сигналов и сравнивать выходные сигналы с эталонными значениями. Недостаток такого способа заключался в низкой достоверности отбраковки КМОП схем с дефектами в изолирующем и подзатворном диэлектриках [2, 3].

### Методика отбраковки ненадежных КМОП схем

Предлагается эффективный способ отбраковки КМОП схем с дефектами в изолирующем и подзатворном диэлектриках. В соответствии с предлагаемым способом, на интегральную схему, перед проведением функционально-параметрического контроля на пластине, подается напряжение питания из условия:

$$U_1 \leq U_{CC} \leq U_2, \quad (1)$$

где  $U_1$  – максимально допустимое напряжение, подаваемое на шину «питание» схемы;  $U_2$  – предельно допустимое напряжение, подаваемое на шину «питание» схемы;  $U_{CC}$  – номинальное напряжение шины «питание» схемы.

При напряжениях  $U_1$  и  $U_2$  подаются входные сигналы (в соответствии с алгоритмом работы схемы) в виде циклической последовательности из  $n$  циклов, где  $n = 1, 2, 3 \dots i$ . Число циклов выбирается из условия равенства численных значений статического тока потребления для схемы  $i-2$ ,  $i-1$  и  $i$ -го циклов.

В предложенном способе повышение достоверности отбраковки ненадежных КМОП схем заключается в использовании свойств изолирующего и подзатворного диэлектриков «проявляться» при повышенной напряженности электрического поля за счет ускорения дегра-

дационных процессов в дефектных элементах. В дефектных местах резко возрастает критическая напряженность электрического поля при обязательном условии обеспечения цикличности воздействия, то есть обеспечение многократной перемены величины и знака разности потенциалов, прилагаемых к активным областям транзисторов.

Максимально допустимым напряжением при эксплуатации интегральных схем называется такое напряжение, при котором интегральная схема полностью функционирует и значение всех электрических параметров соответствует технической документации.

Предельно допустимым напряжением называется напряжение, при котором схема функционирует, однако электрические параметры не гарантируются. После снижения напряжения до нормального уровня ( $U_{CC} = 5 \text{ В} \pm 10\%$ ) интегральная схема функционирует в полном объеме и полностью соответствует требованиям к электрическим параметрам. Указанное напряжение определяется значением электрофизических характеристик активных элементов: напряжением пробоя исток-стоковых областей, областей «исток-подложка» и т.д.

Например, для интегральных схем, изготавливаемых по технологии серии К1554, максимально допустимым при эксплуатации напряжением является  $U_{CC} = 7,0 \text{ В}$  (в нашем случае  $U_1$ ), а предельно допустимым является напряжение  $U_{CC} = 12 \text{ В}$  (в нашем случае  $U_2$ ).

Установлено, что развитие механизма пробоя диэлектрика приводит к возрастанию статического тока потребления схемы [4] за счет образования омического канала утечки. Необходимое условие проявления дефекта в подзатворном и изолирующем диэлектриках, цикличности входных воздействий – обеспечение перемены знака разности потенциалов, прилагаемых к активным областям элементов схемы. Многократная перемена полярности напряжения, прилагаемого к активным областям с дефектами в диэлектрике, при повышенной напряженности электрического поля форсирует процессы деградации дефектных элементов интегральной схемы, поскольку именно в дефектных местах в первую очередь резко возрастает критическая напряженность электрического поля.

### Эксперимент

Для экспериментального исследования дефектности диэлектрика была построена гистограмма (рис. 1) распределения напряжения пробоя подзатворного диэлектрика с толщиной  $h = 425 \pm 25 \text{ \AA}$  транзисторов тестового кристалла. Установлено, что при подаче напряжения  $U = 12 \text{ В}$  на затвор транзистора за время порядка 10 мс происходит электрический пробой диэлектрика для 16% исследуемых тестовых транзисторов.

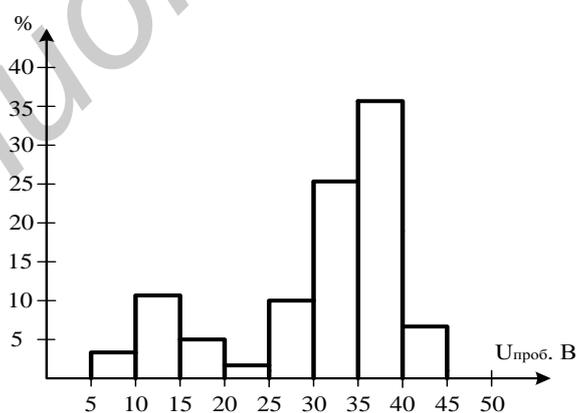


Рис. 1. Гистограмма распределения напряжения пробоя подзатворного диэлектрика тестового транзистора

На рис. 2 представлены обобщенные экспериментальные данные измерений значения статического тока ( $I_0$  – начальное значение тока потребления,  $I$  – значение тока потребления после  $n$  циклов) для двух групп интегральных КМОП схем, определенные для различных значений повышенного напряжения питания.

Величина, на которую происходит увеличение статического тока потребления, зависит от числа дефектов в интегральной схеме и их характера. Наибольшее увеличение тока (наибольшее количество «проявившихся» дефектов) наблюдается на первых из  $n$  циклов входных

переключающих воздействий. Для группы интегральных схем величина тока (кривая 1 для  $U_1$ , кривая 2 для  $U_2$ ) достигает установившегося значения после первых нескольких циклов и в дальнейшем не зависит от последующих циклов. Для группы интегральных схем суммарная величина тока не достигает насыщения при  $n = 10$  (кривая 3 для  $U_1$ , кривая 4 для  $U_2$ ). Часть этих схем в дальнейшем забраковалась при функционально-параметрическом контроле, часть – при длительных испытаниях. Следовательно, при измерении статического тока потребления, после каждого цикла подачи входных воздействий определяется значение статического тока потребления, то есть фиксируется его численное значение. В случае если значение статического тока увеличивается с каждым циклом (на величину большую, чем погрешность измерения), то после 5-6 циклов измерения продолжать нецелесообразно, и схему необходимо считать бракованной; в противном случае схема считается годной.

Таким образом, подача циклической последовательности входных сигналов с выбранным повышенным напряжением питания обеспечивает повышение достоверности отбраковки потенциально ненадежных схем в силу ускоряющих отказ факторов постоянного и переменного напряжения, электрического поля в диэлектрике и тока через диэлектрик в месте дефекта.

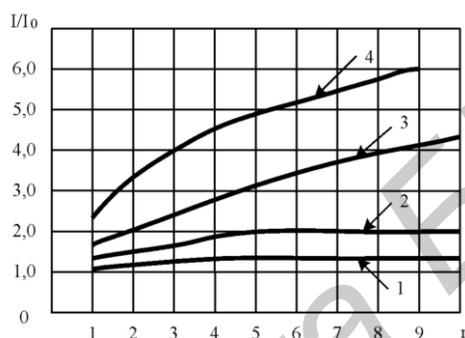


Рис. 2. Экспериментальные данные результатов измерений статического тока потребления для схем с высокой (1, 2) и низкой (3, 4) надежностью

### Заключение

Эффективность предложенного способа отбраковки КМОП схем обусловлена тем, что удается отбраковать в нормальных температурных условиях ненадежные интегральные схемы при измерении параметров схем на пластинах, что позволяет избежать затрат, связанных со сборкой, и исключив забракование после их установки в аппаратуру.

## EFFECTIVE METHOD OF UNRELIABLE CMOS CIRCUITS IDENTIFICATION

A.I. BELOUS, A.V. PRYBYLSKI

### Abstract

With increase of complexity factor of integrated circuits and reduction of the geometrical dimensions of integrated structures and detection of unreliable circuits still remains an actual problem. A method of rejection of potentially unreliable circuits most often used in production is imitation of operational modes at a stage of tests. However complexity and duration of realization of the specified method does it practically not suitable in the conditions of mass production of integrated circuits.

### Список литературы

1. Красников Г.Я., Зайцев Н.А. Физико-технологические основы обеспечения качества СБИС. М., 1998.
2. Козырь И.Я. Качество и надежность интегральных микросхем. М., 1997.
3. Красников Г.Я. Конструктивные особенности субмикронных МОП-транзисторов. М., 2004.
4. Денисенко В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. М., 2010.