

МЕТОД ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ СХЕМ С ЭЛЕМЕНТАМИ ПАМЯТИ ДЛЯ ОПРЕДЕЛЕНИЯ ПЕРЕКЛЮЧАТЕЛЬНОЙ АКТИВНОСТИ

Н.А. Кириенко

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: kir@newman.bas-net.by

Предложен метод логического моделирования схем с элементами памяти, построенных из элементов заданной библиотеки КМОП элементов. Разработаны алгоритм и программа моделирования, которые используются при определении переключательной активности схем с целью оценки их энергопотребления. Приводятся результаты исследования энергопотребления логических схем с элементами памяти.

ВВЕДЕНИЕ

Оценку переключательной активности схем с элементами памяти на логическом уровне можно выполнить путем логического моделирования схемы на заданной тестовой последовательности. В процессе моделирования определяется число переключений транзисторов схемы на каждом входном наборе тестовой последовательности, исходя из структуры схемы и характеристик энергопотребления элементов библиотеки КМОП элементов, из которых состоит схема. В качестве максимальной оценки выбирается наибольшее число переключений транзисторов на заданной тестовой последовательности.

Метод оценки энергопотребления комбинационных логических схем из элементов КМОП библиотеки рассмотрен в [1]. Основные затраты энергии падают на переключение транзисторов, из которых состоит элемент библиотеки. Показано, что число переключений транзисторов комбинационных элементов прямо пропорционально числу входов элемента, на которых происходит изменение сигнала на смежной паре входных наборов. Процесс логического моделирования схемы позволяет определить все внутренние сигналы схемы на каждом наборе входных переменных. В результате этого можно определить изменение сигналов на входе каждого элемента схемы, и как следствие, число переключений транзисторов в этом элементе [1].

I. ДВУБЛОЧНОЕ ПРЕДСТАВЛЕНИЕ ИСХОДНОЙ СХЕМЫ

Процесс моделирования логической схемы из элементов библиотеки КМОП элементов, содержащей триггеры, рассмотрим на примере схемы *circ1*, представленной на рис. 2.

Схема состоит из КМОП элементов библиотеки проектирования "Power": комбинационных элементов – A2, A3, O2, N, NA, XOR2; и элементов памяти – триггеров DFFR. Можно выделить два этапа обработки внутренних сигналов на каждом входном наборе: формирование выходных сигналов комбинационных элементов схемы согласно i -му входному набору и форми-

рование новых состояний выходов триггеров согласно сформированным выходам комбинационной части. В связи с этим удобно рассматривать схему в виде двух блоков: *cx0* – блок триггеров, и *cx1* – комбинационный блок (см. рис. 1).

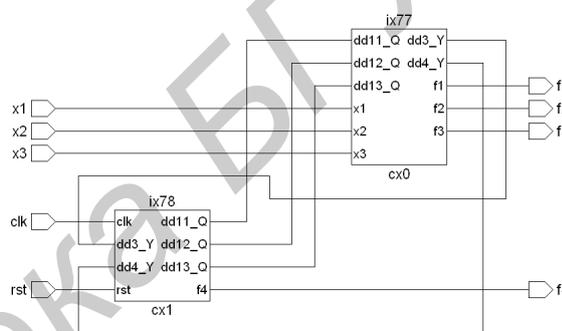


Рис. 1 – Представление схемы *circ1* в виде двух блоков

II. МЕТОД ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ СХЕМ С ЭЛЕМЕНТАМИ ПАМЯТИ

Процесс моделирования также распадается на два этапа: моделирование комбинационного блока и моделирование блока триггеров. Моделирование комбинационной части схемы выполняется с помощью специальной структуры, в которой имени элемента соответствует таблица выходов, которая строится исходя из функциональных описаний.

Пример фрагмента таблицы выходов для используемых в рассматриваемом примере элементов представлен в таблице 1.

Таблица 1 – Таблица выходов для элементов КМОП библиотеки

Имя	Индекс	Значение
N	(0,1)	{'1','0'}
A2	(00,01,10,11)	{'0','0','0','1'}
O2	(00,01,10,11)	{'0','1','1','1'}
NA	(00,01,10,11)	{'1','1','1','0'}
XOR2	(00,01,10,11)	{'0','1','1','0'}
A3	(000,001,010,011,100,101,110,111)	{'0','0','0','0','0','0','0','1'}

Значения выходов триггеров в зависимости от изменения их входов определяются с помо-

пью таблицы 2. В столбце 1 представлены смежные пары значений сигналов $(i, i + 1)$ на входах триггеров (d – информационный вход, c – вход синхросигнала). В столбцах 2 – 5 представлены значения прямых выходов Q_{i+1} на наборе $i + 1$ для триггеров различных типов: DFF, LAT, DFFR-R1, DFFR-R0. Q_i – значения прямых выходов на наборе i .

Таблица 2 – Значения выхода Q_{i+1} для триггеров

$d_i c_i - d_{i+1} c_{i+1}$	DFF	LAT	DFFR-R1	DFFR-R0
1	2	3	4	5
00-01	0	0	0	0
00-10	Q_i	Q_i	Q_i	0
00-11	1	1	1	0
01-00	Q_i	Q_i	Q_i	0
01-10	Q_i	Q_i	Q_i	0
01-11	Q_i	1	Q_i	0
10-00	Q_i	Q_i	Q_i	0
10-01	0	0	0	0
10-11	1	1	1	0
11-00	Q_i	Q_i	Q_i	0
11-01	Q_i	0	Q_i	0
11-10	Q_i	Q_i	Q_i	0

В докладе рассматривается алгоритм процесса определения выходных сигналов всех элементов схемы на заданном входном наборе сигналов. Алгоритм основан на разбиении каждого из блоков схемы (сх0, сх1) на каскады и продвижении внутренних сигналов от входного каскада к выходному. Под числом каскадов схемы понимается максимальное число элементов схемы на пути от входного полюса к выходному. Первый (входной) каскад содержит входные переменные, i -й каскад содержит те элементы схемы, на вход которых поступают выходные сигналы элементов каскадов $1 - (i - 1)$. Значения выходов каждого элемента каскада определяется с помощью таблиц 1 и 2.

ЗАКЛЮЧЕНИЕ

Представленный процесс моделирования лежит в основе алгоритма подсчета числа переключений транзисторов логической схемы с элементами памяти на заданной тестовой последовательности, что позволяет оценить энергопотребление разрабатываемой схемы.

1. Бибило, П. Н. Оценка энергопотребления логических КМОП-схем по их переключательной активности / П. Н. Бибило, Н. А. Кириенко // Микроэлектроника. – 2012. – № 1. – С. 65 –77.

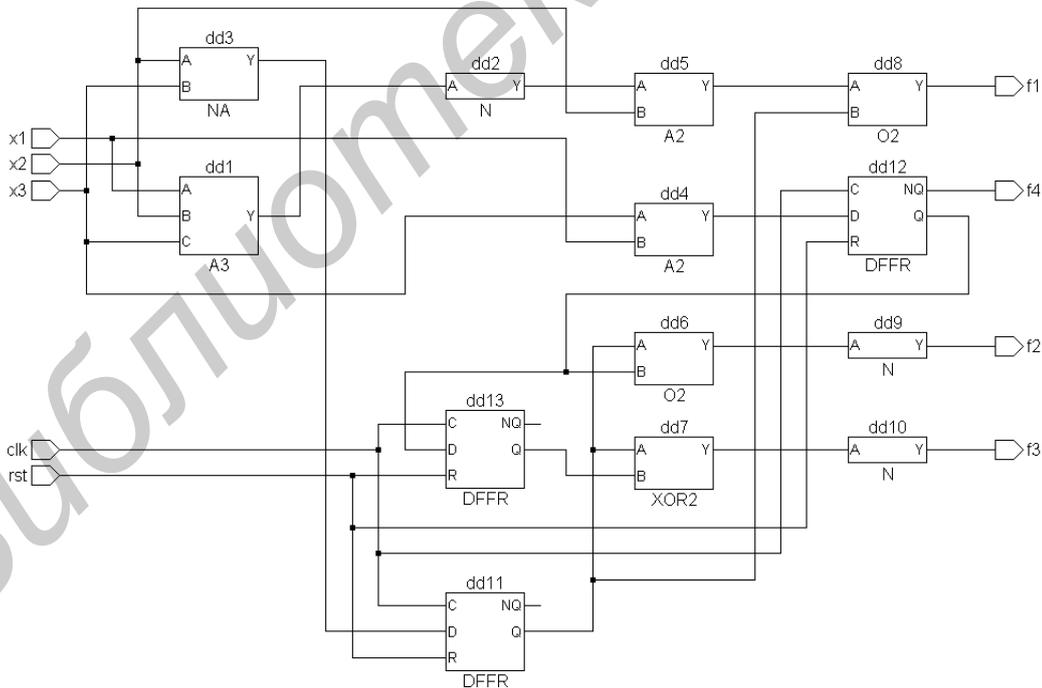


Рис. 2 – Логическая схема с элементами памяти сіrs1