

СТЕНД ИССЛЕДОВАНИЙ АЛГОРИТМОВ ОБРАБОТКИ ИЗОБРАЖЕНИЙ НА ОСНОВЕ ОТЛАДОЧНОГО МОДУЛЯ XILINX ML-401

В.В. Ключеня, Н.А. Петровский

Кафедра электронных вычислительных средств,

Белорусский государственный университет информатики и радиоэлектроники

Минск, Республика Беларусь

E-mail: vitaly.kliuchenia@gmail.com, nick@petrovsky.eu

В данной работе приведен пример аппаратной реализации алгоритмов обработки изображений на основе отладочного модуля Xilinx ML-401, в качестве основного управляющего ядра стенда используется MicroBlaze. Алгоритмы обработки изображений представлены в виде аппаратного блока на языке описания аппаратуры VHDL, далее данный блок подключается к MicroBlaze в виде сопроцессора по шине FSL (Fast Simplex Link) или PLB (Processor Local BUS), результат обработки изображений выводится через VGA интерфейс на экран монитора.

ВВЕДЕНИЕ

Моделирование архитектурных решений алгоритмов обработки изображений требует больших вычислительных мощностей и временных затрат. В рамках решаемой задачи можно использовать доступную отладочную плату ML-401, управляющим host-процессором выбран MicroBlaze. Таким образом задача разделяется на программную и аппаратную часть. Такой подход, называемый "быстрое прототипирование" [1], существенно уменьшает трудозатраты и позволяет реиспользовать стенд для аналогичных задач.

I. ИНФРАСТРУКТУРА РАЗРАБОТЧИКА И УПРАВЛЯЮЩИЙ ПРОЦЕССОР MICROBLAZE

MicroBlaze – soft-процессорное ядро, разработанное компанией Xilinx для использования в FPGA. MicroBlaze реализуется с помощью стандартной логики или блоков памяти ПЛИС. MicroBlaze имеет универсальные средства связи с периферией, обеспечивающее возможность применять его в разнообразных встроенных приложениях. Структурная схема приводится на рис. 1.

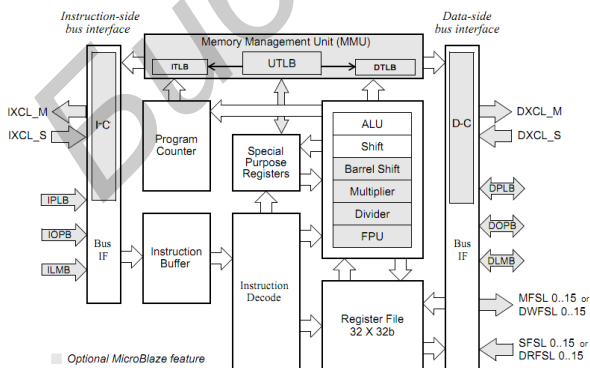


Рис. 1 – Структурная схема подключения сопроцессора к host-процессору

Основная шина ввода-вывода – CoreConnect PLB – шина с возможностью ра-

боты в режимах master и slave. Большинство IP-блоков как от Xilinx, так и от сторонних производителей подключаются напрямую к PLB (или через мост между шинами PLB (Processor Local BUS) и OPB (On-Chip Peripheral BUS)). Для доступа к внутренней памяти ПЛИС Block RAM (BRAM), MicroBlaze использует специальную шину LMB (Local Memory BUS), что снижает нагрузку на другие шины. Подключение сопроцессора возможно средствами специального соединения, подобного FIFO – FSL (Fast Simplex Link). Интерфейс с сопроцессором может помочь ускорить работу алгоритмов с большим количеством вычислений, передав часть вычислений в созданный разработчиком аппаратный блок.

Для разработки приложений используется Xilinx EDK (Embedded Development Kit) – пакет программ для разработки встроенных систем на основе MicroBlaze для ПЛИС фирмы Xilinx. Основанный на Eclipse IDE, EDK состоит из двух независимых сред разработки – XPS и SDK. Разработчики используют XPS (Xilinx Platform Studio) для создания и конфигурирования аппаратной спецификации встроенной системы (процессорное ядро, управление памятью, интерфейсы ввода-вывода и проч.). SDK служит для создания программной части системы, позволяет писать, компилировать и отлаживать программы на C/C++. Имеется специальный симулятор – ISS (Instruction Set Simulator), благодаря которому можно либо тестировать программу в режиме симулятора, либо используя подходящую плату с установленным ПЛИС, на реальной системе [2].

II. АРХИТЕКТУРА СТЕНДА ИССЛЕДОВАНИЙ АЛГОРИТМОВ ОБРАБОТКИ ИЗОБРАЖЕНИЙ

Объектом исследований для стенда выбраны модули вычисления DCT-IDCT (discrete cosine transform – invers discrete cosine transform) [3], и многополосное вейвлет преобразование [4], которые реализованы на языке

описания аппаратуры VHDL. VHDL-файлы описывают архитектуру преобразования в виде периферийного устройства и подключаются к ядру MicroBlaze по быстродействующей шине FSL или PLB (рис.2). Далее генерируем bitstream-file и с помощью JTAG-интерфейса, подключаемого через Debug-модуль, прошиваем отладочный модуль ML-401. Пользовательская программа, разработанная в среде SDK на языке C, выполняет подготовку буферов исходных данных и результата обработки для вывода на экран через VGA-интерфейс (рис.2), а так же анализа со стороны ПК через Ethernet [5].

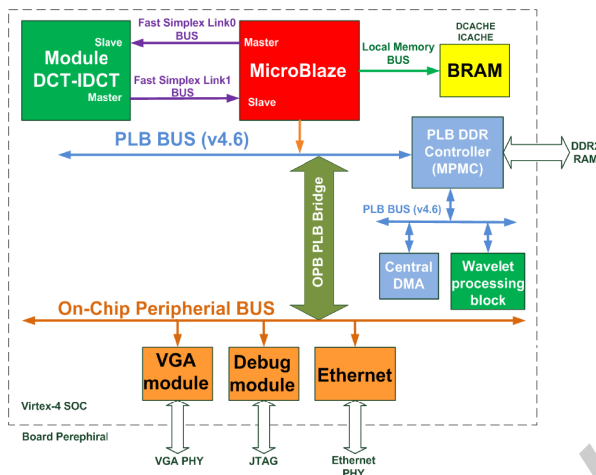


Рис. 2 – Функциональная схема блока обработки изображений, подключённого к процессору Microblaze

В качестве тестируемых изображений выбираем изображения размером 480x480 пикселей (рис.3).



Рис. 3 – Результат вывода изображения Lena 480x480: а)-исходное изображение, б)-декодированное изображение на выходе модуля DCT-IDCT без использования информационного блока (наблюдаем эффект шахматной доски), в)-декодированное изображение на выходе модуля DCT-IDCT с использованием информационного блока [3]



Рис. 4 – Стенд исследований алгоритмов обработки изображений на основе отладочного модуля Xilinx ML-401. Результат обработки изображения модулем DCT-IDCT с невыполненным условием регулярности 1-ого рода (артефакт "шахматная доска")

ЗАКЛЮЧЕНИЕ

В данной статье кратко рассказано как можно использовать отладочный модуль для исследования алгоритмов обработки изображений, как задействовать пользовательские IP-ядра, а также приведен результат вывода обработанных изображений (рис.4).

1. Parfieniuk, M. Rapid Prototyping Technology: Principles and Functional Requirements / M. Parfieniuk, N. A. Petrovsky, A. A. Petrovsky / Ed. by M. E. Hoque. — InTech, 2011. — P. 227–246.
2. MicroBlaze [Electronic resource] / — Mode of access: <https://ru.wikipedia.org/wiki/MicroBlaze> —
3. Kliuchenia Vitaly, Petrovsky Alexander, Architecture of DCT-IDCT processor for lossless scheme coding, Pattern Recognition and Information Processing, PRIP'2014, Proceedings of the 12th international conference 28-30 May 2014, Minsk, Belarus
4. Петровский, Н. А. Процессор обработки изображения на многополосном вейвлет преобразовании в алгебре кватернионов / Н. А. Петровский // Доклады БГУИР. — 2011. — Т. 61, № 7. — С. 76–82.
5. Rosinger Hans-Peter, Connecting Customized IP to the MicroBlaze Soft Processor Using the Fast Simplex Link(FSL) Channel, XAPP259 (v1.3) May 12, 2004