

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра радиоэлектронных средств

П. П. Лычук

***ПОСЛЕДОВАТЕЛЬНОСТНЫЕ И КОМБИНАЦИОННЫЕ СХЕМЫ
ЦИФРОВЫХ УСТРОЙСТВ***

Учебно-методическое пособие
по дисциплине «Проектирование устройств цифровой обработки информации»
для студентов специальностей

I-39 02 01 «Моделирование и компьютерное проектирование РЭС»,

I-39 02 02 «Проектирование и производство РЭС»

дневной и заочной форм обучения

Минск 2008

УДК 621.374.3(075.8)

ББК 32.844.1я 73

Л 88

Р е ц е н з е н т
профессор кафедры ЭВС БГУИР,
канд. техн. наук И. М. Русак

Лычук, П. П.

Л 88

Последовательностные и комбинационные схемы цифровых устройств : учеб.-метод. пособие по дисц. «Проектирование устройств цифровой обработки информации» для студ. спец. I-39 02 01 «Моделирование и компьютерное проектирование РЭС», I-39 02 02 «Проектирование и производство РЭС» днев. и заоч. форм обуч. / П. П. Лычук. – Минск : БГУИР, 2008. – 104 с. : ил.

ISBN 978-985-488-283-3

Рассмотрены последовательностные (триггеры, регистры, счетчики) и комбинационные (дешифраторы, шифраторы, мультиплексоры, сумматоры) схемы, используемые при проектировании цифровых электронных устройств и систем.

Приводится их классификация, основные параметры и характеристики.

Учебно-методическое пособие может быть полезно студентам специальности I-39 02 03 «Техническое обеспечение безопасности» по дисциплине «Схемотехника аналоговых и цифровых устройств», а также студентам других специальностей, изучающим цифровую схемотехнику.

УДК 621.374.3(075.8)

ББК 32.844.1я 73

ISBN 978-985-488-283-3

© Лычук П. П., 2008

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2008

Содержание

Введение	4
Глава 1. Триггерные устройства	5
1.1. Общие сведения	5
1.2. Классификация триггерных устройств.....	5
1.3. Требования и параметры, характеризующие триггерные устройства	11
1.4. Статические триггеры	15
1.4.1. Триггеры с управлением записью вида L, \bar{L}	16
1.4.2. Триггеры с управлением записью вида $[F]$	32
1.4.3. Триггеры, в которых приём и фиксация информации разнесены во времени.....	36
1.5. Импульсно-статические триггеры	46
1.6. Динамические триггеры.....	48
1.7. Квазистатические триггеры	49
Глава 2. Регистры.....	51
2.1. Общие сведения	51
2.2. Параллельные регистры	52
2.2.1. Однофазные параллельные регистры двухтактного действия.....	52
2.2.2. Однофазные параллельные регистры одноктактного действия	53
2.2.3. Парафазные параллельные регистры.....	55
2.3. Сдвигающие (последовательные, сдвиговые) регистры и их классификация.....	56
2.4. Сдвигающие регистры многотактного действия.....	57
2.5. Сдвигающие регистры одноктактного действия	61
Глава 3. Счётчики	68
3.1. Общие сведения	68
3.2. Классификация счётчиков	70
3.3. Счётчики на основе триггерных устройств	72
3.3.1. Счётчики с непосредственными связями	73
3.4. Счётчики с переносом	77
3.4.1. Счётчики с последовательным (сквозным) переносом.....	78
3.4.2. Счётчики с параллельным переносом	79
3.4.3. Счётчики с параллельно-последовательным переносом	81
3.5. Реверсивные счётчики.....	82
3.6. Сдвигающие счётчики.....	84
3.6.1. Счётчики на регистрах с перекрёстными связями	84
Глава 4. Комбинационные схемы цифровых устройств.....	87
4.1. Общие сведения	87
4.2. Дешифраторы и шифраторы.....	87
4.3. Мультиплексоры	95
4.4. Сумматоры.....	99
Литература	104

Введение

Электронные схемы цифровых устройств подразделяются на последовательностные и комбинационные. В последовательностных схемах значение сигнала на выходе схемы в какой-то момент времени зависит не только от сигналов, имеющих на входе схемы в этот момент времени, но также и от предшествовавшей последовательности значений сигналов, которые были на ее входе ранее. Другими словами, последовательностные схемы обладают памятью (memoгу) по отношению к событиям, происходившим ранее. Именно поэтому их применение позволяет строить гораздо более сложные и интеллектуальные цифровые устройства, чем в случае простейших схем без памяти [3].

Однако такие последовательностные схемы, как триггеры, регистры и счетчики, сохраняют свою память до тех пор, пока на них подается напряжение питания. То есть их память относится к типу оперативной памяти (в отличие от постоянной памяти и перепрограммируемой постоянной памяти, которым отключение питания не мешает сохранять информацию). После выключения питания и его последующего включения триггеры, регистры и счетчики переходят в случайное состояние (состояние неопределенности), т.е. их выходные сигналы могут с равной вероятностью устанавливаться как в состояние логической единицы, так и в состояние логического нуля. Это обстоятельство необходимо учитывать при проектировании логических схем на триггерах, регистрах и счетчиках.

Комбинационные схемы выполняют более сложные функции, чем простые логические элементы. Их входы объединены в функциональные группы и не являются полностью взаимозаменяемыми.

Например, любые два входа логического элемента И-НЕ можно поменять местами, от этого выходной сигнал никак не изменится, а для комбинационных схем это невозможно, так как у каждого входа своя особая функция.

Объединяет комбинационные схемы с логическими элементами то, что и те, и другие не имеют внутренней памяти. То есть уровни их выходных сигналов всегда однозначно определяются текущими уровнями входных сигналов и никак не связаны с предыдущими значениями входных сигналов.

Любое изменение входных сигналов обязательно изменяет состояние выходных сигналов. Именно поэтому логические элементы иногда также называют комбинационными схемами в отличие от последовательностных микросхем, которые имеют внутреннюю память и управляются не уровнями входных сигналов, а их последовательностями.

Глава 1. Триггерные устройства

1.1. Общие сведения

Триггерные устройства являются наиболее распространенными функциональными элементами цифровых систем. Наибольшее применение триггеры находят в счетчиках, регистрах, элементах памяти, распределителях сигналов, накапливающих сумматорах и др. Триггеры имеют и самостоятельное применение, например, в устройствах управления, выполняя функции логического преобразования и хранения информации.

1.2. Классификация триггерных устройств

Триггерами (trigger или flip-flop) (триггерными устройствами, системами) называют большой класс электронных устройств, обладающих двумя и более устойчивыми состояниями электрического равновесия, способных под действием внешних (управляющих, переключающих) сигналов переключаться в любое из этих состояний и находиться в них сколь угодно долго после прекращения их действия. Состояние триггера – это значение, которое в нем хранится в настоящее время [8].

Если таких устойчивых состояний два, то триггеры называются *бистабильными*. Триггеры с числом состояний больше двух называются *многостабильными*. В бистабильных триггерах каждое состояние легко различимо по уровням напряжений на его выходах. Бистабильные триггеры, как правило, имеют два выхода (плеча): *прямой выход* – обозначается Q и *инверсный выход* – обозначается \bar{Q} . Триггер с двумя выходами называется *парафазным* триггером. Ряд триггеров имеет один выход. Такие триггеры называются *однофазными*.

Приняв одно из состояний триггера за 1 (т.е. $Q = 1$), второе за 0 (т.е. $Q = 0$), можно считать, что триггер хранит один бит информации, записанной в двоичном коде. При этом в зависимости от того, какая форма сигнала принимается за 1 и 0, т.е. в зависимости от способа кодирования состояний, все триггеры подразделяются на триггеры с потенциальным и импульсным кодированием. Отличительной особенностью триггеров с потенциальным кодированием является то, что каждому состоянию триггера ставится в соответствие наличие сигнала постоянной амплитуды высокого (близкого к напряжению питания) и низкого (близкого к нулю) логических уровней. При этом если сигнал на выходе триггера Q соответствует высокому уровню напряжения, говорят, что триггер находится в состоянии 1 ($Q = 1$), а если низкого, то в состоянии 0 ($Q = 0$).

Триггер с импульсным кодированием состояния характеризуется наличием импульсов определенной амплитуды и длительности, если он находится в состоянии 1, и отсутствием импульсов, если он находится в состоянии 0.

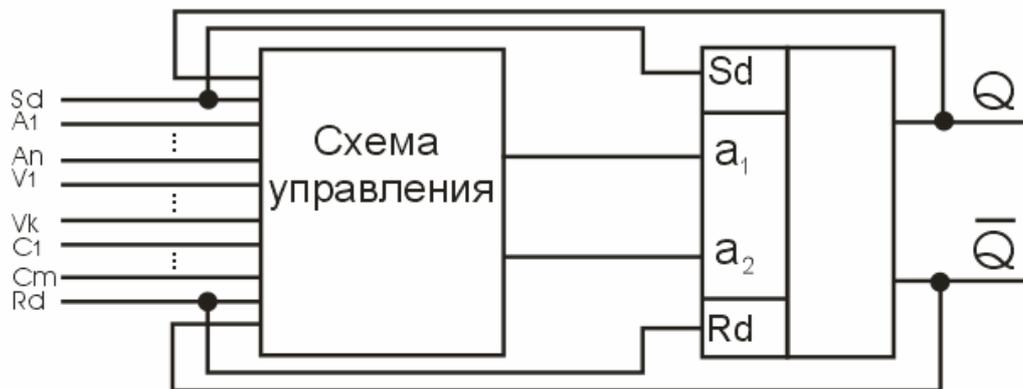


Рис. 1.1. Обобщенная структурная схема триггера

Триггеры с импульсным кодированием широко применялись на начальном этапе развития вычислительной техники, когда электронные лампы, а затем транзисторы были основными компонентами электронных устройств. В настоящее время они не находят применения, и поэтому впредь будем рассматривать триггеры с потенциальным кодированием. Обобщенная структурная схема такого триггера показана на рис. 1.1.

Схема триггера состоит из элемента памяти (как правило, собственно триггера с двумя устойчивыми состояниями) и схемы управления с рядом входов $A_1 \mathbf{K} A_n, C$.

Схема управления преобразует поступающую на её входы $A_1 \mathbf{K} A_n$ информацию в одну из комбинаций сигналов 00,01,10,11, действующих непосредственно на входы a_1, a_2 собственно триггера. Входы $A_1 \mathbf{K} A_n$, на которые поступает записываемая информация, называют *информационными* или *логическими*. Кроме логических схема триггера может иметь *тактовые входы* или *входы синхронизации* ($C_1 \mathbf{K} C_m$), *разрешающие (управляющие) входы* $V_1 \mathbf{K} V_k$, а также входы Sd, Rd непосредственной установки триггера – *установочные входы*. Следует подчеркнуть, что всё многообразие применяемых триггеров определяется организацией схемы управления, которая сама может содержать дополнительные элементы памяти, и её связями с выходами триггера Q и \bar{Q} .

Возможны и более простые схемы триггерных устройств, например такие, в которых отсутствуют разрешающие V или тактовые входы C, исключено устройство управления либо отсутствуют связи с выходов Q и \bar{Q} на входы устройства управления.

Классификация триггерных устройств приведена на рис. 1.2.

В основу классификации положены следующие признаки [7]:

- способ схемной реализации;
- функциональный признак;
- способ записи информации в триггер;
- способ управления записью информации.

Способ схемной реализации

Согласно способу схемной реализации выделяются следующие основные особенности триггерных устройств:

- тип используемого элемента памяти (статический, динамический или оба одновременно);
- вид управляющего сигнала, с которым может работать триггер (импульсный, т.е. сигнал ограниченной длительности; потенциальный, т.е. сигнал неограниченной длительности, либо тот и другой);
- наличие или отсутствие в структурной схеме узлов, преобразующих потенциальные входные сигналы в импульсные. В соответствии с этим признаком все триггеры подразделяются на статические, импульсно-статические, динамические, квазистатические.



Рис. 1.2. Обобщенная классификация триггерных устройств

Функциональный признак

Согласно **функциональному признаку** предполагается деление триггеров по виду характеристического уравнения, описывающего их поведение (функционирование). Это уравнение в общем случае записывается в виде

$$Q^{n+1} = f(Q^n, A_1^n, A_2^n, \mathbf{K}, A_n^n)$$

и отражает состояние выхода триггера в момент t^{n+1} (Q^{n+1}) в зависимости от комбинации сигналов, действующих на входах триггера $A_1 \mathbf{K} A_n$, и его со-

стояния Q^n в момент t^n . Другими словами, характеристическое уравнение описывает реакцию триггера на комбинацию сигналов, поданных на его входы в момент t^n , предшествующий моменту t^{n+1} . В соответствии с функциональным признаком различают триггеры RS, D, JK, T, E, RST, R, S и других типов, т.е. название триггеру присваивается по функциональному признаку. Причем название триггера обычно дается по обозначению его информационных входов, которым вместо символов $A_1 \mathbf{K} A_n$ на обобщенной структурной схеме рис. 1.1 присваиваются символы R, S, J, K, T и т.д., которые обозначают:

- S (Set – установка) – вход для отдельной установки триггера в состояние «1» ($Q = 1, \bar{Q} = 0$);
- R (Reset – сброс) – вход для отдельной установки триггера в состояние «0» ($Q = 0, \bar{Q} = 1$);
- T (Toggle – релаксатор (переключатель)) – счетный вход триггера;
- J (Jerk – внезапное включение) – вход для отдельной установки триггера в состояние «1» в универсальном JK-триггере;
- K (Kill – внезапное отключение) – вход для отдельной установки триггера в состояние «0» в универсальном JK-триггере;
- D (Delay – задержка, Drive – передача) – информационный вход для установки триггера в состояние «0» или «1»;
- V (Valve – клапан, вентиль) – управляющий (разрешающий) вход для разрешения приема либо информационных, либо тактовых сигналов;
- тактовый вход C (Clock – первичный источник сигналов синхронизации) – разрешает схеме управления запись информации в триггер.

Таким образом, по способу организации логических связей различают триггеры с отдельной установкой состояний «0» и «1» (RS-триггеры); со счетным входом (T-триггеры); универсальные с отдельной установкой состояний «0» и «1» (JK-триггеры); с приемом информации по одному входу (D-триггеры); универсальные с управляемым приемом информации по одному входу (DV-триггеры); комбинированные (например RST-, JKRS-, DRS-триггеры и т.п.). В некоторых случаях триггеры обозначаются одной буквой и имеют два и более информационных входов (например триггер E-типа).

Способы записи информации в триггер

В соответствии с этим признаком триггеры классифицируют по времени обновления информации с учетом её привязки к тактовой (синхронизирующей) частоте, действующей в устройстве. По этому признаку триггеры подразделяются на *асинхронные* и *синхронные (тактируемые)*.

К асинхронным относятся триггеры, которые имеют только информационные входы. Запись информации в такие триггеры осуществляется асинхронно, т.е. в произвольные моменты времени относительно частоты синхронизирующих импульсов, а именно в момент поступления управляющих сигналов на информационные входы.

В отличие от асинхронных синхронные триггеры кроме информационных имеют дополнительные синхронизирующие (тактирующие) входы С. Запись информации в такие триггеры осуществляется только в момент действия тактирующего импульса (ТИ) на входе С.

В свою очередь синхронные триггеры подразделяются на триггеры *однотактного* и *многотактного* действия. Многотактные (n-тактные, $n = 2, 3, 4, \dots$) триггеры характеризуются тем, что запись информации в триггер завершается с поступлением n-го тактирующего импульса.

Способ управления записью информации в триггер

В ряду классификационных признаков этот признак следует считать важнейшим, так как он позволяет учесть основные моменты в работе триггера, а именно:

- какие части сигнала (фронты, уровни, их комбинации) используются для записи информации в схему управления;
- реакцию триггера на смену информации в процессе её записи;
- момент времени, когда записываемая информация появляется (фиксируется) на выходах триггера.

Можно выделить две группы триггеров, различаемых по способам управления записью информации:

- триггеры, у которых прием и фиксация информации совмещены во времени;
- триггеры, у которых прием и фиксация информации разнесены во времени.

К первой группе триггеров относятся триггеры, у которых для приема и фиксации информации используется только один фрагмент сигнала: уровень либо фронт. Обозначим уровни символами L и \bar{L} (от слова Level – уровень), а фронты символами F и \bar{F} (от слова Front – фронт) (рис. 1.3).

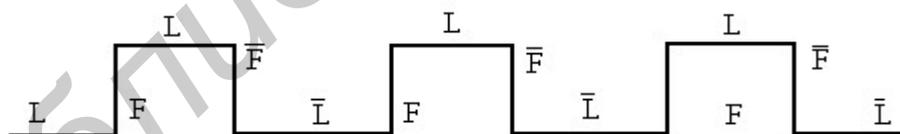


Рис. 1.3. Обозначение фрагментов сигнала

В соответствии с принятыми обозначениями триггеры, принимающие и фиксирующие информацию по уровням и фронтам, называются триггерами L- и F-типов (видов).

Ко второй группе относятся триггеры, у которых для приема и фиксации информации используются как минимум две части сигнала, например, уровень и срез, уровень и фронт, фронт и срез и т.д. Такие триггеры будем обозначать двумя символами (первый указывает на интервал приема, а второй – на момент фиксации), например, триггер $L\bar{F}$ -типа, принимающий информацию по уровню L с фиксацией на выходах по фронту \bar{F} (фронт 10). Возможны и другие раз-

новидности триггеров этой группы, например $\bar{L}F$ -типа, принимающий информацию в схему управления по уровню \bar{L} (уровень 0) с фиксацией на выходе по фронту F (01) и т.д.

Объединив все классификационные признаки, получим обобщенное (символьное) обозначение (запись) триггера, позволяющее судить не только о выполняемой триггером функции, но и алгоритме его работы.

Приведем примеры такого символьного обозначения триггеров на примере статических триггеров RS-, D- и JK-типов:

$C_L RS$ – тактируемый RS-триггер вида L, переключаемый по входам R и S сигналами высокого уровня (уровень L на рис. 1.3).

Учитывая, что по входам R и S триггер управляется потенциальными сигналами уровня L, тот же триггер можно записать иначе:

$C_L R_L S_L \equiv (CRS)_L$, записи равноценны.

$C_{\bar{L}} \bar{R} \bar{S}$ – тактируемый RS-триггер вида \bar{L} , управляемый по входам R и S сигналами низкого уровня (уровня \bar{L}). Этот же триггер можно записать иначе:

$$(CRS)_{\bar{L}} \equiv C_{\bar{L}} R_{\bar{L}} S_{\bar{L}} \equiv C_{\bar{L}} \bar{R} \bar{S}.$$

$C_F RS$ – тактируемый RS-триггер вида F, принимающий и фиксирующий информацию по фронту F (т.е. в течение небольшого интервала времени, практически совпадающего с длительностью фронта).

$C_{L\bar{F}} RS$ – тактируемый RS-триггер вида $L\bar{F}$, принимающий информацию по уровню L с фиксацией на выходе по фронту \bar{F} .

$C_{L\bar{F}} \bar{J} \bar{k}$ – тактируемый JK-триггер вида $L\bar{F}$, управляемый по входам JK сигналами с уровнем логического 0.

$C_{F\bar{F}} D$ – тактируемый D-триггер вида $F\bar{F}$.

$R_L - S_L \equiv (R - S)_L$ – асинхронный RS-триггер вида L.

$R_{\bar{L}} - S_{\bar{L}} \equiv (R - S)_{\bar{L}}$ – асинхронный RS-триггер вида \bar{L} .

$R_F - S_F \equiv (R - S)_F$ – асинхронный RS-триггер вида F.

$R_{L\bar{F}} - S_{L\bar{F}} \equiv (R - S)_{L\bar{F}}$ – асинхронный RS-триггер вида $L\bar{F}$.

RS – триггер RS-типа без указания классификационных признаков, учитывающих способ управления и записи (аналогично JK, D и других типов).

CRS – тактируемый RS-триггер без указания классификационных признаков, учитывающих способ управления записью (аналогично CD, CJK и других типов).

R-S – асинхронный RS-триггер без указания способа управления.

Говоря об *индексной* классификации, следует подчеркнуть, что её введение позволяет существенно упростить процедуру выбора и эффективного применения триггерных устройств, поскольку такая классификация позволяет по суще-

ству не только знать алгоритм работы триггера, но и представлять себе его выходную диаграмму, не знакомясь с его принципиальной схемой. Последнее является важным моментом в схемотехнике триггерных устройств, поскольку известно, что триггеры одного функционального типа, но различаемые по способам управления записью информации, имеют различные выходные диаграммы при идентичной входной.

1.3. Требования и параметры, характеризующие триггерные устройства

Триггер, как и любое другое электронное устройство, характеризуется рядом параметров и требований, предъявляемых к нему. Всю совокупность этих параметров и требований можно разбить на две группы: *функциональные* и *схемотехнические*. К *функциональным* будем относить те требования и параметры, которым должен удовлетворять триггер при его конкретном применении. К их числу можно отнести:

- функциональный тип триггера;
- способ записи информации в триггер;
- способ управления записью информации в триггер;
- вид переходного состояния триггера;
- число тактирующих, информационных, разрешающих и установочных входов;

- эквивалент нагрузки триггера по тактовому входу p_c ;
- нагрузочную способность триггера по выходу p_Q ;
- быстродействие триггера;
- функциональную надежность триггера.

К *схемотехническим* будем относить параметры, которые являются зависимыми от схемного решения триггера при условии выполнения последним всех функциональных требований и параметров. К ним можно отнести:

- число корпусов ИМС или аппаратные затраты (A_{3T});
- потребляемая мощность.

Функциональный тип триггера

Предполагается выбор готового или разработка нового триггера, характеристическое уравнение которого должно удовлетворять необходимым требованиям по логике действия. Следует отметить, что в некоторых случаях одна и та же логическая функция может выполняться триггерами различного типа, например функцию счетного триггера (триггер Т-типа) могут выполнять триггеры $C_{LF}RS$, $C_{F\bar{F}}D$, $C_{LF}JK$, $C_{\bar{F}}D$ и других типов.

Способы записи информации в триггер

Предполагается выбор асинхронного или тактируемого варианта триггера. При этом учитывается, в каком режиме он может работать. Например, выбирается асинхронный триггер, работающий в синхронном режиме, или наоборот.

Способы управления записью информации

Предполагается выбор одного из типов триггеров $L, L\bar{F}, F, \bar{L}\bar{F}$ и др., который требуется по логике работы в конкретном случае.

Вид переходного состояния триггера

Триггеры, имеющие парафазные выходы Q и \bar{Q} , при своем переключении могут *кратковременно* находиться либо в состоянии $Q = \bar{Q} = 0$, либо $Q = \bar{Q} = 1$. Длительность такого состояния, которое определяется переходными (регенеративными) процессами в триггере, *весьма незначительна* и зависит от его элементной базы. Однако учет такого состояния в некоторых случаях оказывается важным, особенно при проектировании схем распределителей и сдвигающих регистров.

Число установочных, информационных, синхронизирующих и разрешающих входов

Триггер всегда выполняется с определенным числом перечисленных входов, которое определяется его конкретным применением. В общем случае триггер может содержать либо весь перечень входов, приведенный на рис. 1.1, либо в простейшем случае только один или два информационных входа.

При включении питания на какое-либо устройство часто требуется, чтобы все либо часть его триггеров находилась в определенном состоянии. Это достигается подачей импульсных сигналов, вырабатываемых специальными схемами, на установочные входы триггера, называемые *входами непосредственной установки* S_d, R_d . Кроме установочных триггер может иметь разрешающие входы, которые позволяют заносить информацию в триггер только при наличии на нём разрешающего сигнала. При отсутствии такого сигнала триггер не воспринимает входную информацию. Отсюда следует, что по логике работы разрешающие входы аналогичны тактовому входом C и, как правило, могут их заменить. (Назначение синхронизирующих и информационных входов рассмотрено раньше.)

Эквивалент нагрузки триггера по тактовому входу n_c

Этот параметр показывает, какое число триггеров со стороны тактового входа C может быть подключено к типовому элементу без нарушения его работоспособности. Учет этого параметра особенно важен при проектировании сдвигающих регистров и пересчетных устройств. Для триггеров, выполненных на типовых логических элементах (ЛЭ), параметр n_c определяется числом связей S_c тактового входа C с остальными элементами триггера.

Нагрузочная способность триггера по выходу n_Q

В реальных устройствах выходы триггера нагружены, т.е. подключены ко входам других ЛЭ. Число таких элементов (нагрузок) всегда известно и не может превышать определенного числа n_Q , называемого *нагрузочной способностью триггера*. Параметр n_Q показывает, какое число элементов можно подключить к выходу триггера, не вызывая отклонения выходных напряжений от установленных логических уровней. Этот параметр зависит от нагрузочной

способности элементов n_{\ominus} , числа связей выхода триггера Q с остальными элементами триггера и при выполнении его на типовых ЛЭ определяется из выражения

$n_Q = n_{\ominus} - S_Q$, где S_Q – число связей выходного плеча триггера.

Быстродействие триггера оценивается максимальной частотой следования входных сигналов f_{\max} , при которой триггер полностью выполняет свои функции. Максимальная частота зависит от задержек выполнения логических операций элементами триггера. В общем случае f_{\max} любого триггера можно рассчитать по формуле

$$f_{\max} = \frac{1}{\tau_{u\min} + \tau_{\Pi\min}} = \frac{1}{t_p},$$

где $\tau_{u\min}$ – минимальная длительность сигнала (информационного или тактирующего), при которой не нарушается работа триггера;

$\tau_{\Pi\min}$ – минимальная длительность паузы между сигналами записи информации, обеспечивающая нормальную работу триггера.

Иногда параметр f_{\max} оценивается через параметр $t_p = \tau_{u\min} + \tau_{\Pi\min}$ – минимальный временной интервал между двумя переключающими импульсами или разрешающее время триггера.

Требование функциональной надежности

Это требование предполагает схемную реализацию триггера, в котором отсутствуют опасные состязания. В логических элементах с памятью, т.е. в схемах с обратными связями, под воздействием входных сигналов могут изменить состояние сразу несколько элементов памяти. В этих случаях говорят, что в схеме существуют состязания сигналов обратных связей, или просто – состязания сигналов. Если под воздействием входного сигнала схема из одного состояния может перейти в различные состояния в зависимости от задержек в элементах схемы, то в этом случае состязания называются критическими или опасными. Считается, что схема функционально надежна, если она свободна от опасных состязаний. При их наличии функциональную надежность оценивают с помощью параметра Δ , именуемого относительной длиной состязующихся цепей. Доказано, что для некоторых видов состязаний триггер функционально надежен, если выполняется условие

$$\frac{G}{G'} = D > \frac{\tau_{3\max}}{\tau_{3\min}},$$

где G , G' – число элементов в состязующихся цепях;

$\tau_{3\max}$ и $\tau_{3\min}$ – временной разброс задержек выполнения логической операции элементами.

Аппаратурные затраты $A_{зт}$

Этот параметр позволяет оценить суммарные затраты по числу корпусов ИМС, пользуясь формулой

$$A_{зт} = \sum_{i=1}^n K_i,$$

где K_i – число корпусов ИМС i -го типа.

При определении **потребляемой мощности** триггера следует иметь ввиду:

а) *число логических элементов в триггере* $n_{эТ}$.

Этот параметр, который определяется суммарным числом ЛЭ в триггере, относится к разряду важнейших, так как позволяет оценить мощностные затраты триггера.

Учитывая, что в двоичных триггерах, как правило, число элементов, находящихся в состоянии 0, примерно равно числу элементов, находящихся в состоянии 1, и само число элементов сравнительно невелико, мощность, потребляемую триггером в статическом состоянии ($P_{ст}$), можно достаточно точно подсчитать по формуле

$$P_{ст} = n_{эТ} P_{сэ},$$

где $P_{сэ} = \frac{P_{0э} - P_{1э}}{2}$ – средняя мощность, потребляемая элементом;

$P_{0э}$ – мощность, потребляемая элементом в состоянии 0;

$P_{1э}$ – мощность, потребляемая элементом в состоянии 1;

б) *число переключаемых за период элементов* Θ_T .

Учет параметра Θ_T при выборе оптимального варианта триггера необходим в том случае, когда триггер проектируется на элементах, потребляющих в момент переключения заметно большую мощность, чем в статическом состоянии. К последним можно отнести ТТЛ- и особенно КМОП- элементы.

Повышенный расход мощности в момент переключения является причиной не только увеличения средней мощности, потребляемой триггером, но и возникновения значительных импульсных помех в цепи питания. Поэтому уменьшение числа переключаемых элементов имеет важное значение для снижения как потребляемой мощности, так и уровня генерируемых помех. У традиционных, т.е. двоичных триггеров, особенно триггеров типов D, T, JK и RS, в стадии переключения участвуют практически все элементы. Поэтому для таких триггеров параметр Θ_T можно считать примерно равным числу его элементов, т.е. $\Theta_T = n_{эТ}$. По числу переключаемых за период элементов можно определить *дополнительную* мощность DP_T , потребляемую триггером в динамическом режиме:

$$DP_T = \sum_{i=1}^K DP_{di} \Theta_i,$$

где DP_{di} – дополнительный прирост потребляемой мощности элементом i -го типа за счет работы в динамическом режиме при переключении;
 Θ_i – число переключаемых за период элементов i -го типа;
 i – число типов элементов, различаемых по потребляемой мощности.

В свою очередь, мощность $DP_{di} = P_{d\Theta i} - P_{C\Theta i}$,

где $P_{d\Theta i}$ – средняя *динамическая* мощность элемента i -го типа на рабочей частоте f_p (определяется из технических условий на элемент);

$P_{C\Theta i}$ – средняя *статическая* мощность элемента i -го типа.

Из сказанного следует, что с увеличением прироста динамической мощности, которая резко увеличивается с ростом частоты, должна увеличиваться и общая, т.е. *динамическая*, мощность P_{dT} , потребляемая триггером. В итоге с учетом параметра DP_T *полная*, или *динамическая* мощность триггера будет определяться из выражения

$$P_{dT} = P_{CT} + DP_T.$$

Итак, потребляемая мощность и аппаратные затраты являются характеристиками, на основе которых проводится сравнение и выбор схемного решения триггера при условии выполнения им функциональных требований.

Триггер можно характеризовать и рядом дополнительных параметров, к которым можно отнести, например, число связей S_{CB} . Этот параметр характеризуется суммарным числом связей, которые необходимо выполнить между элементами, входящими в триггер:

$$S_{CB} = \sum_{i=1}^{i=1} m_i n_i,$$

где n_i – число элементов i -го типа, различаемых по числу входов;

m_i – число задействованных входов элемента i -го типа.

Таким образом, схемотехнические параметры являются именно теми параметрами, на основе которых производится выбор оптимального варианта триггера применительно к конкретному устройству.

1.4. Статические триггеры

К статическим относятся триггеры, характеризующиеся следующими признаками [7], которые:

- 1) управляются как импульсными, так и потенциальными сигналами;
- 2) в качестве элементов памяти используют только бистабильные триггеры, позволяющие хранить информацию сколь угодно долго (статические элементы памяти);
- 3) выполняются на потенциальных ЛЭ, их структурная схема не содержит в своем составе элементов, преобразующих входные потенциальные сигналы в импульсные.

В ряду триггерных устройств статические триггеры представляют собой самый обширный класс. Они удобны в эксплуатации, надежны в работе, легки в интегральном исполнении и к тому же обладают самым широким диапазоном в части получения схем с любым заданным способом управления записью информации. Важно отметить, что все типы триггеров, различаемые по видам управления записью, реализуются именно в статическом исполнении.

1.4.1. Триггеры с управлением записью вида L, \bar{L}

Триггеры видов L, \bar{L} относятся к разряду устройств, в которых прием и фиксация информации совмещены во времени. Это означает, что информация на выходах таких триггеров появляется практически одновременно с её поступлением на информационные входы для асинхронных и с поступлением тактирующего импульса (ТИ) на тактирующий вход C для синхронных триггеров. Термин «управление по уровню», как впрочем и любой другой способ управления записью, необходимо связывать с реакцией триггера на смену информации в процессе её записи. Применительно к тактируемым триггерам этот термин означает, что если, например, во время действия ТИ будет изменяться информация на логических входах, то это изменение будет непрерывно фиксироваться и на его выходах в течение всей длительности ТИ.

Реагируют на смену информации и асинхронные триггеры, поскольку тактируемые триггеры при постоянном разрешающем уровне на входе C становятся асинхронными. Другими словами, триггеры вида L реагируют на смену информации в процессе её записи, что является спецификой их работы, и это обстоятельство следует учитывать при их применении.

Рассмотрение триггеров вида L, \bar{L} важно по той причине, что они кроме того, что имеют достаточно большое самостоятельное применение, являются по существу основными (базовыми) ячейками всех триггерных устройств, выполняя в них функции собственно триггеров определенного функционального типа. Наиболее часто в качестве собственно триггера используются асинхронные триггеры $(R-S)_L$ - и $(R-S)_{\bar{L}}$ -типов. Однако в качестве собственно триггера применяются и другие триггеры. Важно только, чтобы эти триггеры удовлетворяли двум требованиям: обладали полной системой переходов и выполнялись с возможно меньшим числом элементов (вентилей).

Второе требование вытекает из условия, что собственно триггеры являются составной частью любого триггерного устройства и поэтому с целью сокращения аппаратных затрат они должны иметь минимальное число элементов. Обращаясь к обобщенной схеме триггера (см. рис. 1.1), можно сказать, что собственно триггер есть не что иное, как триггерное устройство, у которого отсутствует устройство управления. В дальнейшем такие триггеры будем называть *элементарными*, или простыми.

Требование полноты переходов означает, что для двух устойчивых состояний (состояние $Q = 1, \bar{Q} = 0$ называются единичными, а $Q = 0, \bar{Q} = 1$ – нулевым) триггер обязан иметь следующие переходы при воздействии входных сигналов: $0 \rightarrow 0; 0 \rightarrow 1; 1 \rightarrow 0; 1 \rightarrow 1$. В частности, переходы $0 \rightarrow 0$ и $1 \rightarrow 1$ означают, что при воздействии входных сигналов триггер должен сохранять свое предыдущее состояние, т.е. $Q^{n+1} = Q^n$. Требование реализации с минимальными затратами по числу вентилях указывает на то, что триггер должен представлять собой асинхронный автомат с возможно меньшим числом входов. К числу таких принадлежат автоматы с двумя входами.

В общем случае для n сигналов, каждый из которых принимает два значения, существует 2^n их возможных комбинаций. В результате, если n представляет собой число входов триггера, а его выходная функция принимает K дискретных значений, то формально можно построить K^{2^n} триггеров различного логического типа. Учитывая, что выходная функция триггера может принимать пять значений, т.е. триггер может иметь пять логических состояний на выходе, а именно:

0 – триггер постоянно находится в нулевом состоянии независимо от изменения сигналов на его входе;

1 – триггер постоянно находится в единичном состоянии независимо от изменения сигналов на его входе;

Q – состояние триггера не изменяется при изменении входных сигналов, причем может быть либо $Q = 0$, либо $Q = 1$;

\bar{Q} – состояние триггера изменяется на противоположное при изменении входных сигналов, причем может быть изменение состояния 1 на состояние 0 или обратно;

X – неопределенное состояние триггера, характеризующееся тем, что в процессе действия информационного сигнала на входе триггера выходные логические уровни плеч триггера Q и \bar{Q} одинаковы ($Q = \bar{Q} = 1$ или $Q = \bar{Q} = 0$), а после окончания действия информационного сигнала триггер может перейти в состояние $Q = 1$ или $Q = 0$ с равной вероятностью,

то число теоретически возможных типов триггеров с n информационными входами равно 5^{2^n} ,

где 5 – количество возможных состояний на выходе триггера, 2^n – количество наборов, содержащих все n входные переменные. Следовательно, при числе входов 2 ($n=2$) формально существует 625 типов триггеров (автоматов). Однако большинство из них либо не обладает полной системой переходов, либо тривиальны, либо просто бессмысленны. Примерами таких автоматов можно назвать автоматы, которые на всех наборах переменных принимают постоянные значения 0, 1, Q , \bar{Q} или неопределенное значение, или их комбинацию,

например, 0, X, Q, X и т.д. Поэтому из 625 можно назвать сравнительно небольшое число триггеров (автоматов), которые могут обладать полной функцией переходов и иметь практический интерес. Технически реализуемых триггеров с одним информационным входом только 2, с двумя информационными входами – 24. Наиболее распространены двухвходовые триггеры, но синтезировано только восемь их типов, среди которых три – универсальные. Законы функционирования большинства из них приведены в табл. 1.1.

Таблица 1.1

Входы $a_1^n a_2^n$	Выходы триггера Q^{n+1}														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	RS	\overline{RS}	\overline{RS}	\overline{SR}	R	S	DV CD	E		JK					
00	Q^n	x	0	1	Q^n	Q^n	Q^n	Q^n	Q^n	Q^n	0	0	0	0	0
01	1	0	x	x	1	1	0	1	0	0	1	1	1	1	Q^n
10	0	1	Q^n	Q^n	0	0	Q^n	0	\overline{Q}^n	1	Q^n	\overline{Q}^n	Q^n	Q^n	Q^n
11	x	Q^n	1	0	0	1	1	Q^n	1	\overline{Q}^n	0	0	Q^n	\overline{Q}^n	1

Продолжение табл. 1.1

Входы $a_1^n a_2^n$	Выходы триггера Q^{n+1}														
	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
00	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Q^n
01	1	Q^n	1	1	Q^n	\overline{Q}^n	Q^n	1	1	\overline{Q}^n	\overline{Q}^n	1	1	x	x
10	Q^n	\overline{Q}^n	Q^n	x	x	1	1	1	1	1	1	\overline{Q}^n	x	1	1
11	\overline{Q}^n	1	x	Q^n	1	1	1	\overline{Q}^n	Q^n	\overline{Q}^n	x	x	\overline{Q}^n	Q^n	0

Каждый из этих триггеров (автоматов) (табл. 1.1) может быть исследован на принадлежность его к элементарному триггеру. Однако элементарные триггеры необходимо выбирать среди автоматов, в которых отсутствуют состояния типа \overline{Q} , два Q , поскольку реализация таких состояний требует наибольших затрат по числу элементов. Наибольший интерес с точки зрения элементарных триггеров представляют автоматы 1, 2, 3 (см. табл. 1.1).

Триггеры RS-типа

Автомат, поведение которого описывается переходами 1, носит название триггера RS-типа. Таким образом, триггером RS-типа называют элементарный автомат с двумя устойчивыми состояниями, имеющий два информационных входа R и S, такие, что при R=1 и S=0 триггер принимает состояние 0 ($Q=0$), а при S=1 и R=0 – состояние 1 ($Q=1$). В соответствии с состоянием, принимаемым

триггером, вход S называют единичным входом триггера, а вход R – нулевым. Закон функционирования RS-триггера в развернутом виде приведен в табл. 1.2.

Как следует из приведенных таблиц, состояние RS-триггера не изменяется (т.е. $Q^{n+1} = Q^n$), если на обоих его входах действуют сигналы с уровнем 0. При одновременном поступлении на входы R и S сигналов с уровнем логической 1 триггер принимает неопределенное состояние (X). Поэтому логические устройства на основе RS-триггеров должны проектироваться с учетом исключения комбинации $R = S = 1$.

Таблица 1.2

Q^n	R^n	S^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	X
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

Для нахождения характеристического уравнения RS-триггера запишем данные табл. 1.2 на карту Карно (рис. 1.4).

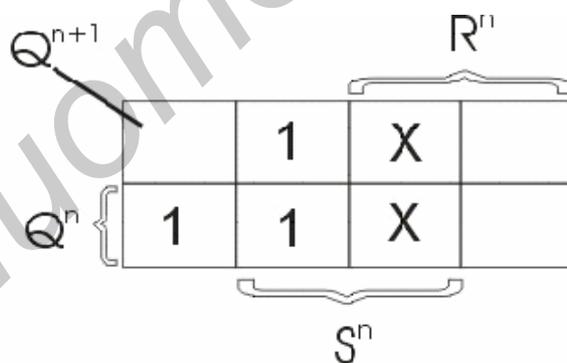


Рис. 1.4. Карта Карно RS-триггера

Проводя этап считывания, находим

$$Q^{n+1} = S^n + Q^n \bar{R}^n; \quad R^n \cdot S^n = 0. \quad (1.1)$$

Непосредственная реализация триггера RS-типа по уравнениям (1.1) в базе ОФПН (основного функционально полного набора) приводит к триггеру вида $(R-S)_L$ (рис. 1.5).

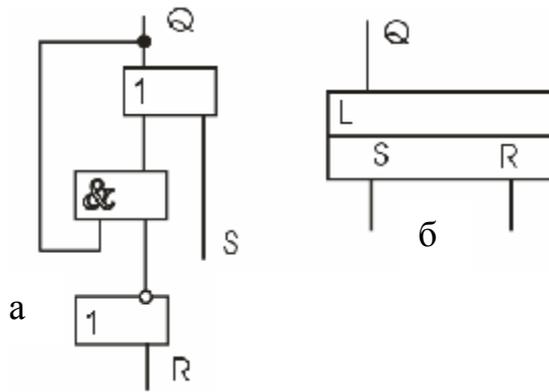


Рис. 1.5 Схема однофазного $(R-S)_L$ -триггера (а) и его условное обозначение(б)

Схема такого триггера имеет один выход, т.е. являются однофазной. На практике наиболее часто применяются RS-триггеры, обладающие как прямым, так и инверсным выходами, выполненные на элементах И-НЕ, ИЛИ-НЕ. Уравнения последних можно получить посредством преобразования характеристического уравнения RS-триггера. Применяв правило де Моргана (законы дуальности) к уравнению RS-триггера, получим

$$\overline{Q}^{n+1} = \overline{S^n + R^n \cdot Q^n} = \overline{S^n + (R^n + \overline{Q}^n)}; \quad (1.2)$$

$$Q^{n+1} = \overline{S^n + R^n \cdot Q^n} = \overline{S^n \cdot R^n \cdot Q^n}. \quad (1.3)$$

Схемы RS-триггеров, построенные по уравнениям (1.2) и (1.3), их обозначения и диаграммы работы приведены на рис. 1.6.

Из диаграммы видно, что смена информации на его входах в процессе записи (момент t_1) отражается на его выходах ($Q = \overline{Q} = 0$), что характеризует схему как триггер вида L.

Кроме триггеров $(R-S)_L$ -типа представляют интерес автоматы, поведение которых описывается функциями переходов 2 и 3 в табл. 1.1. Закон функционирования автомата 2 отражен в табл. 1.3.

Характеристическое уравнение такого триггера записывается следующим образом:

$$Q^{n+1} = \overline{a_2^n} + a_1^n Q^n.$$

Составляя табл. 1.2 и 1.3, нетрудно заметить, что рассматриваемый автомат аналогичен триггеру RS-типа, но в отличие от него управляется инверсными сигналами. Поэтому такой автомат часто называют триггером RS-типа с инверсным управлением (инверсный RS-триггер) и обозначают как триггер вида $(R-S)_{\overline{L}}$.

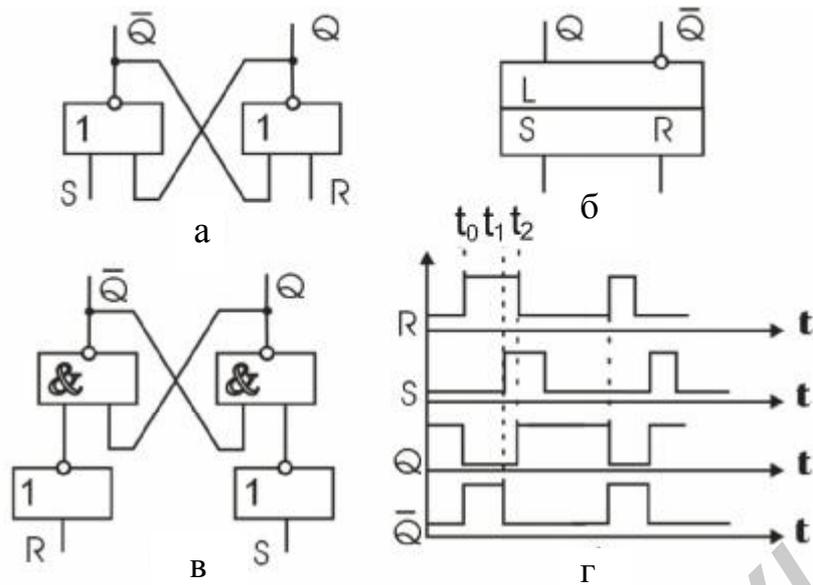
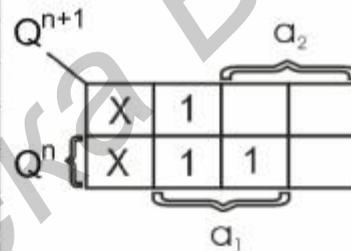


Рис. 1.6. Схемы парафазного $(R-S)_L$ -триггера на логических элементах ИЛИ-НЕ (а); И-НЕ (в); условное обозначение триггера (б) и диаграмма работы (г)

Таблица 1.3

Q^n	a_1	a_2	Q^{n+1}
0	0	0	X
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	X
1	0	1	0
1	1	0	1
1	1	1	1



Характеристическое уравнение триггера применительно ко входам R и S имеет вид

$$Q^{n+1} = \bar{S}^n + R^n Q^n; \quad R^n + S^n = 1. \quad (1.4)$$

Из табл. 1.3 и уравнений (1.4) следует, что для триггера вида $(R-S)_L$ запрещенной является комбинация из двух логических нулей на входах, которые обозначаются буквами \bar{R} и \bar{S} .

Причем наличие черты указывает на тот факт, что триггер по информационным входам управляется сигналами с уровнем логического 0, т.е. в режиме хранения информации на входах \bar{R} и \bar{S} действуют уровни логической 1. Однофазный вариант триггера, выполненного в базисе элементов ОФПН по уравнениям (1.4), и его условное обозначение приведены на рис. 1.7.

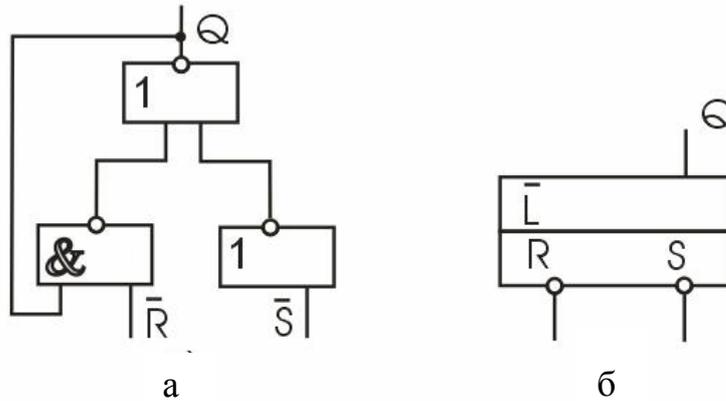


Рис. 1.7. Схема однофазного $(R-S)_L$ -триггера (а) и его условное обозначение (б)

Парафазный вариант триггера, имеющего прямой и инверсные выходы, получается либо путем инвертирования сигнала Q , либо посредством преобразования уравнений (1.4) в базисе элементов И-НЕ:

$$Q^{n+1} = \overline{\overline{S^n + R^n \cdot Q^n}} = \overline{S^n \cdot R^n \cdot Q^n}. \quad (1.5)$$

Триггер, построенный в соответствии с уравнением (1.5), и его условное обозначение показаны на рис. 1.8.

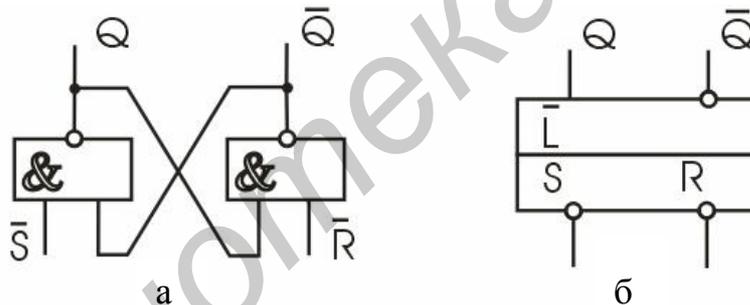


Рис. 1.8. Схема парафазного $(R-S)_L$ -триггера (а) и его условное обозначение (б)

Триггеры J-K-типа

Триггером J-K типа называется устройство с двумя устойчивыми состояниями и двумя входами J и K, которое при условии $J \cdot K = 1$ осуществляет инверсию предыдущего состояния (т.е. при $J \cdot K = 1$; $Q^{n+1} = \overline{Q^n}$), а в остальных случаях функционирует в соответствии с таблицей истинности R-S-триггера, при этом вход J эквивалентен входу S, а вход K – входу R. В табл. 1.1 этот триггер имеет номер 10. Закон функционирования J-K-триггера приведен в табл. 1.4.

Как видно из табл. 1.4, триггер обладает полной системой переходов и вместе с тем у него отсутствуют запрещенные комбинации входных сигналов.

Занесем данные табл. 1.4 на карту Карно:

	Q^{n+1}	Q^n	
		0	1
00			0
01			
11	1		
10	1		1

Из карты Карно, проведя этап считывания, находим характеристическое уравнение триггера:

$$Q^{n+1} = J^n \bar{Q}^n + \bar{K}^n Q^n. \quad (1.6)$$

Построение триггера непосредственно по уравнению (1.6) приводит к схеме асинхронного JK-триггера, показанного на рис. 1.9.

Если уровень 1 на входах J и K действует постоянно, то триггер будет находиться в колебательном режиме, поочередно переключаясь из 1 в 0 и из 0 в 1. Для устранения такого недостатка необходимо, чтобы комбинация сигналов $J=K=1$ оканчивалась сразу после переключения триггера в инверсное состояние. Последнее означает, что при комбинации сигналов $J=K=1$ триггер должен управляться не потенциальными, а импульсными сигналами, т.е. сигналами ограниченной и в данном случае жестко фиксированной длительности.

Таблица 1.4

Q^n	J^n	K^n	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

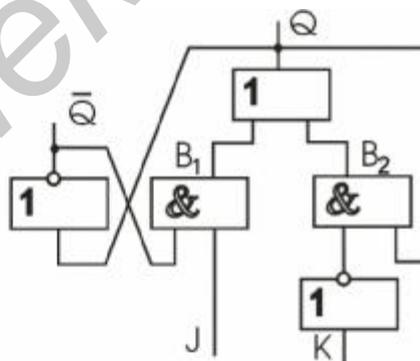


Рис. 1.9. Схема J-K-триггера.

Поскольку для выполнения такого требования в состав триггера необходимо дополнительно ввести схему управления, то схема триггера, приведенная на рис. 1.9, не является элементарной. Триггер J-K-типа относится к разряду универсальных триггеров, поскольку на его основе путем несложных внешних комбинационных изменений можно получить схемы, выполняющие функции R-S-, D- и T- триггеров. Способы применения триггера J-K-типа в качестве D-, T- и R-S-триггеров показаны на рис. 1.10.

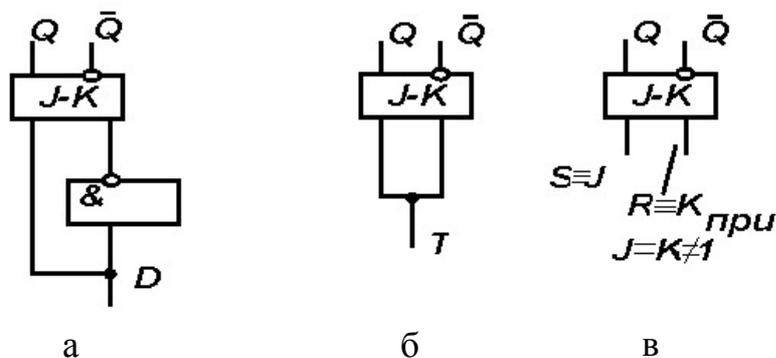


Рис. 1.10. Применение J-K-триггера в режиме D-(а), T-(б), R-S-(в) триггеров

Из рис. 1.10 видно, что триггер J-K-типа будет функционировать в качестве D-триггера, если его вход J через инвертор подключить ко входу K. В этом случае вход J выполняет функцию входа D, а все устройство в целом реализует таблицу переходов D-триггера.

Организация триггера со счетным входом показана на рис. 1.10, б. Счетный триггер на основе J-K-триггера получается при условии объединения входов J и K.

R-S-триггер получается из триггера J-K-типа простым наложением ограничения на комбинацию входных сигналов $J=K=1$, т.е. эта комбинация сигналов не должна появляться на информационных входах триггера.

Триггеры J-K-типа находят применение при построении пересчетных схем, схем сдвиговых регистров, в устройствах управления и т.д.

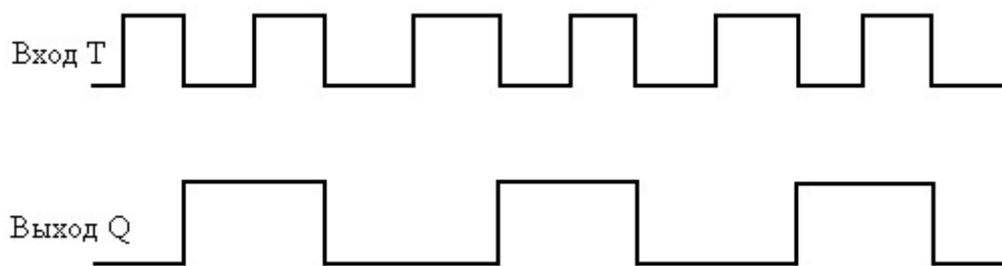
Триггер T-типа

Триггером T-типа (счетный триггер) называют логическое устройство с двумя устойчивыми состояниями и одним входом T, изменяющее свое состояние на противоположное всякий раз, когда на вход T поступает управляющий (счетный) сигнал. Закон функционирования триггера T-типа приведен в табл. 1.5.

Таблица 1.5

Q^n	T^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	Q^n

Этот триггер имеет один информационный вход T. Из табл. 1.5 видно, что при отсутствии информационного сигнала ($T=0$) триггер T-типа сохраняет свое исходное состояние 1 или 0, а при подаче информационного сигнала всегда переходит в инверсное состояние. Поскольку смена состояний триггера под действием входных сигналов эквивалентна счету, то такой триггер как бы осуществляет подсчет сигналов на 2, поэтому его часто называют счетным триггером или триггером со счетным входом. Иными словами, на выходе такого триггера в ответ на два импульса на входе появляется один импульс на выходе.



Характеристическое уравнение Т-триггера имеет вид

$$Q^{n+1} = T^n \bar{Q}^n + Q^n \bar{T}^n. \quad (1.7)$$

Непосредственное построение триггера по уравнению (1.7) дает схемное решение Т-триггера (рис. 1.11).

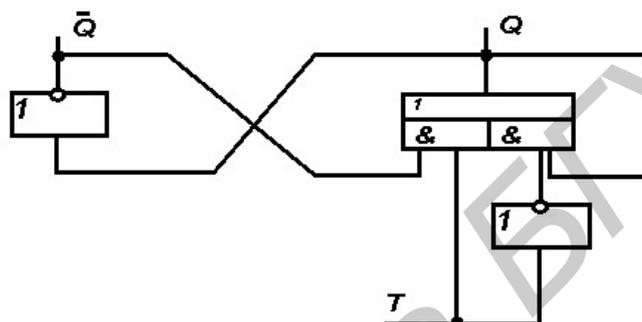


Рис. 1.11. Схема счетного триггера

Сопоставляя схемы триггеров Т- и JK-типов (см. рис. 1.9 и 1.11), нетрудно заметить, что триггер Т-типа получается, как уже отмечалось (см. рис. 1.10, б), из триггера JK-типа посредством объединения его информационных входов. Следовательно, этот триггер, как и триггер JK-типа на рис. 1.9, относится к разряду триггеров, управляемых импульсными сигналами, и поэтому не может являться элементарным.

Из этих двух примеров видно, что при наличии операции счета, которая в табл. 1.1 для различных комбинаций входных сигналов a_1 и a_2 отражена символом \bar{Q} , синтез триггеров по их характеристическим уравнениям приводит к асинхронным триггерам, которые не могут являться элементарными ввиду сложности выполнения требований по длительности входных сигналов. По этой причине отпадает надобность в исследовании на принадлежность к элементарным всех триггеров, имеющих в таблице истинности операцию счета (см. табл. 1.1, триггеры под номерами 9, 10, 12, 14, 16, 17 и т.д.). Необходимо отметить, что рассмотренные элементарные триггеры реализуются с минимальными затратами по числу типовых элементов и именно они используются при синтезе более сложных триггерных устройств.

Тактируемые триггеры

Запись информации в тактируемые триггеры может осуществляться только при наличии ТИ. Следовательно, тактируемые триггеры кроме информационных обязаны иметь еще и тактирующий вход. В тактируемом исполнении может быть выполнен любой из триггеров табл. 1.1.

Однако в практике проектирования тактируемых триггеров наибольшее распространение получили триггеры CRS- и CD-типов. Они являются по существу базовыми триггерами, на основе которых строятся более сложные схемы [1].

Триггеры C_LRS - типа

Поведение тактируемого триггера CRS-типа отражено в табл. 1.6.

Характеристическое уравнение CRS-триггера имеет вид

$$Q^{n+1} = \overline{C^n} \cdot Q^n + C^n \cdot S^n + Q^n \cdot \overline{R^n} ; R^n \cdot S^n = 0 . \quad (1.8)$$

Реализация триггера непосредственно по уравнению (1.8) в базисе ОФНП приводит к *однофазному* триггеру C_LRS -типа. Однако в таком виде C_LRS -триггер не находит применения. Наиболее часто C_LRS -триггеры выполняются в базисе элементов И-НЕ и И-ИЛИ-НЕ.

Схемы таких триггеров и их обозначение показаны на рис. 1.12.

Обе схемы можно получить посредством преобразования уравнения (1.8).

В частности, схема триггера на рис. 1.12, а получается в результате следующих преобразований уравнения:

$$\begin{aligned} Q^{n+1} &= \overline{C^n} \cdot Q^n + C^n \cdot S^n + Q^n \cdot \overline{R^n} = \overline{C^n \cdot S^n + Q^n \cdot (\overline{C^n} + \overline{R^n})} = \overline{C^n \cdot S^n + Q^n \cdot \overline{C^n \cdot R^n}} = \\ &= \overline{C^n \cdot S^n + Q^n \cdot \overline{C^n \cdot R^n}} = \overline{C^n \cdot S^n \cdot Q^n \cdot \overline{C^n \cdot R^n}} . \end{aligned}$$

Для схемы второго триггера уравнение преобразуется следующим образом:

$$Q^{n+1} = \overline{C^n \cdot S^n + Q^n \cdot (\overline{R^n + C^n})} = \overline{C^n \cdot S^n + Q^n \cdot \overline{R^n + C^n}} = \overline{C^n \cdot S^n + Q^n \cdot \overline{R^n \cdot C^n}} .$$

После инвертирования обеих частей уравнения получим необходимое выражение для реализации триггера (рис. 1.12, б) в базисе элементов И-ИЛИ-НЕ:

$$\overline{Q^{n+1}} = \overline{C^n \cdot S^n + Q^n \cdot \overline{R^n \cdot C^n}} .$$

Обе схемы фиксируют информацию по уровню ТИ при условии, что $\tau_{ТИ} > 3\tau_{ср}$ и $\tau_{ТИ} > 2\tau_{ср}$ для схем на рис. 1.12, а и б соответственно.

Из диаграммы на рис. 1.12, г видно, что смена информации на входах триггера при действии ТИ (моменты t_1-t_3) отражается на его выходах.

Таблица 1.6

Q^n	R^n	S^n	Q^{n+1}	
			$C^n=1$	$C^n=0$
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	X	0
1	0	0	1	1
1	0	1	1	1
1	1	0	0	1
1	1	1	X	1

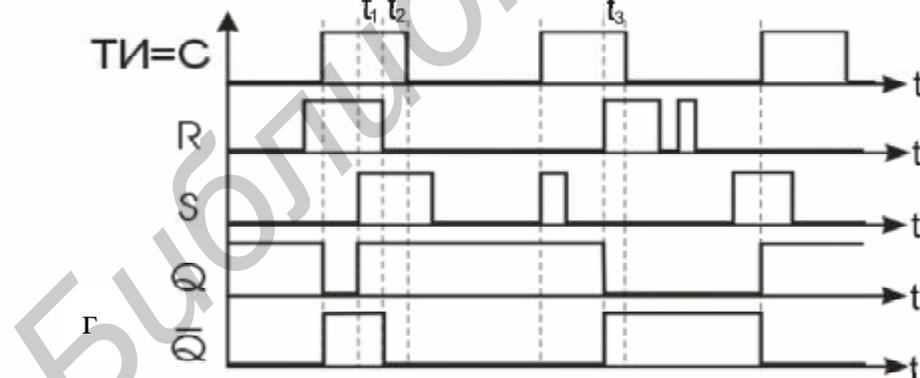
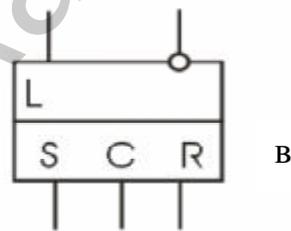
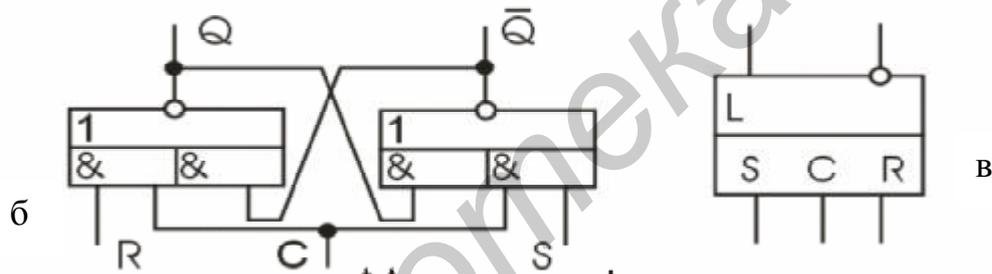
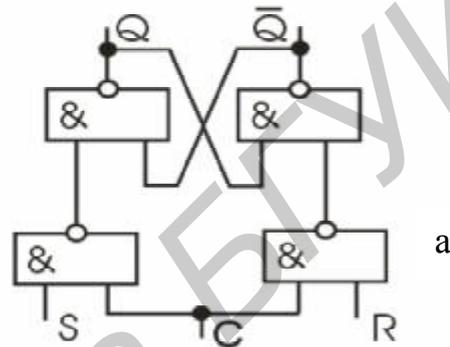


Рис. 1.12. Схема триггеров C_LRS -типа на элементах И-НЕ (а), И-ИЛИ-НЕ (б), условное обозначение триггера (в) и диаграмма работы (г)

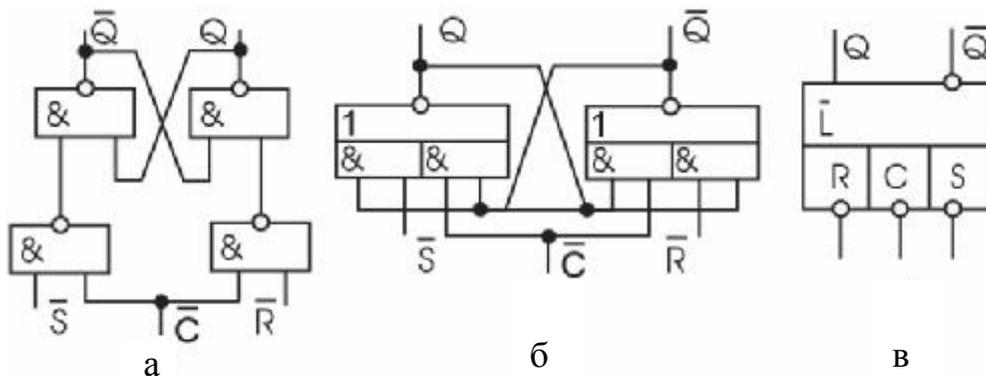


Рис. 1.13. Схемы $C_L \overline{RS}$ -триггера на элементах И-НЕ (а), И-ИЛИ-НЕ(б) и его условное обозначение (в)

На рис. 1.13 приведены схемы триггеров $C_L \overline{RS}$ -типа. Триггеры управляются сигналами с уровнем логического 0, и для них запрещенной является комбинация двух 0 на его информационных входах при наличии ТИ с уровнем 0 ($C = 0$). Обе схемы находят широкое применение; при этом схема на рис. 1.13, а выполняется на четырех элементах И-НЕ, а схема на рис. 1.13, б – на двух элементах И-ИЛИ-НЕ, то есть является более экономичной по числу вентиляей, потребляемой мощности и более быстродействующей.

Триггеры $C_L D$ -типа

Триггером D-типа, известным под названием *триггера задержки*, называют логическое устройство с двумя устойчивыми состояниями и одним информационным входом D (от англ. delay – задержка). Закон функционирования триггера D-типа приведен в табл. 1.7 и аналитически описывается уравнением

$$Q^{n+1} = D^n.$$

Таблица 1.7

D^n	Q^{n+1}
0	0
1	1

То, что триггер имеет один информационный вход, в ряде случаев является достоинством триггеров D-типа по сравнению с триггерами с двумя информационными входами, поскольку в 2 раза сокращается число межкаскадных связей, требуемых для передачи информации. Именно в силу этого положительного свойства триггеры D-типа весьма широко применяются в интегральной схемотехнике при проектировании цифровых устройств.

Построение триггера по характеристическому уравнению приводит к схеме, представляющей собой вентиль И с одним входом. Поскольку сигнал на выходе такой схемы отслеживается с некоторой задержкой, то триггер называют триггером задержки. В асинхронном исполнении D-триггер эквивалентен линии задержки, так как передает логический сигнал на выход с задержкой, определяемой задержкой самого логического элемента. Однако как триггер такая схема, естественно, существовать не может. В качестве триггера схема, описываемая табл. 1.7, существует только в тактируемом варианте. Но в этом случае она представляет собой один из 625 типов триггеров с двумя входами, а именно триггер под номером 7 в табл. 1.1. Поведение такого триггера в обобщенном виде описывается в табл. 1.8 и характеристическим уравнением вида

$$Q^{n+1} = C^n \cdot D^n + \overline{C}^n \cdot Q^n. \quad (1.9)$$

Реализация триггера по уравнению (1.9) в базисе ОФПН дает однофазный триггер (рис. 1.14). В отсутствие тактирующего сигнала ($C = 0$) триггер может находиться либо в состоянии 0 ($Q = 0$), либо в состоянии 1 ($Q = 1$). Пусть триггер находится в состоянии $Q = 1$. В этом случае уровень 1 действует на выходе вентиля B_1 и следовательно на выходе элемента B_3 , выполняющего функцию ИЛИ. Если триггер находится в состоянии 0 ($Q = 0$), то закрыты оба вентиля B_1 и B_2 (на выходах уровня 0) и тем самым поддерживается уровень 0 на выходе Q триггера.

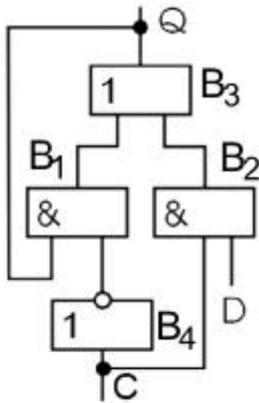


Рис. 1.14. Схема однофазного C_LD -триггера на элементах И, ИЛИ, НЕ

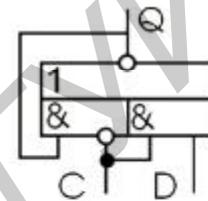


Рис. 1.15. Схема однофазного C_LD -триггера на одном элементе Т-ТТЛ-типа

Таблица 1.8

C^n	Q^n	D^n	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Пусть триггер находится в состоянии $Q = 0$. Установим его в состояние $Q = 1$, для чего на входы подадим комбинацию сигналов $C = 1$, $D = 1$. В этом случае на выходе вентиля B_2 , а затем и на выходе Q триггера формируется уровень 1. Последний поступит на вход вентиля B_1 и подготовит его к включению по одному входу. В результате при $C = 0$, то есть при съеме тактирующего сигнала, и при $D = 1$ на выходе вентиля B_1 сформируется уровень 1, который через элемент B_3 подтвердит состояние $Q = 1$ после съема ТИ. Однако такого подтверждения может не произойти, если после окончания ТИ вентиль B_1 не успеет включиться, но уже выключится вентиль B_2 , то есть на его выходе сформируется уровень 0 раньше, чем уровень 1 на выходе вентиля B_1 . Другими словами, мы сталкиваемся с явлением состязаний (гонок) между логическими элементами B_4 , B_1 и B_2 . Говорят, что элемент B_2 выигрывает гонку, если сигнал на

его выходе появится раньше, чем на выходе элемента V_1 . Поэтому здесь необходима проверка триггера на функциональную надежность. Схема триггера на рис. 1.14 при наличии состязаний будет считаться функционально надежной, если выполняется условие

$$\tau_{\max 1} + \tau_{\max 4} < \tau_{\min 2};$$

или

$$2\tau_{\max} < \tau_{\min}.$$

Полученное условие для однотипных элементов невыполнимо, так как для них всегда $\tau_{\min} < \tau_{\max}$. А это означает, что схема триггера будет функционально надежна, если в качестве вентиля V_1 будет применяться элемент другой по быстродействию серии ИМС, либо триггер реализуется на одном элементе Т-ТТЛ-типа (рис. 1.15).

Различные схемные варианты триггеров D-типа приведены на рис. 1.16, а–в.

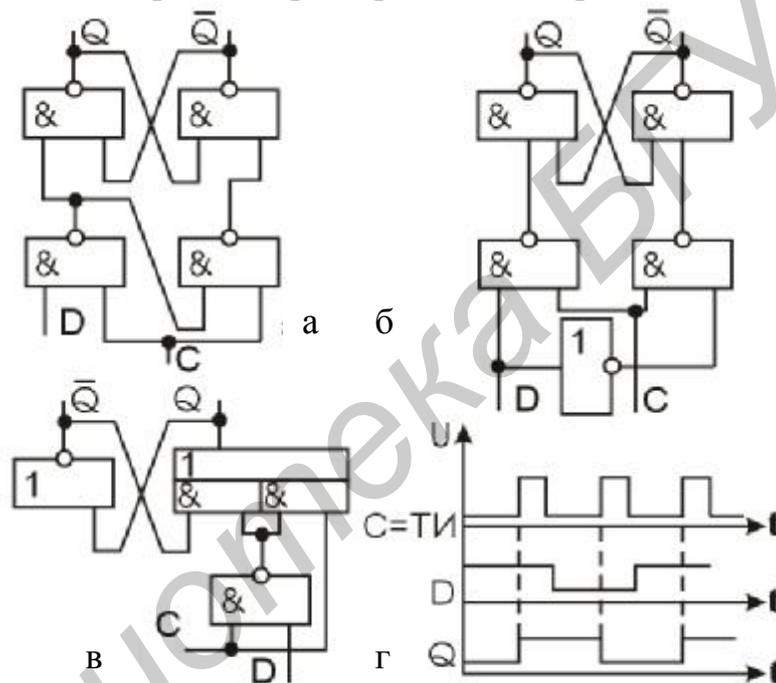


Рис. 1.16. Схемы парафазного $C_L D$ -триггера (а–в) и диаграмма их работы (г)

Поскольку все триггеры вида L, то необходимо следить за тем, чтобы во время действия ТИ информация на входе оставалась постоянной (рис. 1.16, г). Анализируя схемы на рис. 1.16, а–в, нетрудно заметить, что все они выполняют одну и ту же логическую функцию, имеют одну и ту же диаграмму входных и выходных сигналов (рис. 1.16, г), но вместе с тем реализуется на различном числе элементов.

Приведенные схемы D-триггеров тактируются сигналами высокого уровня ($C = 1$). Иногда требуются $C_L D$ -триггеры, функционирование которых описывается в табл. 1.9 и характеристическим уравнением (1.10), составленным по карте Карно (рис. 1.17):

$$Q^{n+1} = C^n \cdot Q^n + \overline{C^n} \cdot D^n. \quad (1.10)$$

Таблица 1.9

C^n	Q^n	D^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

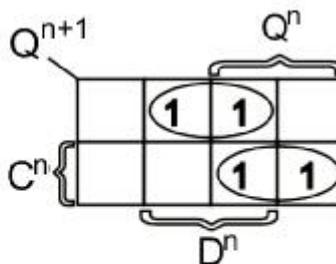


Рис. 1.17. Карта Карно C_L -D-триггера

В схематическом плане такие триггеры могут быть построены на основе триггеров, изображенных на рис. 1.16, а, б, посредством замены элементов И-НЕ на элементы ИЛИ-НЕ. Однако наиболее экономичные по числу вентилях однофазный и парафазный варианты C_L -D-триггеров, приведенные на рис. 1.18.

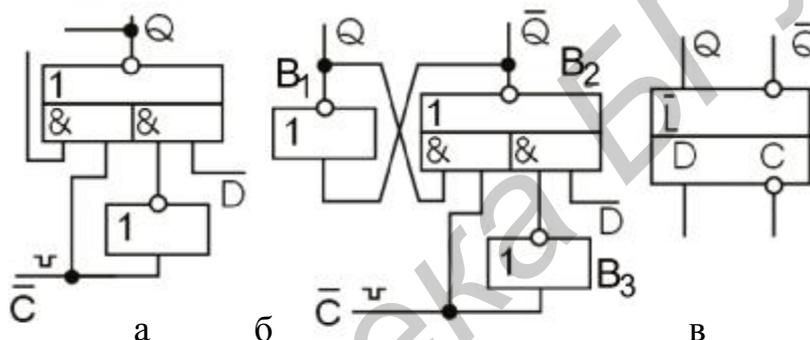


Рис. 1.18. Схемы однофазного C_L -D-триггера (а), парафазного C_L -D-триггера (б) и их условные обозначения (в)

Однофазный вариант C_L -D-триггера (рис. 1.18, а) получается из уравнения (1.10), а парафазный – инвертированием правой и левой его частей, то есть из выражения

$$\overline{Q^{n+1}} = \overline{C^n \cdot D^n + C^n \cdot Q^n}.$$

Обе схемы функционально надежны и работают по низкому уровню ТИ ($C = 0$).

Кроме триггеров C_L RS- и C_L D-типов широко применяются триггеры с числом информационных и тактирующих входов больше двух, а также триггеры с совмещенными режимами записи и фиксации информации. В качестве примера покажем триггер, схема которого изображена на рис. 1.19.

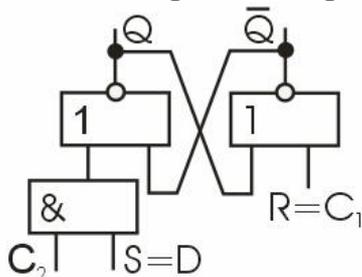


Рис. 1.19. Схема C_L S-R_L-триггера

Триггер имеет два входа R и S (вход R – асинхронный, вход S – тактирующий). С этих позиций данный триггер следует назвать триггером $C_L S - R_L$ -типа. Иногда такой триггер называют двухтактным триггером D-типа. Это объясняется тем, что рассматриваемый и подобный ему триггеры работают, как правило, в режиме, требующем двухтактной сетки синхрочастот $ТИ_1 = C_1$ и $ТИ_2 = C_2$. При этом импульс C_1 обнуляет триггер, а импульс C_2 устанавливает его в единичное состояние при условии, что на входе S действует уровень логической 1. В результате при таком режиме работы для установки триггера в любое из двух состояний достаточно подать информационный сигнал только по одному входу аналогично триггерам D-типа.

1.4.2. Триггеры с управлением записью вида [F]

Триггеры вида [F], как и триггеры вида [L], относятся к разряду устройств, у которых прием и фиксация информации совмещены во времени. Такие триггеры могут быть синхронными и асинхронными.

Наиболее широкое распространение в интегральной схемотехнике получили синхронные триггеры RS-, D- и JK-типов.

В триггерах вида [F] для записи информации используется не весь сигнал, а только его фронт. Такие триггеры имеют следующий алгоритм работы. В отсутствие переключающего фронта ТИ информация на логических входах может принимать любые комбинации. При этом состояние на выходах триггера не изменяется. При поступлении фронта ТИ осуществляется запоминание информации внутренней памятью схемы управления и ее фиксация на выходах триггера. Одновременно схема управления вырабатывает *сигнал блокировки* (его длительность равна длительности ТИ), который блокирует прием информации, и она не воспринимается входными цепями в течение всей последующей длительности ТИ.

Блокировка входов может быть *полной* или *частичной* (последняя только у тактируемых триггеров). Тактируемые триггеры с полной блокировкой входов характеризуются тем, что при поступлении фронта ТИ осуществляется запрет на прием информации для любых комбинаций входных сигналов, включая нейтральную т.е. ту, при которой осуществляется режим ее хранения (для RS-триггера это комбинация $R=S=0$). В триггерах с неполной блокировкой входов возможны комбинации входных сигналов, при которых сигнал блокировки не вырабатывается. В результате при таких комбинациях триггеры реагируют на смену информации не только во время действия фронта ТИ, но и во время действия его уровня.

Триггеры, срабатывающие по фронту 01 и 10, обозначают индексами F и \bar{F} , если они обладают полной блокировкой входов, и индексами f и \bar{f} , если таковой не обладают. Примеры индексной записи триггеров: $C_F RS$, $C_{\bar{F}} D$, $C_f JK$, $C_{\bar{f}} \bar{RS}$ и т. д.

Триггеры с управлением записью вида [F] имеют более сложную схему по сравнению с триггерами вида [L], но обладают более высокой помехоустойчивостью, поскольку сигнал помехи в такие триггеры может записываться только в очень короткий интервал времени, практически совпадающий с длительно-

стью фронта, тогда как в триггерах вида [L] помеха может приниматься триггером в течение всей длительности сигнала ТИ.

Триггер $C_F D$ -типа

Триггер $C_F D$ -типа получил широкое применение в интегральной схемотехнике. Схема триггера, ее обозначение и временная диаграмма работы представлены на рис. 1.20.

Предположим, что триггер находится в состоянии $Q = 0$, а на входе D уровень логической 1 ($D = 1$). В этом случае имеет место следующее распределение потенциалов на выходах вентилей схемы управления триггера: $V_1 = V_2 = V_3 = 1$, $V_4 = 0$. В результате только вентиль V_2 оказывается подготовленным к переключению, так как на одном из его входов присутствует уровень 1 с выхода вентиля V_1 . При поступлении ТИ на вход C на выходе элемента V_2 сформируется сигнал с уровнем 0, под действием которого триггер установится в состояние $Q = 1$. Одновременно сигнал с выхода вентиля V_2 , поступая на входы вентилях V_1 и V_3 , принудительно удерживает их в состоянии 1 в течение всей длительности ТИ, и тем самым смена информации на входе D не отразится на состоянии триггера. Это достаточно наглядно иллюстрируется временной диаграммой (рис. 1.20, в).

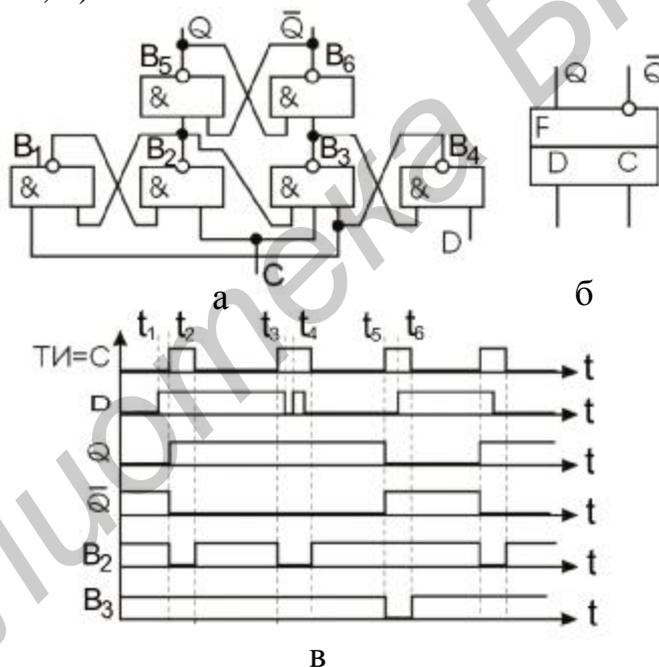


Рис. 1.20. Схема $C_F D$ -триггера (а), его условное обозначение (б), диаграмма работы $C_F D$ -триггера (в)

В момент t_3 произошла смена информации на входе D с 1 на 0. Однако триггер остался в состоянии $Q = 1$. В момент t_4 на вход D поступил сигнал помехи, но и в этом случае триггер не изменил своего состояния. Триггер установится в состояние 0 ($Q = 0$) в момент t_5 , поскольку к моменту поступления фронта ТИ на входе D действовал уровень 0 ($D = 0$). И опять смена информации на входе D с 0 на 1 в момент t_6 не отразится на выходе триггера, поскольку сигнал блокировки, теперь уже снимаемый с выхода V_3 ($V_3 = 0$), будет удерживать вентиль V_4 в состоянии 1 ($V_4 = 1$). Таким образом, триггер работает в соответст-

вии с уравнением $Q^{n+1} = D^n$ и является $C_F D$ -триггером. Важной особенностью работы триггера является то, что при смене уровня ТИ, то есть при его тактировании сигналами с уровнем логического 0, он также будет фиксировать информацию по фронту F. Такой режим называют *работой с внутренней задержкой*, поскольку информация на выходе триггера появляется после окончания ТИ.

Триггеры, обладающие свойством работать в режиме с внутренней задержкой, обозначаются индексом t (D_t , RS_t , T_t , JK_t и др.). Этим индексом удобно пользоваться, когда важен сам факт работы триггера в режиме с внутренней задержкой, а не способы управления записью видов F, LF и другие, позволяющие проектировать триггеры с внутренней задержкой. Другими словами, индекс t характеризует одно общее свойство триггеров с различными видами управления записью, а именно, возможность фиксации информации после окончания тактирующего или информационного сигнала. Таким образом, запись $C_t RS$ означает, что триггер RS-типа может быть выполнен с одним из видов управления $L\bar{F}$, $F\bar{F}$, f и др. (в данном случае неважно каким) и фиксирует информацию после окончания ТИ (аналогично $C_t D$, $C_t JK$ и т. д.).

В асинхронных триггерах режим с внутренней задержкой также характеризуется индексом t , например, записи $(R-S)_t$, R_t-S_t означают, что по входам R и S информация на выходах фиксируется после окончания информационного сигнала без учета того, каким образом это осуществляется в схемотехническом плане (аналогично T_t , $J_t-K_t \rightarrow (J-K)_t$).

CRS-триггер с управлением записью вида F

Схема такого триггера представлена на рис. 1.21.

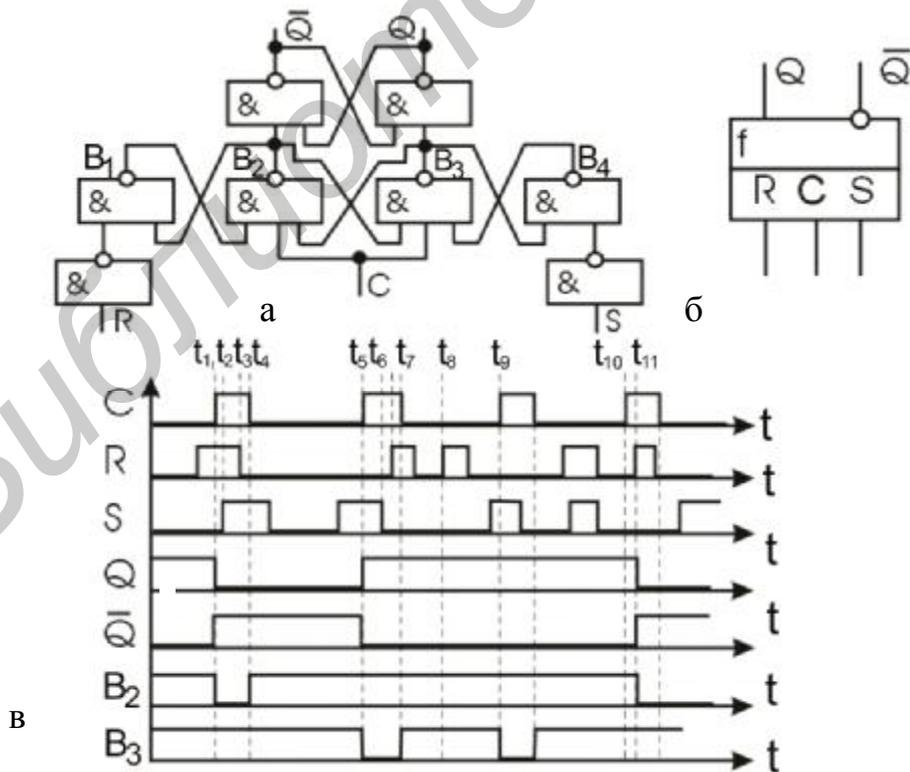


Рис. 1.21. Схема $C_t RS$ -триггера (а), его условное обозначение (б) и диаграмма работы (в)

Предположим, что триггер находится в состоянии 1 ($Q = 1$), а на его входах действует комбинация сигналов $S = 0, R = 1$. В этом случае имеет место следующее распределение потенциалов на выходах вентилях V_1 – V_4 : $V_4 = 0, V_1$ – $V_3 = 1$. В результате клапан V_2 окажется подготовленным к переключению, так как на двух его входах из трех действует уровень 1. При поступлении ТИ (момент t_1 на диаграмме рис. 1.21, в) на выходе вентиля V_2 сформируется сигнал с уровнем 0, под действием которого триггер установится в состояние $Q = 0$, и одновременно этот сигнал с выхода V_2 будет удерживать клапаны V_1 и V_3 в состоянии 1, запрещая тем самым прием информации в схему управления.

Это означает, что с момента появления сигнала на выходе вентиля V_2 информация на входах R и S триггера может принимать любые значения (моменты t_2, t_3), но это изменение не будет влиять на состояние триггера в целом, то есть он останется в состоянии $Q = 0$. В момент t_5 сигнал с уровнем 0 теперь уже сформируется на выходе вентиля V_3 , так как к моменту поступления фронта F очередного ТИ именно этот клапан будет подготовлен к переключению. В результате триггер установится в состояние $Q = 1$ и будет запрещен прием информации в схему управления, то есть триггер останется в состоянии $Q = 1$, хотя на его входах информация будет изменяться (момент t_6, t_7).

В момент t_8 приходит сигнал помехи по входу R , но триггер не срабатывает, так как отсутствует ТИ на входе S . В момент t_9 снова сформируется сигнал на выходе вентиля V_3 и триггер подтвердит свое единичное состояние. К моменту t_{10} на входах R и S будет действовать уровень 0 и по логике работы триггера F он не должен реагировать на смену информации на его входах после прихода фронта F . В момент t_{11} , как видно из диаграммы, на вход R поступает сигнал помехи, но тем не менее триггер устанавливается в состояние $Q=0$, хотя входной сигнал поступил после прихода фронта ТИ. Последнее означает, что данный триггер является триггером C_FRS -типа, так как не обладает полной блокировкой входов, поскольку существует одна комбинация входных сигналов $S=R=0$, при которой триггер реагирует на смену информации на его входах после поступления фронта ТИ. Следует отметить, что данный триггер, как и триггер C_FD -типа, может работать от сигналов ТИ с уровнем логического 0, то есть в режиме с внутренней задержкой (C_FRS -триггер).

Кроме рассмотренных триггеров в интегральной схемотехнике широко применяются и другие типы триггеров, такие, как C_FJK - и $C_F\overline{JK}$ -, C_FR -, C_FS -, $C_F\overline{S}$ -, $C_F\overline{R}$ -типов и другие, то есть с прямым и инверсным управлением по информационным входам.

Следует иметь в виду, что триггеры вида F должны фиксировать на своих выходах только ту информацию, которая действует на его входах в момент поступления фронта ТИ. А это означает, что триггеры не должны запоминать информацию, действующую на его входах при отсутствии ТИ. Применительно к любому функциональному типу триггера сказанное означает, что в отсутствие ТИ информация на его входах может изменяться по любому закону, и если к моменту поступления фронта ТИ на его входах окажется нейтральная комбинация сигналов, при которой триггер находится в режиме хранения (для

JK-триггера это $J = K = 0$), то с поступлением фронта ТИ, триггер должен подтвердить свое состояние, то есть остаться в состоянии Q^n .

Кроме тактируемых находят применение и асинхронные триггеры, срабатываемые по фронту. Среди них наиболее широко используются триггеры T_F - и $T_{\bar{F}}$ -типов, то есть триггеры с одним информационным входом, срабатываемые по фронту 01 и 10 соответственно.

Триггер Т-типа, или счетный триггер, под действием каждого входного сигнала переключается в инверсное состояние, то есть функционирует в соответствии с уравнением

$$Q^{n+1} = T^n \cdot \overline{Q^n} + \overline{T^n} \cdot Q^n.$$

Триггеры Т-типа находят исключительно широкое применение, поэтому всегда стараются их проектировать с минимальным числом вентилей. Применительно к элементам типа И-НЕ, ИЛИ-НЕ наиболее экономичными по числу вентилей являются триггеры T_F - и $T_{\bar{F}}$ -типов, построенные на основе $C_F D$ - и $C_{\bar{F}} D$ -триггеров.

1.4.3. Триггеры, в которых прием и фиксация информации разнесены во времени

К рассматриваемым триггерам относятся триггеры, у которых для приема и фиксации информации используются как минимум два фрагмента сигнала. Такими фрагментами сигнала могут быть уровень и фронт нарастания, уровень и срез, фронт и срез. Возможные виды триггеров, различаемых по способам управления записью, индексное обозначение которых включает только *прописные* буквы, приведены в табл. 1.10.

В составе рассматриваемых триггеров встречаются также триггеры, индексная запись которых содержит и *строчные* буквы аналогично триггерам вида f . В итоге число триггеров, различаемых по способам управления, будет значительно больше, чем указано в табл. 1.10.

Триггеры с управлением записью вида $L\bar{F}$

Такие триггеры работают по следующему алгоритму: принимают информацию *схемой управления* по уровню сигнала аналогично триггерам вида L с одновременным ее запоминанием, а на выходах фиксируют по фронту \bar{F} информационного или тактирующего сигнала. Поскольку триггеры принимают информацию по уровню, а фиксируют по фронту, то смена информации на его входах отразится и на его выходах, но после окончания переключающего фронта.

Находят применение и триггеры, в которых нарушается приведенный алгоритм работы при некоторых комбинациях входных сигналов. В таких триггерах при смене информации в ходе записи она может зафиксироваться на входах еще до поступления фронта \bar{F} , что должно учитываться при конкретном при-

менении триггера. Такие триггеры будем называть *триггерами с неполной блокировкой выходов* и обозначать индексом $L\bar{F}$.

Триггеры с управлением записью вида $L\bar{F}$ применяются при проектировании счетчиков сдвигающих регистров и относятся к разряду наиболее широко распространенных устройств, выпускаемых промышленностью в интегральном исполнении [4].

Таблица 1.10

Индексное обозначение управления записью	Способ записи
$L\bar{F}$	Асинхронный, тактируемый
$\bar{L}F$	Асинхронный, тактируемый
$\bar{L}\bar{F}$	Тактируемый
LF	Тактируемый
$F\bar{F}$	Асинхронный, тактируемый
$\bar{F}F$	Асинхронный, тактируемый
$\bar{L}L\bar{F}-T\bar{F}$	Тактируемый
$L\bar{L}F-TF$	Тактируемый

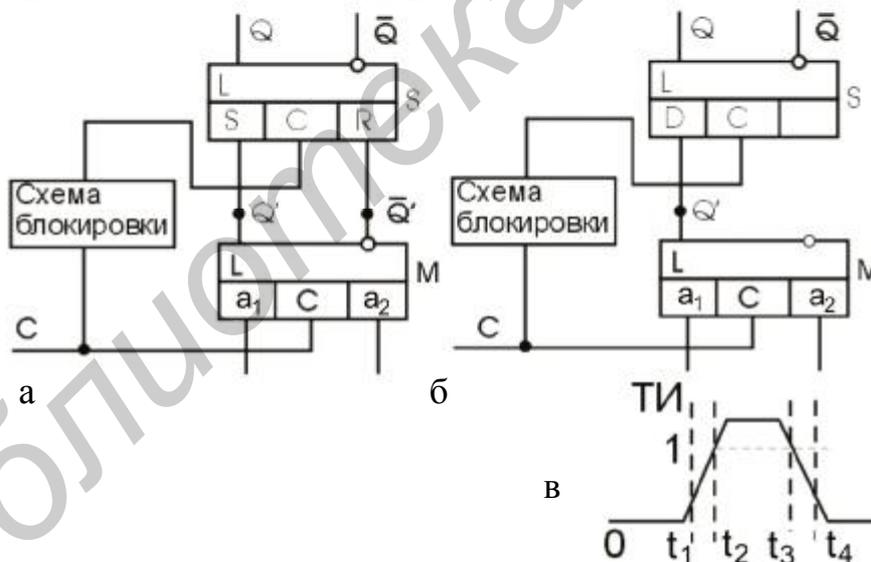


Рис. 1.22. Варианты схем триггеров, выполненных по способу M-S (а, б), и диаграмма их работы (в)

В схемотехническом плане рассматриваемые триггеры выполняются по способу Master-Slave (сокращенно M-S). В соответствии с этим способом триггеры реализуются на двух тактируемых триггерах – основном M и вспомогательном S по схеме, показанной на рис. 1.22, где в качестве основных всегда используются триггеры требуемого функционального типа, а в качестве вспомогательных – триггеры C_LRS - или C_LD -типа.

В практике проектирования триггерных устройств встречается большое многообразие схемотехнических вариантов их построения, которые отличаются лишь организацией узла блокировки. Очевидно, что такое многообразие триггеров, выполненных одним и тем же способом, требует введения дополнительной классификации, присваивающей определенное название триггеру. Названия триггерам даются по схемному решению узла блокировки. Например, если узел блокировки выполняется на одном инверторе, то триггер будет называться М-S-триггером с блокирующим инвертором.

Кроме М-S-триггеров с блокирующим инвертором широко применяются следующие разновидности триггеров:

- М-S-триггеры с двумя блокирующими инверторами;
- М-S-триггеры с внутренними запрещающими связями;
- М-S-триггеры с разнополярным тактированием;
- М-S-триггеры с коммутирующими транзисторами.

Возможны и другие схемотехнические решения узла блокировки. Однако все они имеют одну и ту же цель – разрешить передачу информации из триггера М в триггер S во время отсутствия ТИ и запретить, то есть заблокировать передачу состояния триггера М в триггер S, при действии ТИ. При этом для надежной работы устройства необходимо, чтобы процесс записи и блокировки передачи информации между триггерами происходил в последовательности, показанной на рис. 1.22, в:

- 1) в момент t_1 осуществляется запрет (блокировка) на передачу информации из триггера М в триггер S;
- 2) в момент t_2 разрешается запись информации в триггер М;
- 3) в момент t_3 осуществляется запрет на прием информации в триггер М;
- 4) в момент t_4 разрешается передача состояния из триггера М в триггер S.

Другими словами, для надежности работы триггера необходимо опережающее действие блокировки над процессом записи информации. Каждый из перечисленных выше М-S-триггеров, построенных тем или иным схемотехническим приемом, имеет определенные преимущества перед другими, а такие триггеры, как $C_{LF}RS$ -, $C_{LF}JK$ -, $C_{LF}D$ -, T_{LF} -типа, являются основными триггерами цифровых систем.

М-S-триггеры с блокирующим инвертором

Особенность построения таких устройств заключается в том, что в тактовую цепь между основным и вспомогательным триггерами включается инвертор, обеспечивающий блокировку передачи состояния триггера М в триггер S во время действия ТИ. Принцип работы рассмотрим на примере $C_{LF}RS$ -триггера, выполненного на элементах И-ИЛИ-НЕ (рис. 1.23).

В исходном положении (ТИ = 0) основной и вспомогательный триггеры находятся в одинаковом состоянии, поскольку на выходе элемента B_5 действует уровень 1, разрешающий передачу информации из триггера М в S. Допустим, что начальное состояние триггера соответствует 0 ($Q = 0$), а на его входы подаются сигналы $S = 1$ и $R = 0$. При поступлении тактирующего сигнала ($C = 1$) основной триггер по входу S установится в состояние 1 ($Q = 1$), а вспомога-

ный за счет действия уровня 0 на выходе инвертора B_5 останется в начальном состоянии 0 ($Q = 0$). После окончания ТИ ($C = 0$) на выходе инвертора B_5 сформируется уровень 1 и вспомогательный триггер примет состояние основного.

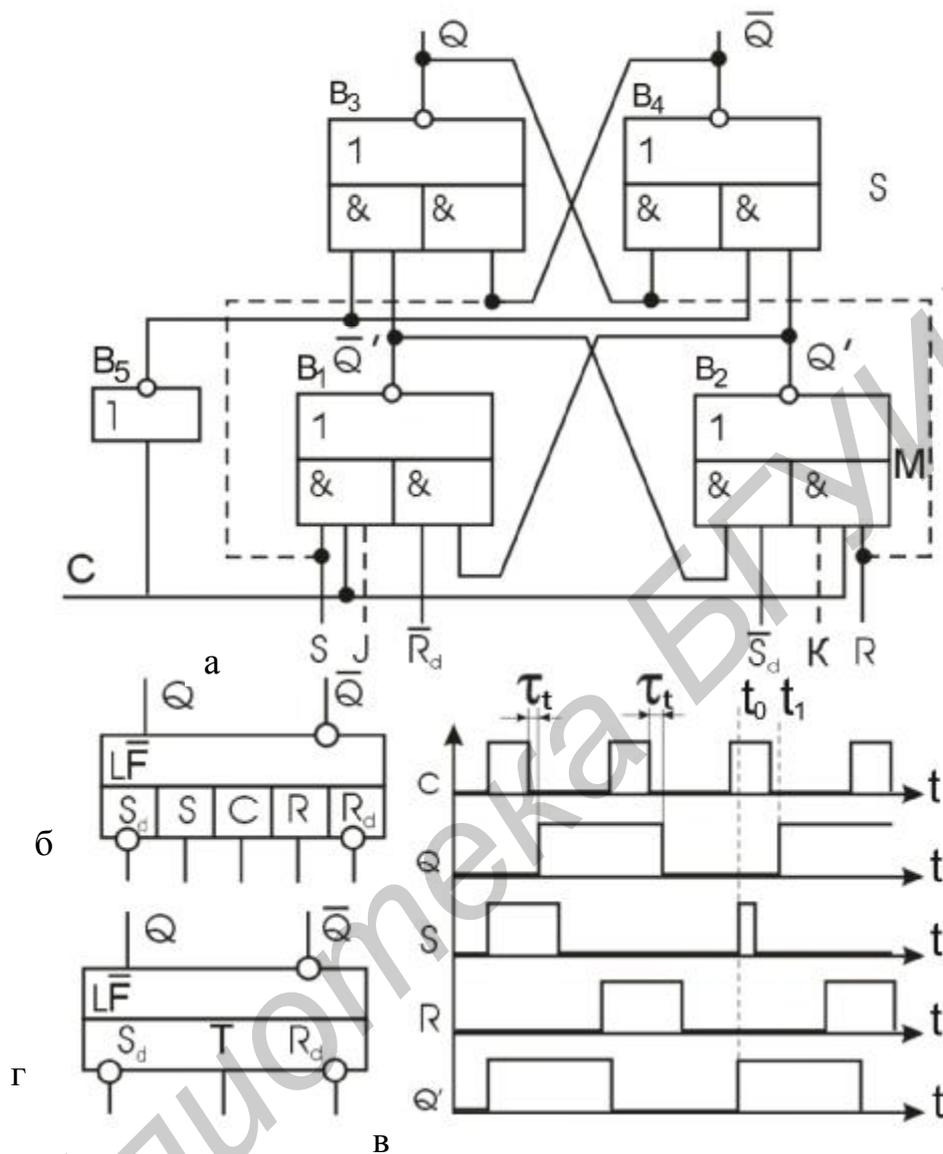


Рис. 1.23. Схема $C_{LF}RS$ -триггера (а), его условное обозначение (б), диаграмма работы в режим T_{LF} (в) и условное обозначение T_{LF} -триггера (г)

С учетом задержки инвертора информация на выходах Q и \bar{Q} сформируется через интервал времени $Dt = 3\tau_{cp} = \tau_t$ после окончания ТИ, то есть τ_t – это задержка формирования информации на выходах триггера Q и \bar{Q} . Чтобы установить $C_{LF}RS$ -триггер в 0 ($Q = 0$), на его входы необходимо подать комбинацию сигналов $S = 0$ и $R = 1$. Одновременная подача сигналов $S = R = 1$ во время действия ТИ для триггера (рис. 1.23) недопустима, поскольку триггер устанавливается в неопределенное состояние после окончания ТИ. Для такого составного триггерного устройства (СТУ), как и для простых тактируемых триггеров,

необходимо учитывать, что смена информации на входах будет фиксироваться триггером М и, следовательно, после окончания ТИ отразится и на выходах вспомогательного триггера (на рис. 1.23, в в момент t_0 на вход S поступил сигнал помехи, и в момент t_1 эта помеха зафиксировалась на выходе триггера).

В схеме триггера на рис. 1.23, а возможны состязания, что является одним из недостатков такой организации блокировки. В данном случае элемент В₅ состязается с элементами И-ИЛИ-НЕ основного триггера.

Наличие состязаний является следствием невыполнения пункта 1 – условий надежной работы М-S триггера («в момент t_1 осуществляется запрет (блокировка) на передачу информации из триггера М в триггер S»). Следовательно, чтобы убедиться в функциональной надежности триггера, надо выяснить при каких условиях состязания становятся опасными. Поскольку переключение триггера М из состояния 0 ($Q = 0$) в 1 ($Q = 1$) и наоборот всегда осуществляется через переходное состояние $Q = \bar{Q} = 0$, то схема триггера (см. рис. 1.23, а) будет функционально надежна, если выполняется условие

$$\tau_{01\max} \leq 2\tau_{\text{ср min}},$$

где $\tau_{\text{ср min}} = \frac{\tau_{01\min} + \tau_{10\min}}{2}$ – средняя минимальная задержка переключения элементов И-ИЛИ-НЕ триггера М. Иначе говоря, уровень 0 на выходе блокирующего инвертора должен сформироваться раньше, чем триггер М переключится в инверсное состояние. В противном случае во время действия ТИ может произойти смена состояния во вспомогательном триггере S, что недопустимо, так как устройство должно работать в режиме $C_{\text{LF}}\text{RS}$ -триггера. Пользуясь понятием *относительной длины состязующих цепей* Δ , можно записать, что RS-триггер будет функционально надежен, если

$$\frac{\tau_{\max}}{\tau_{\min}} < 2.$$

При наличии в составе ИМС группы элементов, отличающихся различным быстродействием, для которых известны значения величин τ_{\max} и τ_{\min} , выполнение данного условия не представляет каких-либо трудностей. Но если значения задержек элементов неизвестны, схему триггера на рис. 1.23, а желательно не применять.

Важной особенностью $C_{\text{LF}}\text{RS}$ -триггеров, выполненных по способу М-S, является то, что они могут быть легко преобразованы в другие типы триггеров, в частности $C_{\text{LF}}\text{JK}$ -, T_{LF} -типов.

Преобразование $C_{\text{LF}}\text{RS}$ -триггера в счетный триггер (его обозначение показано на рис. 1.23,г) осуществляется коммутацией выходов Q и \bar{Q} $C_{\text{LF}}\text{RS}$ -триггера к его входам R и S соответственно (на рис. 1.23, а эта коммутация показана штриховыми линиями).

Для получения $C_{\text{LF}}\text{JK}$ -триггера достаточно к Т-триггеру, полученному на основе $C_{\text{LF}}\text{RS}$ -триггера, добавить два информационных входа J и K, как это по-

казано на рис. 1.23, а штриховыми линиями. Если в этом триггере объединить входы J и K и на этот объединенный вход подать сигнал с уровнем 1, то он будет работать в режиме счетного триггера.

Общим недостатком триггеров, построенных по способу M-S с блокирующим инвертором, следует считать наличие явлений состязаний.

К достоинствам таких триггеров можно отнести небольшое число элементов (при выполнении триггеров на элементах И-ИЛИ-НЕ) и, как следствие этого, достаточно высокое быстродействие и малое число переключаемых за период элементов.

M-S-триггеры с запрещающими связями

Блокировка передачи состояния из триггера M в триггер S во время действия ТИ в данных триггерах осуществляется за счет дополнительных блокирующих связей с выходов вентилей триггера M. Принцип работы таких устройств рассмотрим на примере триггера, схема которого приведена на рис. 1.24.

В отсутствие ТИ ($C = 0$) на выходах вентилей B_1 и B_2 уровни 1 и, следовательно, разрешается передача состояния из триггера M в S. При поступлении ТИ ($C = 1$) на выходах вентилей B_1 (при $S = 1$ и $R = 0$) или B_2 (при $S = 0$ и $R = 1$) формируется уровень 0, запрещающий передачу состояния M в S и устанавливающий триггер M в состояние 1 ($Q = 1$) или 0 ($Q = 0$).

По окончании ТИ ($C = 0$), наоборот, сначала запрещается прием кода в триггер M (так как ТИ = 0) и только затем, то есть после формирования уровня 1 на выходах вентилей B_1 и B_2 , разрешается передача состояния триггера M в триггер S. Таким образом выполняются условия надежной работы и тем самым гарантируется функциональная надежность устройства. Однако оно имеет одну важную особенность, которую необходимо учитывать в процессе его применения, заключающуюся в том, что если во время действия ТИ информация на одном из входов с единичного управляющего уровня сменяется на нулевой, то на выходах вентилей B_2 и B_1 сформируется разрешающий сигнал и информация из триггера M переписывается в триггер S. Другими словами, смена информации на входах триггера приводит к нарушению алгоритма работы, так как информация на выходах триггера появляется не после окончания ТИ, а во время его действия, то есть не осуществляется блокировка выходов во время действия ТИ. Рассмотренная схема является схемой триггера с неполной блокировкой выходов, то есть является триггером $C_{LF}RS$ -типа. Организация триггеров T_{LF} - и $C_{LF}JK$ -типов, построенных на базе $C_{LF}RS$ -триггера, показана на рис. 1.24 штриховыми линиями.

Важной особенностью этой схемы является то, что в режиме T-триггера она формирует сигналы «Перенос» и «Заем» (рис. 1.24, б).

Другой особенностью M-S-триггера является то, что он может работать в качестве асинхронных триггеров $(R - S)_{LF}$ - и $(J - K)_{LF}$ -типов. Это достигается подачей на тактовый вход C уровня 1.

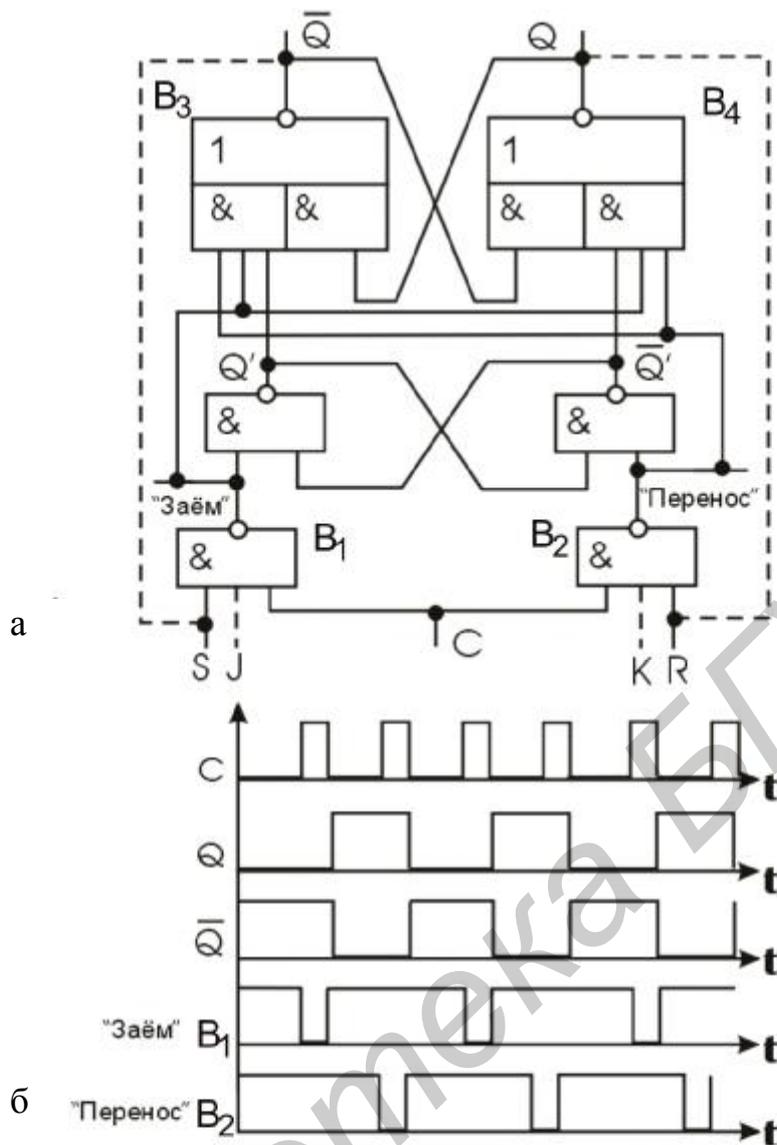


Рис. 1.24. Схема C_{LF} -RS-триггера с запрещающими связями (а) и диаграмма его работы (б)

М-S-триггеры с разнополярным тактованием

Особенностью построения триггеров является то, что основной и вспомогательный триггеры тактируются взаимно инверсными сигналами. Этим обеспечивается надежная блокировка передачи информации в триггер S в момент ее записи в основной, чем и гарантируется высокая функциональная надежность.

Триггер, выполненный по данной схеме, представлен на рис. 1.25.

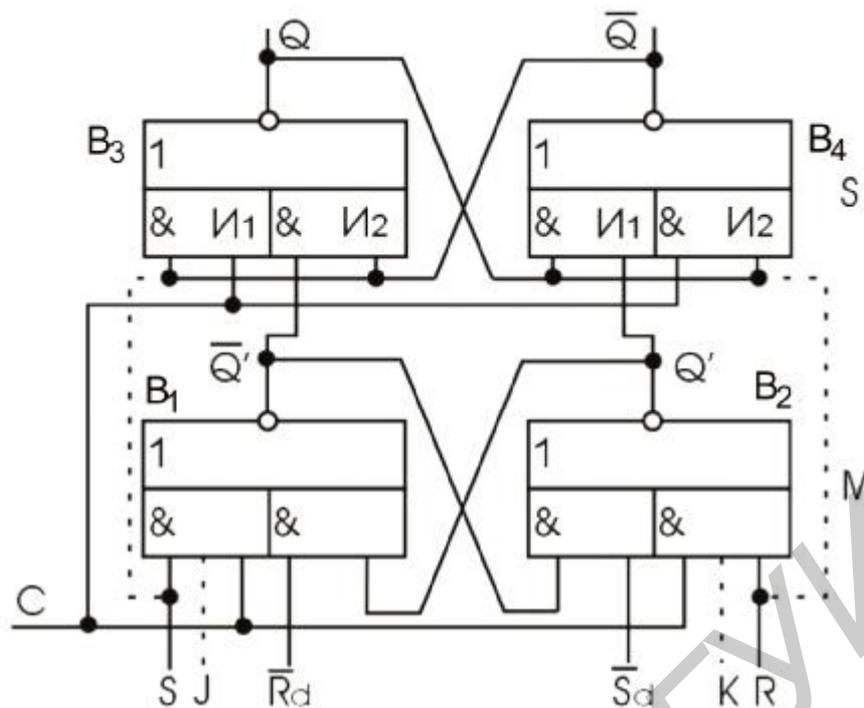


Рис. 1.25. Схема $C_{LF}RS$ -триггера с разнополярным тактированием

Здесь основной и вспомогательный триггеры реализованы на элементах И-ИЛИ-НЕ, причем основной является C_LRS -триггером, а вспомогательный $C_L\overline{RS}$ -триггером. В отсутствие ТИ ($C = 0$) закрыты вентили I_1 , I_2 элемента B_3 или B_4 и состояние триггера M постоянно переписывается в триггер S . Так, если триггер M находится в состоянии $Q' = 0$, $\overline{Q'} = 1$, то будут закрыты вентили I_1 и I_2 элемента B_4 , то есть на его выходе уровень 1 и, следовательно, триггер S в этом случае находится в состоянии $Q = 0$, $\overline{Q} = 1$. При поступлении ТИ ($C = 1$) откроется вентиль I_1 элемента B_3 , то есть триггер S запомнит состояние триггера M . Одновременно с процессом хранения информации вспомогательным триггером происходит запись информации в триггер M . Однако информация, записываемая в триггер M во время действия ТИ, не воспринимается триггером S , поскольку уровень 0 на выходе Q удерживает в закрытом состоянии вентили I_1 , I_2 элемента B_4 , то есть осуществляется запрет приема информации триггером S . По окончании ТИ запрет снимается ($C = 0$) и осуществляется прием информации триггером S , который в переходный период проходит через состояние $Q = \overline{Q} = 1$.

Этот триггер, как и все рассмотренные ранее, может быть легко преобразован в триггер $C_{LF}JK$ - и T_{LF} -типа (на рис. 1.25 показаны штриховыми линиями).

Данный триггер обладает минимальным числом элементов и максимальным быстродействием, что является преимуществом перед ранее рассмотренными триггерами. Однако наряду с максимальным быстродействием он имеет минимальное значение параметра n_Q (нагрузочная способность триггера по вы-

ходу) и максимальное значение параметра n_c (эквивалент нагрузки триггера по тактовому входу), что ограничивает его эксплуатационные возможности при проектировании более сложных цифровых узлов. Рассматриваемый триггер также не может быть преобразован в асинхронный, что снижает его функциональные возможности. Однако благодаря высокому быстродействию и малому числу элементов он находит достаточно широкое применение.

М-S-триггеры с блокирующими транзисторами

В таких триггерах организация блокировки передачи информации из триггера М в триггер S во время действия ТИ осуществляется за счет дополнительных блокирующих транзисторов, включенных между основным и вспомогательным триггерами. Схемная реализация такого триггера приведена на рис. 1.26.

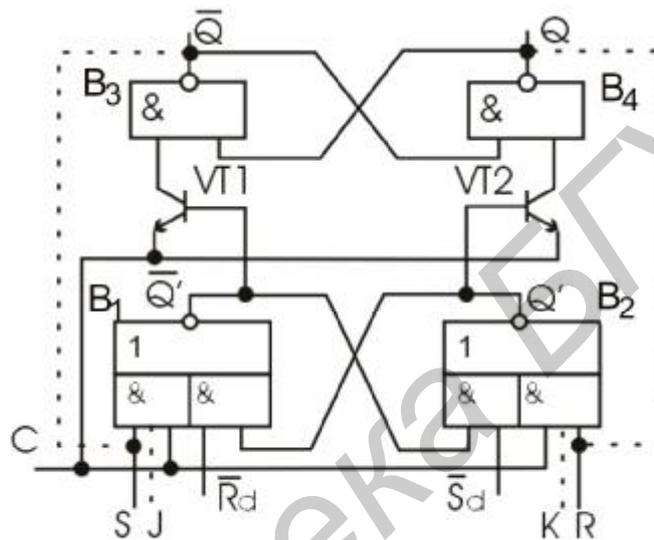


Рис. 1.26. Схема C_{LF} -RS-триггера с коммутирующими транзисторами

В отсутствие ТИ ($C = 0$) открыт один из двух блокирующих транзисторов VT_1 или VT_2 и притом тот, на базе которого действует уровень 1. Предположим, что триггер М находится в состоянии $Q' = 1$, $\bar{Q}' = 0$. В этом случае открыт транзистор VT_2 , то есть на его коллекторе низкий уровень и, следовательно, на выходе элемента B_4 действует уровень 1 ($Q = 1$), а на выходе B_3 – уровень 0 ($\bar{Q} = 0$). При поступлении ТИ ($C = 1$) оба транзистора оказываются закрытыми высоким уровнем сигнала, действующим на их эмиттерах, и тем самым обеспечивается сохранность информации триггером S и блокировка приема информации от триггера М, в который в это же время производится запись информации. По окончании ТИ ($C = 0$) блокировка снимается, то есть на эмиттерных входах обоих транзисторов действуют уровни 0 и осуществляется передача состояния триггера М в триггер S. При этом триггер S устанавливается в новое состояние через переходное состояние $\bar{Q} = Q = 1$.

Организация C_{LF} -JK- и T_{LF} -триггеров на базе данного триггера показана на рис. 1.26 штриховыми линиями.

Вывод. Кроме рассмотренных возможны и другие схемотехнические приемы организации блокировки в M-S-триггерах. Однако приведенные схемные решения получили наибольшее распространение в силу их высоких схемотехнических и функциональных возможностей.

Из других разновидностей триггеров с различными способами управления записью рассмотрим следующие.

Триггеры с управлением записью видов TF , $T\bar{F}$

Данные триггеры существуют только в тактируемом варианте и работают по следующему алгоритму: в отсутствие и во время действия ТИ информация принимается и запоминается внутренней памятью схемы управления. Другими словами, такие триггеры принимают информацию в течение всей длительности периода, а фиксируют по срезу ТИ. В дальнейшем эти триггеры будем называть триггерами вида TF , где T – период следования ТИ. Возможны два варианта таких триггеров $\bar{L}\bar{L}\bar{F} \equiv T\bar{F}$ и $L\bar{L}\bar{F} = TF$ [7]. Особенности их работы рассмотрим на примере $C_{T\bar{F}}D$ -триггера, схема которого приведена на рис. 1.27.

Она включает в себя триггеры $C_{L\bar{F}}RS$ -, $C_{\bar{L}}D$ - и элемент ИЛИ. Работа триггера иллюстрируется диаграммой (рис. 1.27, в). В момент t_1 на вход D поступает сигнал с уровнем 1, и так как $C_{\bar{L}}D$ -триггер принимает информацию по уровню \bar{L} , то в момент t_1 триггер установится в состояние $Q' = 1$. После окончания ТИ (момент t_2) состояние $Q = 1$ зафиксировано и на выходе триггера. Одновременно в момент t_2 на входе D установится уровень 0 и $C_{\bar{L}}D$ -триггер примет нулевое состояние ($Q' = 0$).

К некоторому моменту t_3 $C_{\bar{L}}D$ -триггер будет находиться в состоянии 0 и, следовательно, в момент t_4 это состояние зафиксировано и на выходе $C_{T\bar{F}}D$ -триггера ($Q = 0$). В момент t_5 вновь поступает сигнал $D = 1$. Но теперь $C_{\bar{L}}D$ -триггер не принимает эту информацию. В итоге состояние $D = 1$ через элемент ИЛИ поступает на вход S $C_{L\bar{F}}RS$ -триггера и фиксируется на его выходе после окончания ТИ (момент t_6).

В интегральной схемотехнике применяются в основном $C_{T\bar{F}}D$ -триггеры, хотя в практике возможны и другие их функциональные типы, например $C_{TF}RS$ -триггеры.

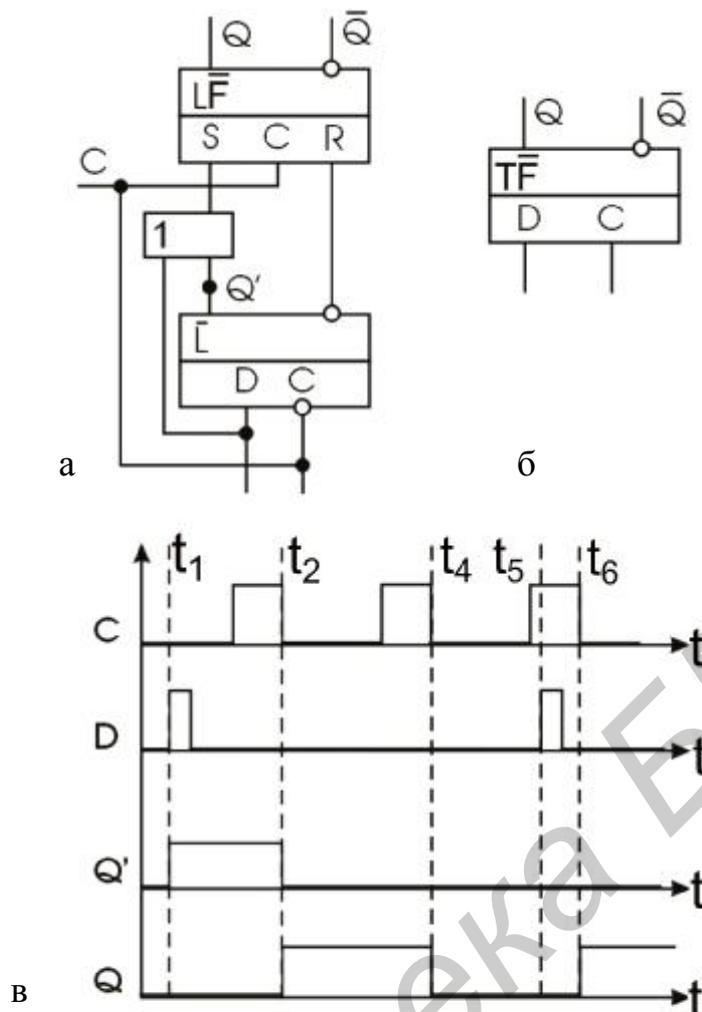


Рис. 1.27. Схема $C_{TF}D$ -триггера (а), его условное обозначение (б) и диаграмма работы (в)

1.5. Импульсно-статические триггеры

К импульсно-статическим триггерам (ИСТ) относятся триггеры, характеризующиеся следующими признаками:

- 1) памятью статического типа;
- 2) управлением сигналами потенциального типа;
- 3) содержанием в схеме элементов, вырабатывающих сигналы кратковременного (импульсного) воздействия на статические элементы памяти.

По способам управления записью такие триггеры не отличаются столь широким многообразием, как статические триггеры, поскольку среди них отсутствуют триггеры видов L, LF и их модификации с индексом f.

Среди ИСТ возможны разновидности следующих видов: F, \bar{F} , \overline{FF} и $\overline{\overline{FF}}$. По логике работы ИСТ имеют сходство со статическими триггерами аналогичного вида управления, но вместе с тем в их работе имеются и определенные

различия, которые необходимо учитывать при их применении. ИСТ (в отличие от статических триггеров) обозначаются индексом i , например $C_{Fi}RS$, $C_{\bar{F}i}RS$, $C_{\bar{F}i}RS$, $C_{\bar{F}i}JK$ и других типов.

Триггеры видов F_i , \bar{F}_i

Такие триггеры работают по следующему алгоритму: при отсутствии переключающего фронта ТИ информация может принимать на входах любые состояния: при этом информация на выходах не меняется. При поступлении переключающего фронта ТИ в схеме управления вырабатывается импульсный сигнал, который, поступая на входы собственно триггера, устанавливает его в соответствующее состояние. Одновременно за счет действия переключающего фронта осуществляется запрет на прием информации, которая с этого момента может изменяться, но это изменение не отразится на состоянии триггера.

Особенности триггеров рассмотрим на примере $C_{Fi}\bar{R}\bar{S}$ -триггера, схема которого показана на рис. 1.28.

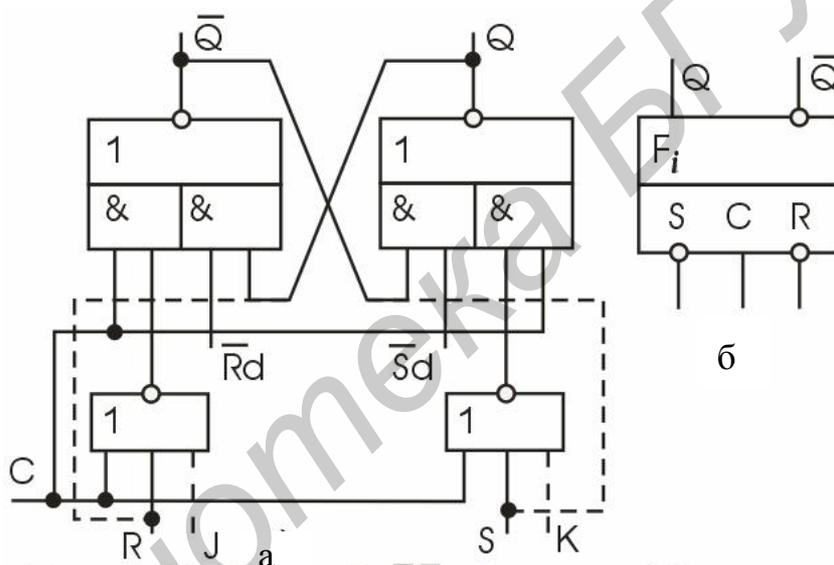


Рис. 1.28. Схема $C_{Fi}\bar{R}\bar{S}$ -триггера (а) и его условное обозначение (б)

Схема триггера содержит собственно триггер C_LRS -типа на элементах ИЛИ-НЕ (\bar{Q} Q) и схему управления на элементах ИЛИ-НЕ (элементы входов R и S), назначение которой заключается в выработке импульсного сигнала в момент действия переключающего фронта ТИ. При подключении \bar{Q} и Q ко входам триггера (как это показано на рис. 1.28 штриховыми линиями) устройство будет работать в качестве триггера T_{Fi} -типа, а с дополнительными входами – в качестве триггера $C_{Fi}JK$ -типа.

По сравнению с аналогичными схемами вида F статического типа данная схема значительно проще в реализации и требует меньшего числа вентиляей.

К недостаткам следует отнести меньшую помехоустойчивость, вследствие того что управляющие сигналы воздействуют на входы собственно триггера в течение небольшого интервала времени ТИ, тогда как в статических триггерах

герах сигнал действует на входы собственно триггера в течение всей длительности ТИ.

Важным преимуществом таких схем является и то, что они позволяют довольно легко устанавливать триггер в исходное состояние по входам R_d и S_d независимо от уровня сигнала на входе C .

1.6. Динамические триггеры

Динамические триггеры (ДТ) отличаются следующими признаками:

1) динамическим (кратковременным) хранением информации (как правило, для хранения информации используются паразитные емкости затворов МДП-транзисторов);

2) наличием многофазного (многотактного) импульсного управления или питания;

3) управлением сигналами ограниченной длительности, то есть импульсными сигналами;

4) содержанием схемой управления устройств для формирования импульсов многофазного управления.

Наибольшее распространение получили ДТ, выполненные на основе МДП-транзисторов, хотя известны ДТ, на основе биполярных транзисторов. По способам управления записью ДТ являются триггерами вида [L]. В отличие от статических триггеров такие триггеры обозначают индексом «d».

В практике проектирования цифровых устройств ДТ в основном представлены триггерами $C_{Ld}D$ -типа, хотя в принципе возможны и другие функциональные типы. В качестве примера рассмотрим схему $C_{Ld}D$ -триггера, приведенную на рис. 1.29.

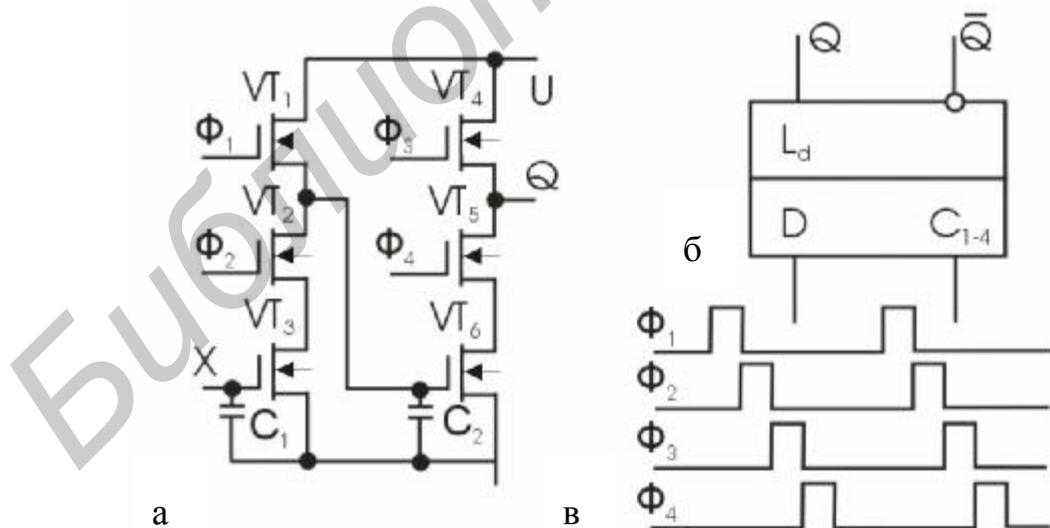


Рис. 1.29. Схема $C_{Ld}D$ -триггера (а), его условное обозначение (б) и диаграмма тактовых импульсов

Триггер собран на МДП-транзисторах n-типа, где под С понимается серия из четырех сдвинутых во времени импульсов. Триггер построен на основе двух инверторов, один из которых содержит транзисторы VT_1 - VT_3 , а второй транзисторы VT_4 - VT_6 и управляется серией из четырех сдвинутых во времени импульсов. Затвор транзистора VT_3 первого инвертора является информационным входом (входом D) триггера, а выход второго инвертора (Q) является выходом разряда.

Рассмотрим процесс записи информации в триггер (пусть $D = 1$). При поступлении Φ_1 открывается транзистор VT_1 и происходит заряд конденсатора C_2 в цепи затвора транзистора VT_6 до уровня 1. После окончания Φ_1 поступает Φ_2 , который откроет транзистор VT_2 , а поскольку открыт транзистор VT_3 уровнем $D = 1$, то конденсатор C_2 окажется разряжен ($C_2 = 0$). Затем поступает Φ_3 , открывающий транзистор VT_4 , через который заряжается выходной конденсатор C_1 (следующего каскада) и являющийся его входом. После окончания Φ_3 поступает Φ_4 , открывающий транзистор VT_5 . Поскольку транзистор VT_6 закрыт уровнем $Q = 0$, то конденсатор C_1 (следующего каскада) останется заряженным до уровня $Q = 1$.

Таким образом, в результате действия серии из четырех импульсов сигнал с уровнем 1, действующий на его входе, оказался зафиксированным на выходе триггера, то есть произошла запись информации. Аналогично триггер будет установлен в 0 при $D = 0$.

Нетрудно видеть, что если во время действия Φ_1 или Φ_2 информация на входе будет изменяться, то триггер будет реагировать на это изменение так же, как триггеры L-типа, поскольку схема не вырабатывает сигнал блокировки, который бы запрещал прием информации.

Из описания работы триггера следует, что он не может хранить информацию сколь угодно долго, так как ее запоминание осуществляется на емкостях затворов, то есть требуется периодическая подзарядка емкости, что и достигается серией из четырех импульсов. Этим же обстоятельством объясняется и тот факт, что триггер управляется сигналами ограниченной длительности. В интегральной схемотехнике ДТ применяются в основном при проектировании сдвигающих регистров.

1.7. Квзистатические триггеры

Квзистатические триггеры (КТ) характеризуются следующими признаками:

- 1) управлением сигналами ограниченной длительности;
- 2) наличием тактирующих (фазных) импульсов, используемых только для записи информации (при хранении информации тактирующие импульсы не требуются);
- 3) наличием двух типов памяти – статической и динамической;
- 4) содержанием в составе схемы управления устройства для формирования фазных импульсов.

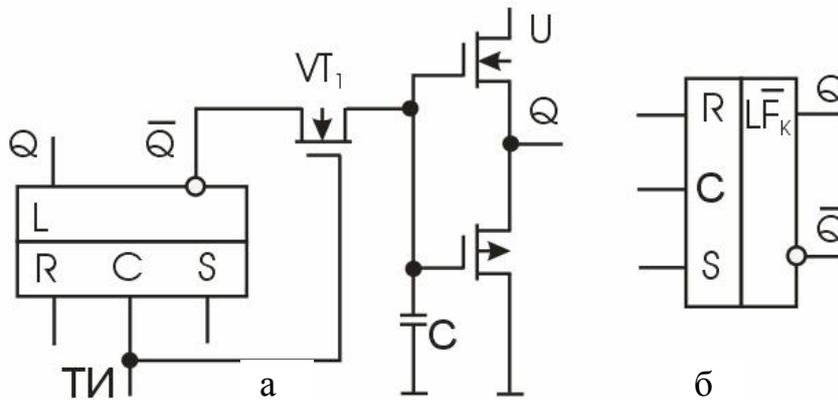


Рис. 1.30. Схема C_{LFk} RS-триггера (а) и его условное обозначение (б)

На рис. 1.30 показана обобщенная схема КТ на примере RS-триггера. Схема содержит следующие элементы: статический элемент памяти; схему формирования фазных импульсов (СФИ); коммутирующий транзистор (VT_1); динамический элемент памяти в виде емкости «С» затвора выходного инвертора; выходной инвертор. Статический элемент памяти выполнен в виде C_L RS-триггера. Однако это совсем не обязательно, так как может использоваться любой другой функциональный тип триггера вида L или F. Схема формирования фазных импульсов имеет всего одну связь с затвором коммутирующего транзистора, то есть роль СФИ выполняет тактирующий импульс. В общем случае эта схема формирует не более трех фазных импульсов, число которых определяется организацией схемы статического триггера.

Коммутирующий транзистор и выходной инвертор выполнены на КМДП-элементах.

Роль динамического элемента памяти выполняет емкость затвора КМДП-транзистора выходного инвертора.

По способам управления записью информации КТ относятся к триггерам видов $\bar{L}F$, $L\bar{F}$, хотя возможны и триггеры видов FF , $\bar{F}\bar{F}$.

В отличие от статических данные триггеры будем обозначать дополнительным индексом К, например C_{LFk} RS-, C_{LFk} D-триггеры и др.

В интегральной схемотехнике КТ наиболее часто применяются при построении сдвигающих регистров, а среди их функциональных типов, как правило, C_{LFk} D-триггеры. Наиболее распространены триггеры двух- и четырех-фазного действия. Схемы КТ выполняются с применением меньшего числа МДП-транзисторов, чем это необходимо для построения аналогичных триггеров статического типа. Сравнительная простота построения КТ позволяет выполнить их как на МДП-транзисторах n-типа, так и на дополняющих МДП-транзисторах (КМДП).

Глава 2. Регистры

2.1. Общие сведения

Под *регистрами* (от лат. *registrum* – список, указатель) в цифровой электронике и технике подразумевают узлы и устройства, осуществляющие ряд операций с информацией, представленной в виде многоразрядного двоичного кода. К этим операциям относятся: хранение, сдвиг в разрядной сетке, поразрядные логические операции и выдача числовых слов в определенном коде. Уже одно перечисление функций регистров показывает, что это самые распространенные узлы цифровых устройств [4].

На схемах регистры обозначаются буквами RG. В отечественных сериях микросхем регистрам соответствуют буквы ИР.

Итак, *регистрами* называются устройства, выполняющие функции приема, хранения и передачи информации. Информация в регистрах хранится в виде числа (слова), представленного комбинацией сигналов 0 и 1. Каждому разряду числа, записанному в регистр, соответствует свой разряд, выполненный на основе триггера CRS-, CD- и CJK-типа с управлением записью видов L, LF, и F. Другими словами, регистр – это цепочка триггеров для запоминания одного двоичного числа (обычно от 4 до 16). Общее количество триггеров равно наибольшей разрядности хранимого числа.

На регистрах могут осуществляться операции преобразования информации из одного вида в другой (последовательного кода в параллельный и т.п.), а также некоторые логические операции (например, поразрядное логическое сложение, умножение).

Основным классификационным признаком, по которому различают регистры, является способ записи информации или кода числа в регистр. По этому признаку можно выделить регистры трех типов: *параллельные* (статические); *последовательные* (сдвигающие); *параллельно-последовательные*.

В параллельные регистры запись числа осуществляется параллельным кодом, т.е. во все разряды одновременно.

Последовательные регистры характеризуются последовательной записью кода числа, начиная с младшего или старшего разряда, путем последовательного сдвига кода тактирующими импульсами.

Параллельно-последовательные регистры имеют входы как для параллельной, так и для последовательной записи кода числа. В зависимости от числа каналов, по которым поступает информация на входы разрядов регистра, различают *регистры парафазного и однофазного видов*.

Парафазные регистры характеризуются тем, что информация на каждый разряд поступает по двум каналам (прямому и инверсному).

В однофазных регистрах информация поступает на каждый разряд только по одному каналу. Парафазные регистры выполняются, как правило, с применением триггеров CRS-типа, а однофазные – на основе триггеров CD-типа.

В зависимости от типов триггеров, применяемых при построении регистров, и способа их тактирования различают регистры многотактные и однотокового действия.

2.2. Параллельные регистры

В параллельных (статических) регистрах схемы разрядов не обмениваются данными между собой. Общими для разрядов обычно являются цепи тактирования, сброса/установки, разрешения выхода или приема, т.е. цепи управления. В этих регистрах прием и выдача слов производится по всем разрядам одновременно. В них хранятся слова, которые могут быть подвергнуты поразрядным логическим преобразованиям.

При построении N -разрядных параллельных регистров необходимо применить N триггеров, каждый из которых будет иметь число входов, соответствующее числу источников информации, подключенных ко входу регистра. По сути каждый из триггеров имеет свой независимый информационный вход и свой независимый информационный выход. Тактовые входы (C) всех триггеров соединены между собой. В результате параллельный регистр представляет собой многоразрядный многовходовый триггер.

2.2.1. Однофазные параллельные регистры двухтактного действия

Наиболее экономичными по числу компонентов являются однофазные регистры двухтактного действия, в качестве разрядов которых используются триггеры $C_L S - R_L$ -типов (двухтактные D -триггеры на рис. 1.19).

На рис. 2.1 приводится схема параллельного регистра двухтактного действия с однофазной записью информации для режима записи двух чисел A и B (регистр на два входа). Входы $a_1, a_2, \mathbf{K}, a_n$ соответствуют входам разрядов первого числа, а входы $b_1, b_2, \mathbf{K}, b_n$ – входам разрядов второго числа.

Первый тактирующий сигнал T_1 осуществляет установку всех разрядных триггеров в состояние 0 ($Q_1 = Q_2 = \mathbf{K} = Q_n = 0$).

Второй сигнал T_2' обеспечивает запись в регистр числа A , а импульс T_2'' – запись числа B .

Однофазные параллельные регистры двухтактного действия характеризуются наименьшим быстродействием, но вместе с тем и наименьшими затратами по числу элементов.

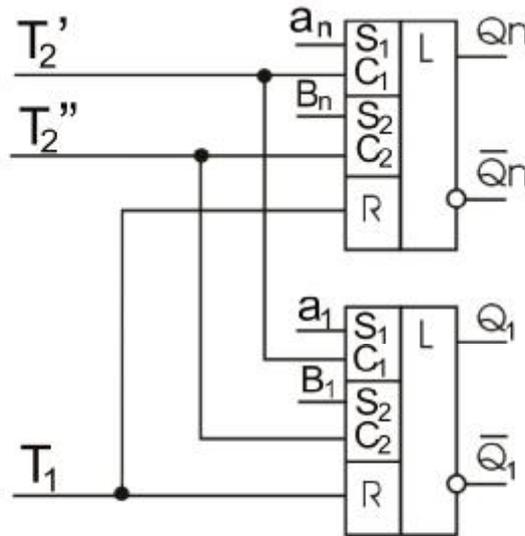


Рис. 2.1. Схема параллельного регистра на триггерах $C_L S-R_L$ -типа

2.2.2. Однофазные параллельные регистры однократного действия

Для реализации однократных параллельных однофазных регистров применяются $C_L D$ -триггеры, число входов которых соответствует числу входов регистра. На рис. 2.2 приведена функциональная схема такого регистра на два входа. Запись числа $A(a_1, \mathbf{K}, a_n)$ осуществляется при поступлении импульса T_1 , а запись числа $B(b_1, \mathbf{K}, b_n)$ – при поступлении импульса T_2 без предварительной установки разрядов в состояние 0.

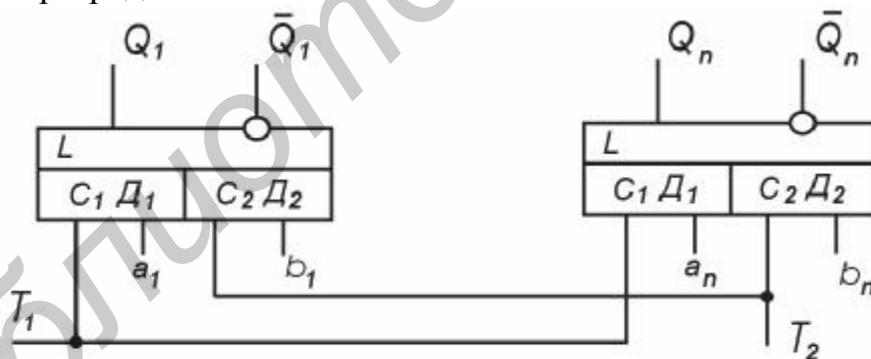


Рис. 2.2. Схема параллельного регистра на триггерах $C_L D$ -типа

Быстродействие данного регистра увеличилось примерно в 2 раза по сравнению со схемой на рис. 2.1, но и аппаратные затраты на их реализацию увеличились, так как реализация $C_L D$ -триггера требует большего числа вентиляей.

На рис. 2.3 показан один из наиболее экономичных вариантов схем такого регистра, каждый разряд которого выполнен на $C_L D$ - триггере с использованием элементов НЕ, И-НЕ, И-ИЛИ-НЕ.

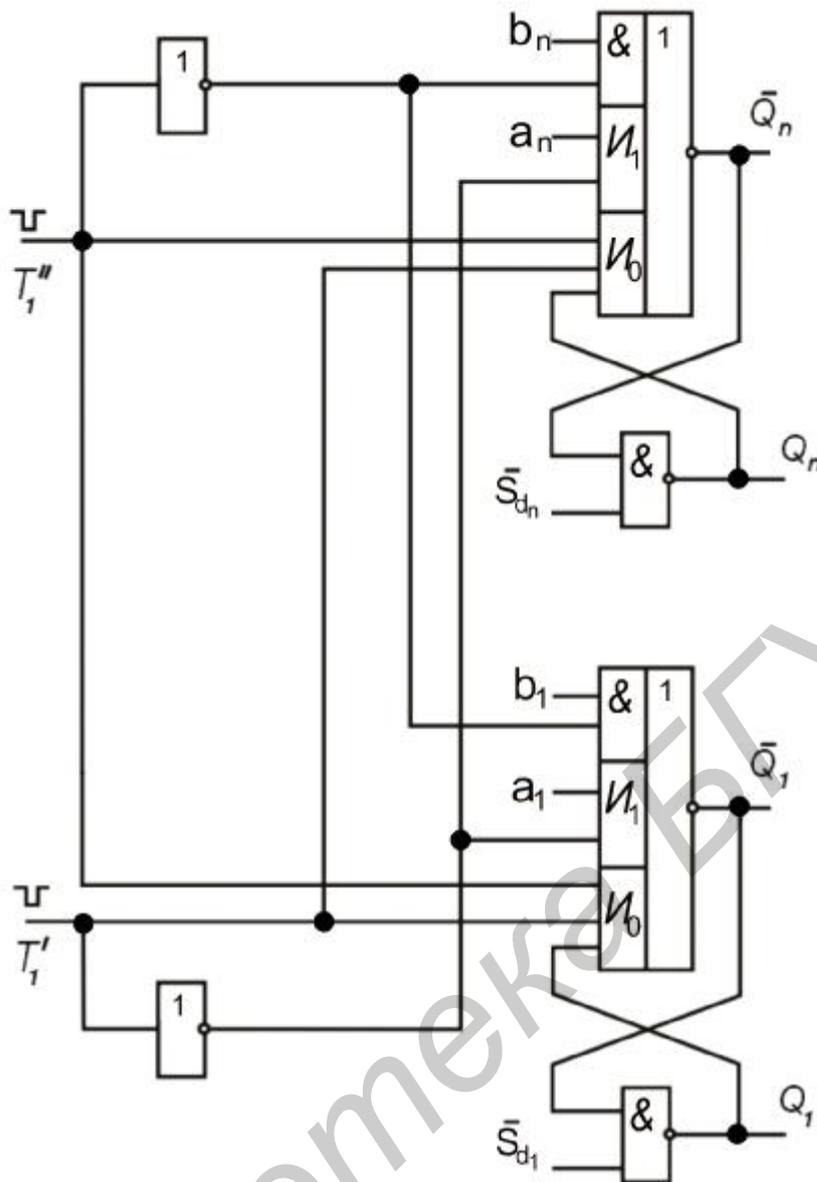


Рис. 2.3. Схема параллельного регистра на триггерах C_{LD} -типа

В режиме хранения информации, т.е. при отсутствии тактирующих импульсов ($\overline{T_1} = \overline{T_2} = 1$) открыты вентили обратной связи I_0 всех триггеров регистра. При поступлении ТИ (например $T_1' = 0$) закрываются вентили I_0 и с задержкой τ_{HE} открываются вентили записи кода числа A (вентили I_1). В разрядах регистра a_1, a_2, \dots, a_n установятся уровни в соответствии с кодом числа A . Например, при $a_1 = 1$ и $T_1' = 0$ на выходе $\overline{Q_1}$ сформируется уровень 0, а на выходе Q_1 – уровень 1. После окончания действия ТИ ($\overline{T_1} = 1$) вначале откроются вентили обратных связей всех триггеров и зафиксируется новый код в его разрядах, а затем через τ_{HE} закроются вентили записи числа A . Регистр перейдет в режим хранения информации. Схема получила широкое распространение при разработке параллельных цифровых устройств благодаря своей экономичности

и надежности. Однако самые экономичные варианты схем рассмотренных регистров получаются при их реализации на основе элементов Т-TTL, когда каждый разрядный триггер выполняется на одном элементе.

2.2.3. Парафазные параллельные регистры

Парафазные параллельные регистры (ППР) не отличаются широким многообразием, как однофазные. Все ППР по своему принципу действия являются одноктактными и выполняются на триггерах C_LRS -типа. На рис. 2.4 приведена схема ППР на два входа (для записи чисел А и В).

Код числа поступает на регистр по двум каналам (прямому и инверсному), а тактирующие импульсы T_1' и T_1'' открывают вентили прямого и инверсного каналов одновременно. Быстродействие ППР полностью определяется быстродействием триггеров, используемых в качестве типовых разрядов регистра.

При сравнительной оценке однофазных и парафазных регистров необходимо отметить, что однофазные являются наиболее эффективными при выполнении на ИМС, так как содержат в 2 раза меньше информационных входов, чем парафазные регистры. Уменьшение числа входов позволяет сократить число выводов микросхем, что упрощает процесс проектирования БИС.

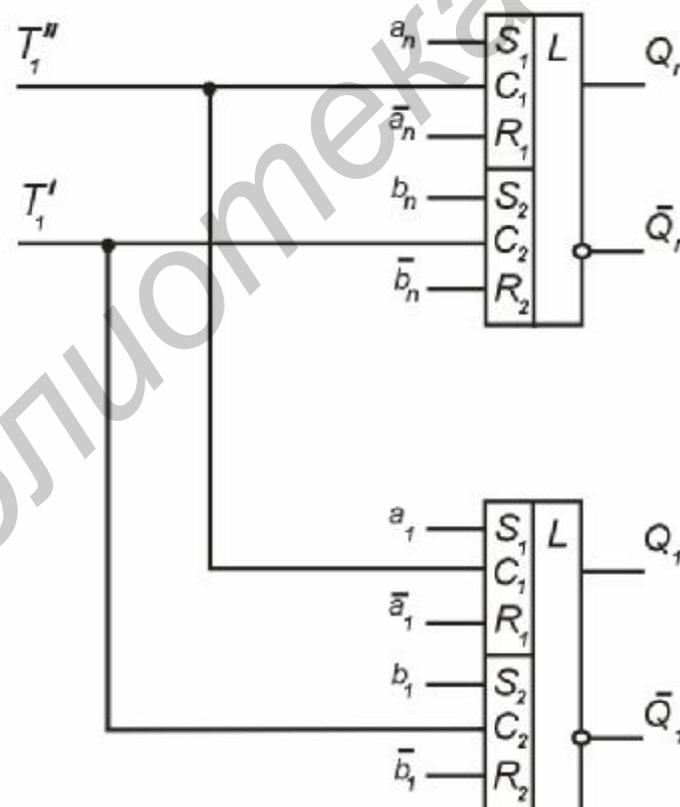


Рис. 2.4. Схема параллельного регистра на триггерах C_LRS -типа

2.3. Сдвигающие (последовательные, сдвиговые) регистры и их классификация

Сдвигающие регистры (СР) (англ. shift register) получили свое название от вида одной из наиболее распространенных операций, выполняемых в ЭВМ – операции сдвига кода числа. *Операция сдвига* – это перемещение (сдвиг) под действием внешних тактирующих импульсов содержимого регистра на определенное число разрядов вправо или влево. Чаще всего такое перемещение осуществляется на один разряд, и эту операцию можно записать в виде

$$Q_i^{n+1} = Q_{i-1}^n$$

где Q_i^{n+1} – содержимое i -го(последующего) разряда регистра после цикла сдвига;

Q_{i-1}^n – содержимое $(i-1)$ -го (предыдущего) разряда до сдвига;

$i=1,2,3,\dots,n$ – число разрядов регистра сдвига.

Наиболее общим классификационным признаком сдвигающих регистров можно считать *способ управления сдвигом кода числа*. Этот классификационный признак предполагает деление регистров по числу *тактирующих сигналов* K_T , необходимых для выполнения операции сдвига информации на один разряд. В соответствии с этим числом, которое в дальнейшем назовем тактовым числом регистра, СР подразделяются на регистры *однотактного* и *многотактного* действия. Особенностью *однотактных* СР является то, что в них сдвиг кода числа *на один разряд* осуществляется *за один такт* или с помощью одного ТИ сдвига, т.е. $K_T=1$. В *многотактных* регистрах сдвиг кода числа *на один разряд* осуществляется *как минимум за два* импульса сдвига. В свою очередь, каждый из *однотактных* и *многотактных* СР можно классифицировать по следующим признакам:

- по виду электрической связи между разрядами;
- по направлению сдвига;
- по способу приема и выдачи кода числа.

Вид электрической связи между разрядами

По этому признаку СР на триггерах подразделяются на регистры с однопроводным (однофазным), двухпроводным (парафазным) и смешанным типами связи. Первые выполняются на триггерах D-типа, вторые на триггерах RS- или JK-типа, а третьи совместно, например на триггерах RS- и D- или JK- и D-типов.

Направление сдвига

В соответствии с этим признаком регистры подразделяются на три вида:

- регистры, осуществляющие сдвиг кода числа вправо (в сторону младших разрядов);
- регистры, сдвигающие код числа влево (в сторону старших разрядов);
- регистры, сдвигающие код числа как вправо, так и влево – реверсивные регистры сдвига.

Способ приема и выдачи кода числа

По этому признаку регистры подразделяются на три вида:

- с последовательным приемом и последовательной выдачей информации;
- с параллельным вводом кода числа и параллельным его выводом;
- с оследовательно-параллельным вводом и последовательно-параллельным выводом кода числа.

Последние относятся к разряду наиболее универсальных, т.к. они могут применяться в качестве первого и второго типа СР.

В основу приведенных классификационных признаков СР фактически положены функциональные требования, предъявляемые к ним. А это означает, что при проектировании СР всегда задают:

- а) направление сдвига;
- б) способы приема и выдачи кода числа, представляющие собой функциональные требования для любого СР.

Кроме них к функциональным требованиям следует отнести функциональную надежность регистра. Эти требования для регистров (как и для триггеров) должны быть выполнены безусловно. Применительно к СР требование функциональной надежности характеризуют отсутствием опасных межкаскадных состязаний при условии выполнения разрядов регистра на функционально надежных триггерах.

К основным функциональным параметрам регистров сдвига можно отнести также разрядность и быстродействие.

Последовательный регистр сдвига обладает двумя недостатками: он позволяет вводить только по одному биту информации на каждом тактовом импульсе и каждый раз при сдвиге информации вправо теряется крайний правый информационный бит.

Эти недостатки устраняются в параллельно загружаемых регистрах сдвига кольцевого типа. Кольцевое перемещение информации предусматривает возврат данных с выхода регистра обратно на его вход, что исключает потерю данных при сдвиге.

2.4. Сдвигающие регистры многотактного действия

Сдвигающие регистры многотактного действия, или просто многотактные СР, применяются в устройствах, для которых не требуется высокое быстродействие, а определяющим является фактор снижения так называемых аппаратно-мощностных затрат (АМЗ). Среди СР многотактного действия одним из наиболее экономичных по АМЗ является регистр, выполненный на триггерах $C_L S - R_L$ -типа. В качестве примера рассмотрим схему трехразрядного регистра со сдвигом вправо, с последовательным вводом и выводом информации и однопроводной связью между разрядами (рис. 2.5).

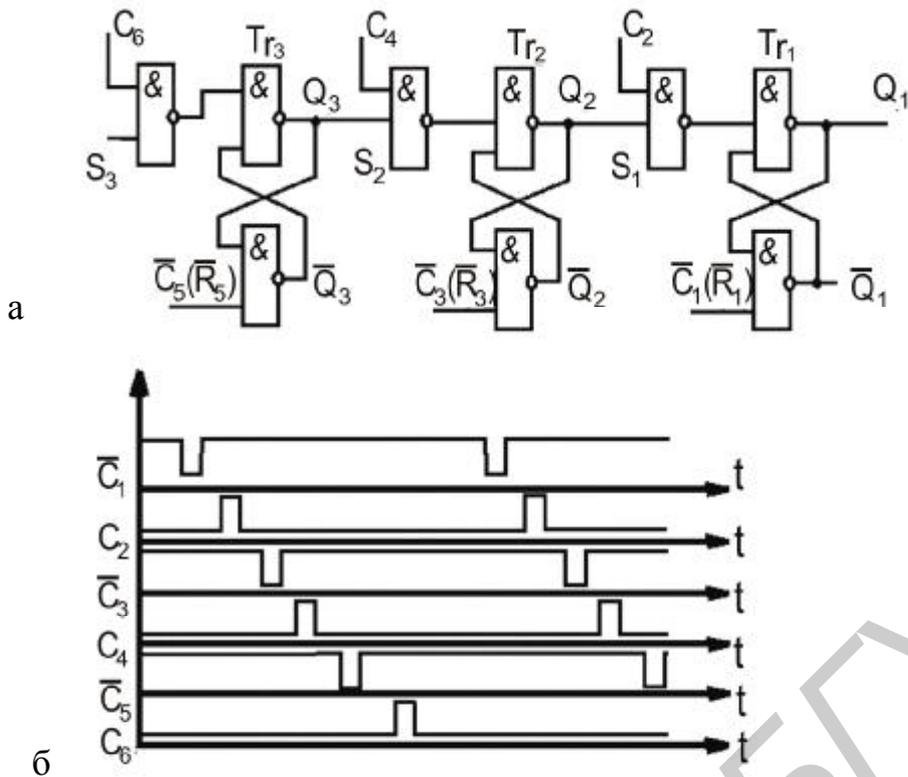


Рис. 2.5. Схема последовательного (сдвигающего) регистра на триггерах $C_L S-R_L$ -типа (а) и диаграмма ТИ (б)

Сдвиг информации в таком регистре осуществляется последовательной подачей ТИ (рис. 2.5, б), начиная с младших разрядов, т.е. с триггера $T_{Г1}$. Первый ТИ сдвига ($\bar{C}_1 = 0$) устанавливает триггер $T_{Г1}$ в состояние 0 ($Q_1 = 0$). Вторым ТИ ($C_2 = 1$) переводит триггер в состояние $Q_1 = 1$, если предыдущий разряд также находится в состоянии 1 ($Q_2 = 1$). Поступающие затем ТИ $\bar{C}_3, C_4, \bar{C}_5, C_6$ осуществляют соответственно перепись информации из $T_{Г3}$ в $T_{Г2}$ и запись информации, присутствующей на входе S старшего разряда (S_3). Таким образом, для сдвига информации на один разряд или, что то же самое, для записи одного двоичного разряда в таком регистре потребуется $K_T = 2n$ импульсов сдвига. В итоге для полного сдвига n -разрядного кода числа потребуется $K_{И} = 2n^2$ импульсов сдвига, что характеризует подобные регистры как медленнодействующие, но вместе с тем и наиболее экономичные по АМЗ, поскольку каждый разряд такого триггера выполняется на трех элементах И-НЕ или одном элементе И-ИЛИ-НЕ и инверторе.

Повысить быстродействие СР можно путем замены $C_L S - \bar{R}$ -триггеров на триггеры $C_L RS$ - или $C_L D$ -типов. Сдвиг информации на один разряд в таких регистрах осуществляется за $K_T = n$ тактов. В результате для записи полного n -разрядного слова или для сдвига n разрядов потребуется $K_{И} = n \cdot n = n^2$ импульсов сдвига.

Повышения быстродействия регистров многотактного действия можно досчитать посредством разбиения регистра на отдельные группы и введения в их состав добавочных триггеров по числу групп. Особенность построения таких СР рассмотрим на примере шестиразрядного СР четырехтактного действия (рис. 2.6).

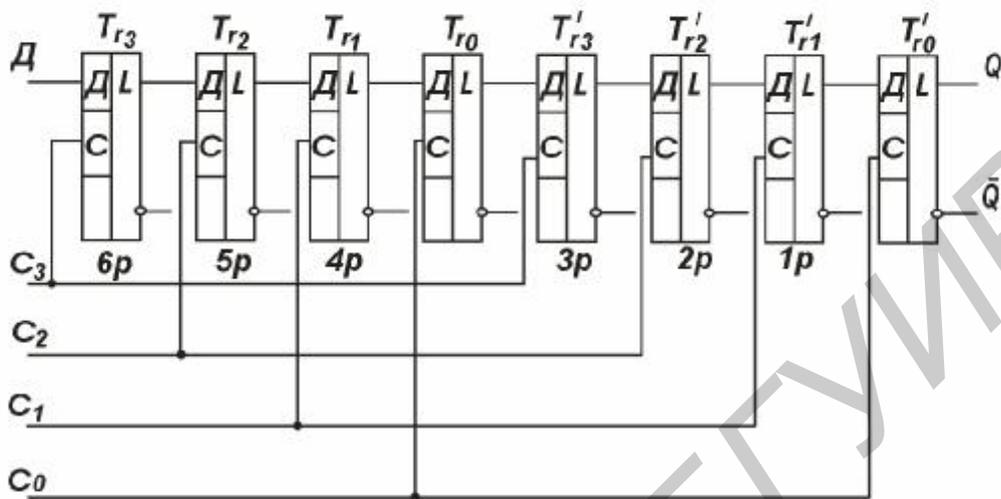


Рис. 2.6. Схема сдвигающего регистра многотактного действия на триггерах C_L Д-типа

Регистр разбит на две группы по три разряда в каждой, и на каждую группу введен один добавочный триггер (триггеры $T_{Г0}$ для первой группы и $T'_{Г0}$ для второй группы). При этом тактовые входы триггеров, имеющих одинаковый порядковый номер в группах, и тактовые входы добавочных триггеров объединяются отдельными шинами, на которые поступают ТИ сдвига. Сдвиг информации на один разряд в таком регистре осуществляется за четыре ТИ, подаваемых последовательно на входы C_0 , C_1 , C_2 и C_3 . Под действием первого ТИ сдвига ($C_0 = 1$) осуществляется передача информации из всех младших триггеров каждой группы в добавочный триггер своей группы. Поступающие затем ТИ сдвига ($C_1 - C_3$) последовательно сдвигают информацию в пределах каждой группы. В результате с приходом четвертого импульса сдвига вся информация в регистре окажется сдвинутой на один разряд вправо.

На рис. 2.6 приведена схема многотактного СР, в котором в качестве разрядных и добавочных триггеров используются триггеры однократного действия вида L. Однако в качестве этих триггеров могут применяться и $C_L S - R_L$ - триггеры. В общем случае для сдвига информации на один разряд в таких регистрах требуется

$$K_T = C_{P.T} \cdot n_{P.GP} + C_{д.Т} \quad (2.1)$$

тактирующих импульсов сдвига,

где $n_{P.GP}$ – число разрядов в группе;

$C_{P.T}$ и $C_{д.Т}$ – число тактирующих сигналов для записи информации в разрядный и добавочный триггеры ($C_{P.T}$ и $C_{д.Т}$ могут принимать только два значения: 1 или 2).

Из выражения (2.1) следует, что тактовое число K_T регистров сдвига, построенных по схеме аналогичной, изображенной на рис. 2.6, зависит от числа триггеров в группе $n_{P.ГР}$ и значений величин $C_{P.T}$ и $C_{д.Т}$.

Например, *трехтактный регистр сдвига* может быть получен с помощью следующих комбинаций:

при $n_{P.ГР} = 2$ и $C_{P.T} = C_{д.Т} = 1$;

при $n_{P.ГР} = 1$ и $C_{P.T} = 1$; $C_{д.Т} = 2$;

при $n_{P.ГР} = 1$ и $C_{P.T} = 2$; $C_{д.Т} = 1$.

Из выражения (2.1) также следует, что наибольшее быстродействие среди регистров многотактного действия имеет *CP двухтактного действия* при $n_{P.ГР} = 1$ и $C_{P.T} = C_{д.Т} = 1$. В этом случае на один разрядный триггер приходится один добавочный и собственно разрядный триггер регистра фактически вырождается в составное триггерное устройство (СТУ) двухтактного действия, выполненного по способу M-S. Схема такого регистра на триггерах C_LRS -типа приведена на рис. 2.7.

Для этой схемы характерно то обстоятельство, что здесь как бы теряется смысл в разрядных и добавочных триггерах, поскольку каждая группа состоит из двух триггеров, а информация может сниматься с любого из них. Применительно к схеме на рис. 2.7, где информация снимается с S-триггеров, добавочными являются M-, а разрядными S-триггеры.

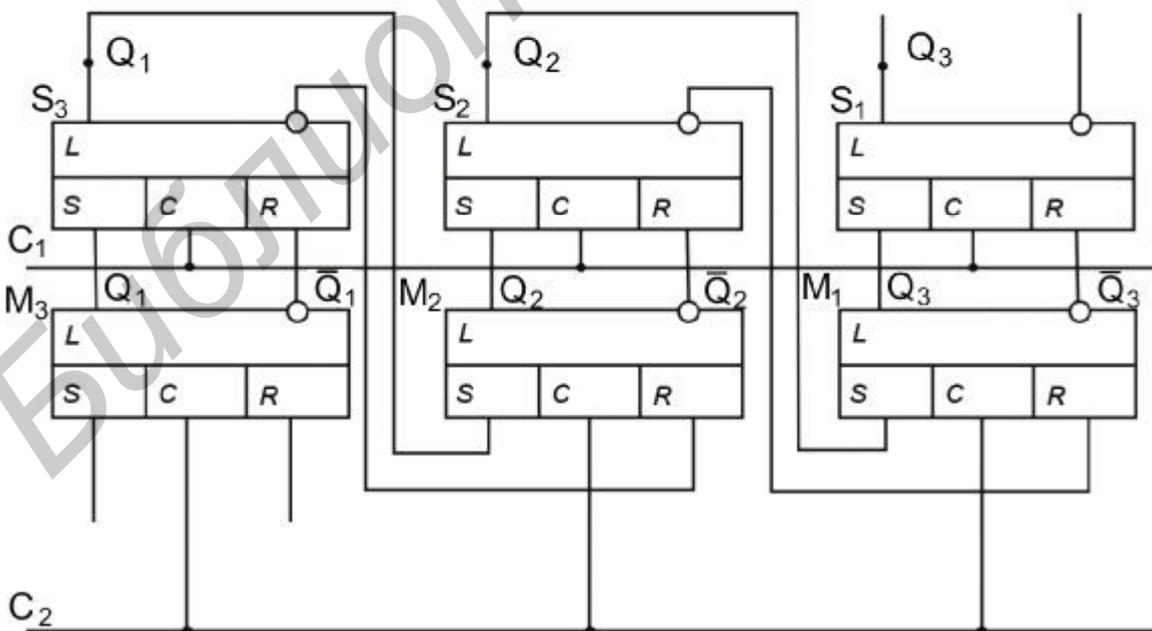


Рис. 2.7. Схема сдвигающего регистра двухтактного действия на триггерах C_LRS -типа

Такой регистр работает следующим образом. При поступлении первого ТИ ($C_2 = 1$) осуществляется передача информации из каждого вспомогательного триггера i -го разряда в основной триггер M следующего $(i+1)$ -го разряда и одновременно запись кода в основной триггер первого разряда. При поступлении второго ТИ ($C_1 = 1$) информация из M -триггеров передается S -триггерам, что равносильно ее сдвигу на один разряд вправо.

Общим недостатком СР многотактного действия является невысокое быстродействие, а также сложность управления сдвигом. Последнее особенно характерно для регистров с числом ТИ сдвига больше 2. Однако наличие многотактной сетки вместе с тем является их достоинством, поскольку благодаря именно ей в таких регистрах исключаются явления межкаскадных состязаний и тем самым достигается функциональная надежность регистра.

2.5. Сдвигающие регистры однократного действия

Основным преимуществом СР однократного действия по сравнению с многотактными является их высокое быстродействие и простота организации управления сдвигом. Наиболее часто СР однократного действия проектируются на основе триггеров с внутренней задержкой, реализуемых на триггерах $\overline{L\bar{F}}$ и $\overline{L\bar{F}}$ -видов управления. Это особенно характерно для случая, когда указанные типы триггеров имеются в виде готовых ИМС. При проектировании СР на типовых ЛЭ часто также применяют $C_L S - R_L$ -триггеры. Они позволяют в некоторых случаях проектировать более экономичные по АМЗ схемные решения СР однократного действия по сравнению с регистрами на триггерах видов $L\bar{F}$ и $\overline{L\bar{F}}$.

В качестве примера рассмотрим схему реверсивного СР, который наряду с последовательным вводом и выводом информации обладает возможностью параллельного ввода и вывода кодов чисел. Пример такого регистра на триггерах $C_{L\bar{F}}JK$ -типа показан на рис. 2.8.

По существу данная схема JK -триггеров преобразована в триггеры D -типа путем включения между входами J и K , R и S дополнительных инверторов.

Следует отметить, что при проектировании реверсивных СР применение $C_{L\bar{F}}D$ -триггеров оказывается наиболее эффективным, поскольку примерно в 2 раза сокращается объем логики управления по сравнению с аналогичными СР на триггерах RS - и JK -типов.

Режим параллельной записи кода в регистр осуществляется при $V_2 = 1$; $V_1 = C = 0$, режим параллельного вывода кода числа при $V_1 = 1$; $V_2 = C = 0$ и, наконец, режим последовательного ввода и вывода информации при $V_2 = V_1 = 0$ и наличии ТИ сдвига, т.е. при $C = 1$.

Сдвиг информации вправо осуществляется со стороны старших разрядов в сторону младших разрядов. Сдвиг влево (в сторону старших разрядов) осуществляется аналогично с той лишь разницей, что входная информация на последующий триггер передается с выхода младшего разряда, расположенного правее i -го разряда.

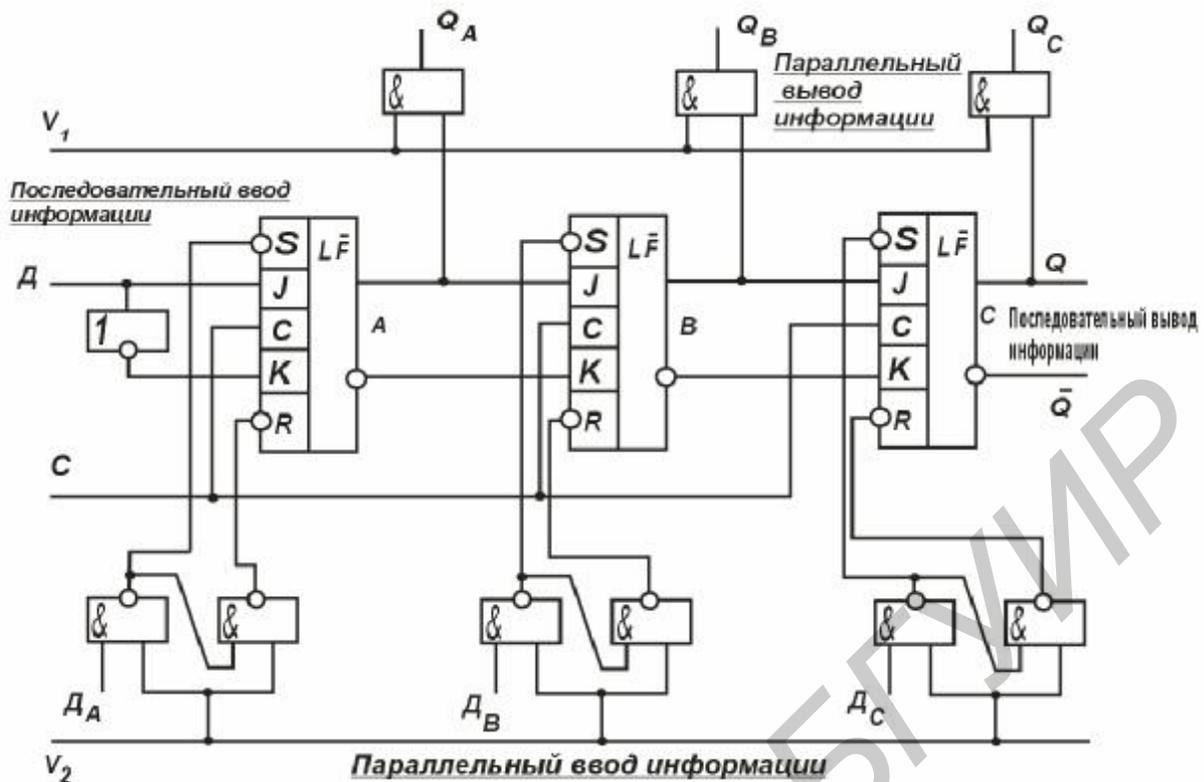


Рис. 2.8. Схема реверсивного СР на триггерах С_{LF}JK -типа с параллельным вводом и выводом информации

В стандартные серии цифровых микросхем входит несколько типов СР, отличающихся возможными режимами работы, режимами записи, чтения, сдвига, а также *типом выходных каскадов (2С или 3С)*. Существуют *три* разновидности выходных каскадов ИМС, существенно различающихся как по своим характеристикам, так и по областям применения (рис. 2.9):

- 1) стандартный выход или выход с двумя состояниями (обозначается 2С или 2S – рис. 2.9, а);
- 2) выход с открытым коллектором (обозначается ОК, ОС – рис. 2.9, б);
- 3) выход с тремя состояниями или (что то же самое) с возможностью отключения (обозначается 3С, 3S – рис. 2.9, в).

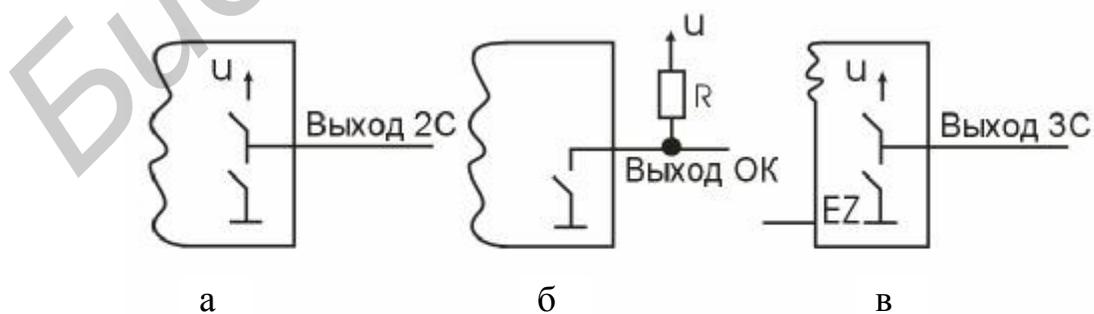


Рис. 2.9. Типы выходных каскадов ИМС: выход 2С (а), выход ОК (б), выход 3С (в)

Стандартный выход 2С имеет всего два состояния: логический нуль и логическую единицу, причем оба этих состояния активны, то есть выходные токи в обоих состояниях могут достигать заметных величин.

Выход с открытым коллектором ОК тоже имеет два возможных состояния, но только одно из них (состояние логического нуля) активно, то есть обеспечивает большой втекающий ток. Второе состояние сводится, по сути, к тому, что выход полностью отключается от присоединенных к нему входов. Это состояние может использоваться в качестве логической единицы, но для этого между выходом ОК и напряжением питания необходимо подключить нагрузочный резистор R величиной порядка сотен ом. Замкнутому состоянию соответствует сигнал логического нуля, а разомкнутому – отключенное, пассивное состояние.

Выход с тремя состояниями 3С очень похож на стандартный выход, но к двум состояниям добавляется еще и третье – пассивное, в котором выход можно считать отключенным от последующей схемы. Переключатели могут замыкаться по очереди, давая логический нуль и логическую единицу, но могут и размыкаться одновременно. Это третье состояние называется также высокоимпедансным, или Z-состоянием. Для перевода выхода в третье Z-состояние используется специальный управляющий вход, обозначаемый EZ (Enable Z-state – разрешение Z-состояния, или третьего состояния), иногда OE (Output Enable – разрешение выхода).

На ИМС выход 3С обозначается значком \diamond , а выход ОК значком \square .

Большинство СР имеет восемь разрядов. На рис. 2.10 представлены четыре типа микросхем СР.

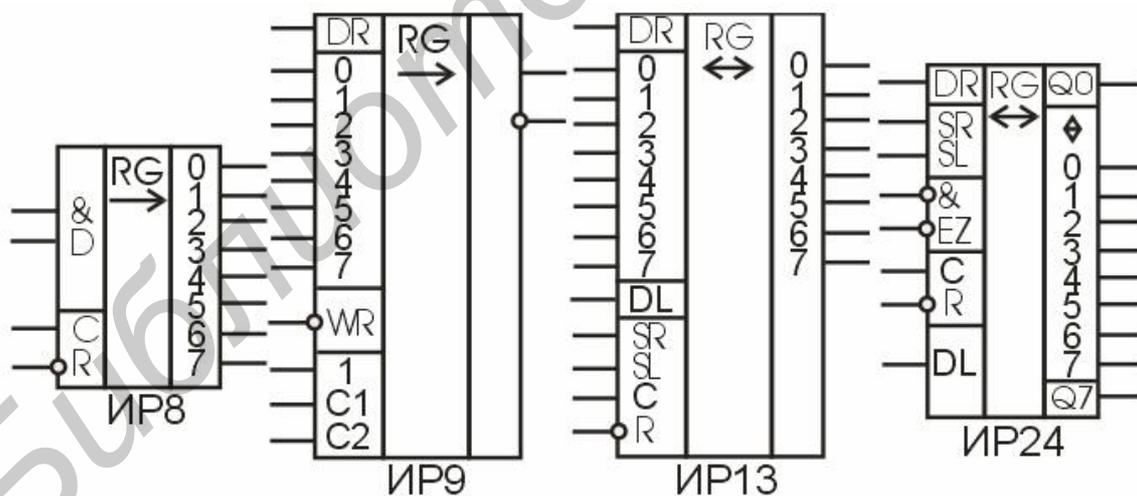


Рис. 2.10. Сдвигающие регистры

Регистр ИР8 – наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвиговая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выхо-

дов. Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала C . Имеется также вход сброса \overline{R} , по нулевому сигналу на котором все выходы регистра сбрасываются в нуль.

Регистр ИР9 выполняет функцию, обратную регистру ИР8. Если ИР8 преобразует входную последовательную информацию в выходную параллельную, то регистр ИР9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в регистре ИР9 все внутренние триггеры имеют выведенные параллельные входы, только один, последний триггер имеет выход (причем как прямой, так и инверсный).

Запись входного кода в регистр производится по нулевому сигналу на входе \overline{WR} . Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов $C1$ и $C2$, объединенных по функции 2 ИЛИ. Имеется также вход расширения DR , сигнал с которого в режиме сдвига перезаписывается в младший разряд CP . Таблица истинности регистра ИР9 приведена в табл. 2.1.

Таблица 2.1

Входы			Функция
\overline{WR}	$C1$	$C2$	
0	X	X	Параллельная запись
1	1	X	Хранение
1	X	1	Хранение
1	0	$0 \rightarrow 1$	Сдвиг
1	$0 \rightarrow 1$	0	Сдвиг

Как и все остальные CP , регистры ИР8 и ИР9 допускают каскадирование, то есть совместное включение для увеличения разрядности.

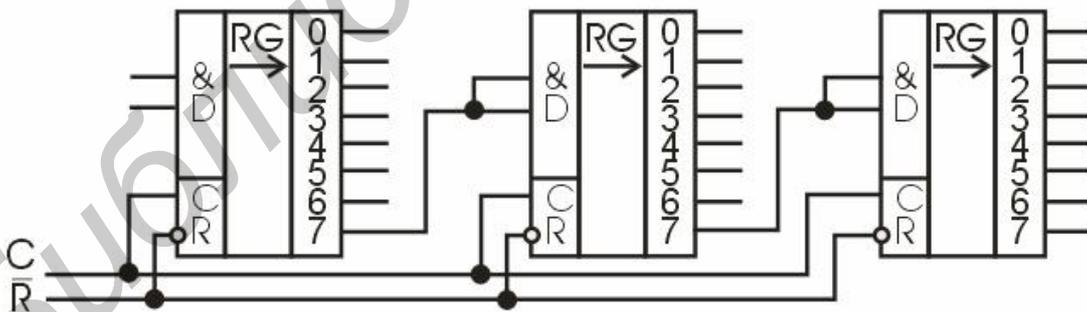


Рис. 2.11. Соединение регистров ИР8 для увеличения разрядности

На рис. 2.11 показано объединение трех регистров ИР8, а на рис. 2.12 – совместное включение трех регистров ИР9. В обоих случаях в результате объединения получается 24-разрядный сдвиговый регистр. При этом увеличение разрядности не приводит к увеличению задержки сдвига, так как тактовые входы всех используемых регистров объединяются параллельно.

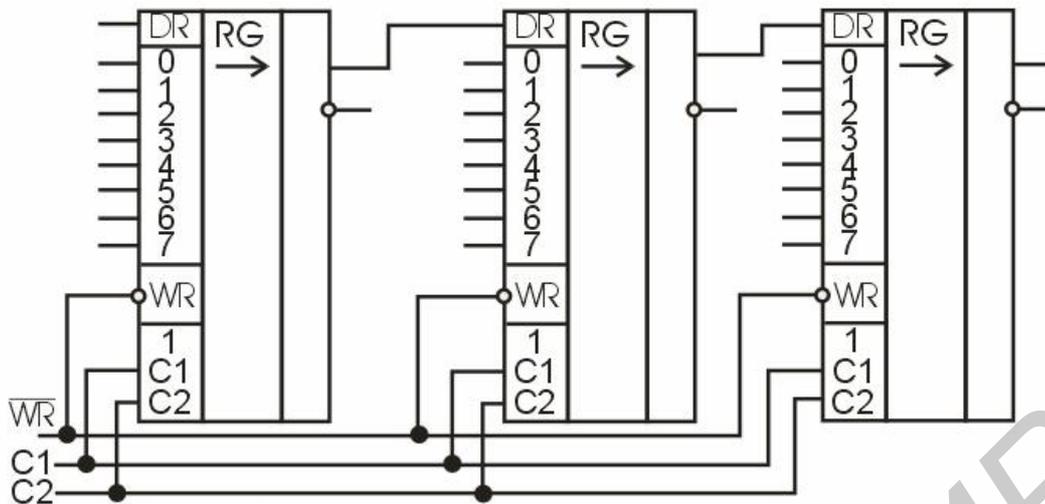


Рис. 2.12. Соединение регистров IP9 для увеличения разрядности

В случае регистров IP8 входной последовательный код преобразуется в 24-разрядный выходной параллельный код. В случае регистров IP9 входной 24-разрядный параллельный код преобразуется в выходной последовательный код.

Регистр IP13 соединяет в себе возможности регистров IP8 и IP9. Он имеет как восемь входов для параллельной записи, так и соответствующие им восемь выходов параллельной информации. Сдвиг осуществляется по положительному фронту тактового сигнала С, причем сдвиг возможен как в сторону старших разрядов, так и в сторону младших разрядов. Для наращивания разрядности у регистра IP13 имеются последовательные информационные входы DR и DL, сигналы с которых вводятся соответственно в младший и старший разряды. Предусмотрен сброс всех выходов регистра в нуль по нулевому сигналу на входе \bar{R} .

Режим работы регистра IP13 определяется двумя управляющими входами SR и SL.

При единице на входе SR и нуле на входе SL по фронту сигнала С происходит сдвиг в сторону старших разрядов.

При SR = 0 и SL = 1 по фронту сигнала С происходит сдвиг в сторону младших разрядов.

При обоих единичных сигналах на входах SR и SL (т.е. при SR = SL = 1) по фронту сигнала С происходит параллельная загрузка информации в регистр. Это видно из таблицы истинности регистра IP13 (табл. 2.2).

Таблица 2.2

Входы				Функция
C	\bar{R}	SR	SL	
X	0	X	X	Сброс
0 → 1	1	1	0	Сдвиг вправо
0 → 1	1	0	1	Сдвиг влево
0 → 1	1	0	0	Хранение
0 → 1	1	1	1	Параллельная запись

Следует отметить, что регистр ИР13 применяется гораздо реже, чем более простые регистры ИР8 и ИР9, поскольку задач, для решения которых нужны были бы все возможности регистра ИР13, не так уж много, а управление работой регистра ИР13 довольно сложное.

И, наконец, СР ИР24. По своим возможностям он близок к ИР13, однако, его главной особенностью является двунаправленная параллельная шина данных. То есть одни и те же выходы микросхемы используются как для параллельной записи информации в регистр, так и для параллельного чтения информации из регистра. При этом двунаправленные выходы данных имеют повышенную нагрузочную способность. Это позволяет легко сопрягать регистр ИР24 с многоразрядными микросхемами памяти и двунаправленными буферами. Поэтому применяется данный регистр чаще, чем ИР13.

Регистр ИР24 обеспечивает сдвиг информации в обоих направлениях. Имеются входы расширения DR и DL, а также выходы расширения Q0 и Q7, что позволяет легко наращивать разрядность. Отличие выходов Q0 и Q7 от нулевого и седьмого разрядов данных состоит в том, что Q0 и Q7 – однонаправленные, то есть в любом режиме работы выдают информацию с выходов внутренних триггеров младшего и старшего разрядов.

Тактируется регистр положительным фронтом сигнала С. Предусмотрен сброс регистра нулевым сигналом на входе \bar{R} .

Режим работы микросхемы определяется сигналами на управляющих входах SR и SL.

При $SR = 1$ и $SL = 0$ по положительному фронту сигнала С происходит сдвиг информации вправо (в сторону разрядов с большими номерами). Запись в разряд 0 (нуля) производится при этом со входа расширения DR.

При $SR = 0$ и $SL = 1$ по положительному фронту сигнала С происходит сдвиг информации влево (в сторону разрядов с меньшими номерами). Запись в разряд 7 производится при этом со входа расширения DL.

При $SR = SL = 0$ (т.е. при обоих нулях на входах) регистр переходит в режим хранения. Во всех этих случаях разряды данных работают как вход или как выход в зависимости от сигналов \bar{EZ} .

При $SR = SL = 1$ (т.е. при обеих единицах на входах) по положительному фронту С в регистр записывается параллельный код, причем разряды данных переходят в состояние приема независимо от сигналов \bar{EZ} . Таблица истинности регистра ИР24 приведена в табл. 2.3.

Таблица 2.3

Входы				Функция
\bar{R}	С	SR	SL	
0	X	X	X	Сброс
1	$0 \rightarrow 1$	1	0	Сдвиг вправо
1	$0 \rightarrow 1$	0	1	Сдвиг влево
1	$0 \rightarrow 1$	1	1	Параллельная запись
1	X	0	0	Хранение

Объединяя два регистра ИР24, легко получить 16-разрядный СР с сохранением всех возможностей одной ИМС (рис. 2.13). Аналогично можно объединить и большее количество микросхем.

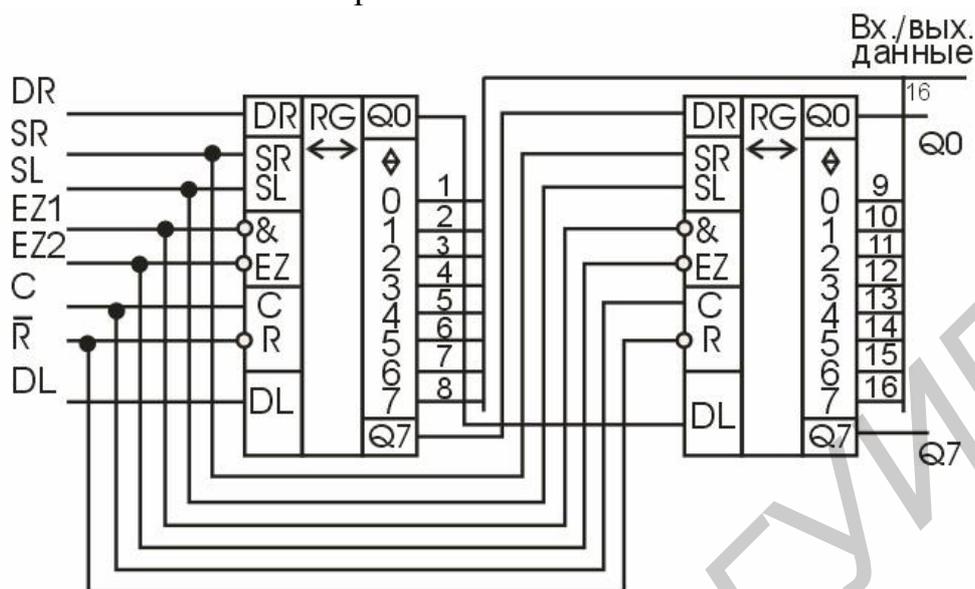


Рис. 2.13. Объединение регистров ИР24 для увеличения разрядности

Главное применение всех регистров сдвига состоит в преобразовании параллельного кода в последовательный и наоборот. Такое преобразование используется, например, при передаче информации на большие расстояния (в информационных сетях), при записи информации на магнитные носители, при работе с телевизионными мониторами и с видеокамерами, а также во многих других случаях.

Следующее применение СР состоит в организации всевозможных линий задержек, особенно имеющих значительное количество каскадов. С помощью СР можно обеспечить задержку любого входного сигнала на целое число тактов. Правда, надо учитывать, что длительность входного сигнала (и любого его элемента) будет также передаваться по линии задержки с точностью до одного такта. Такие линии задержки могут применяться для сравнения нескольких последующих тактов входного сигнала, для выполнения арифметических операций с несколькими тактами входного сигнала и для других подобных целей. Работа линии задержки на СР иллюстрируется на рис. 2.14.

СР могут также применяться для формирования импульсов заданной длительности, причем длительность импульса может задаваться управляющим кодом, то есть быть программно управляемой.

С помощью СР можно также умножать и делить двоичные числа на 2^n , где n – целое число, большее нуля. Сдвиг двоичного числа вправо (в сторону младших разрядов) на один разряд равносильен делению на 2. Сдвиг двоичного числа влево (в сторону старших разрядов) на один разряд равносильен умножению на 2. Для того чтобы СР умножал и делил двоичный код, надо всего лишь записать этот код в регистр и сдвинуть его нужное количество раз вправо или влево.

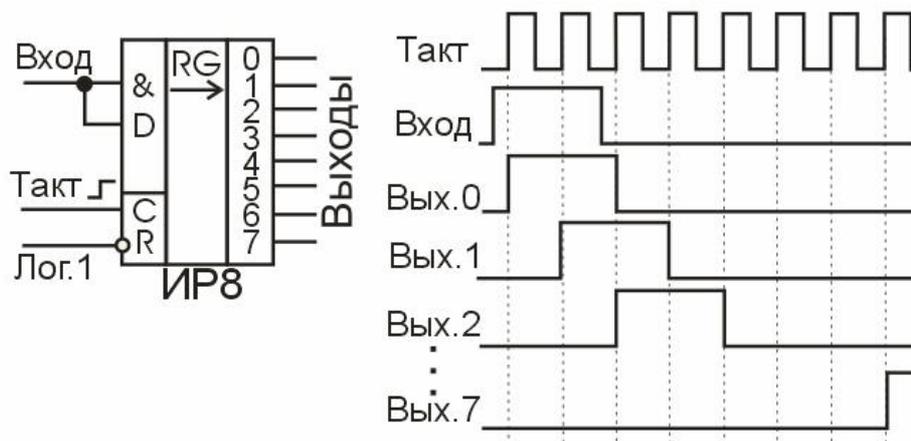


Рис. 2.14. Линия задержки входного сигнала на СР

Наиболее удобен для этого регистр ИР13. При этом необходимо, чтобы в освободившиеся разряды вводились нули, то есть на входы расширения DR и DL регистра нужно подать нулевые сигналы.

И, наконец, СР можно применить при проектировании генераторов случайной последовательности сигналов или случайных последовательных кодов.

Строго говоря, последовательности будут не полностью случайные, а квазислучайные, то есть будут периодически повторяться, но период этот довольно большой. Случайные последовательности сигналов и кодов широко применяются в тестирующей аппаратуре, в генераторах шума, в логических игровых устройствах.

Задача состоит в том, чтобы выходной сигнал или код менял свое состояние случайно (или почти случайно). Сигнал должен случайно переключаться из 0 в 1 и из 1 в 0, а код должен случайно принимать значения из диапазона от 0 до $(2^N - 1)$, где N – число разрядов кода (например от 0 до 255 при 8-разрядном коде). Псевдослучайные последовательности имеют то преимущество перед истинно случайными, что они предсказуемые и периодические, но в этом же и их недостаток.

Глава 3. Счетчики

3.1. Общие сведения

Подсчет импульсов является одной из наиболее распространенных операций, выполняемых в устройствах дискретной обработки информации. Такая операция в цифровых устройствах выполняется с помощью счетчиков. На схемах счетчики обозначаются буквами СТ. В отечественных сериях микросхем счетчикам соответствуют буквы ИЕ (условное обозначение). В общем случае счетчик представляет собой устройство, которое может переходить из одного состояния в другое под действием входных импульсов, подлежащих счету.

Счетчики представляют более высокий, чем регистры, уровень сложности цифровых микросхем, имеющих внутреннюю память. Хотя в основе любого счетчика лежат те же самые триггеры, которые образуют и регистры, но в счетчиках триггеры соединены более сложными связями, в результате чего их

функции сложнее, и на их основе можно строить более сложные устройства, чем на регистрах. Точно так же, как и в случаях регистров, внутренняя память счетчиков – оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы. С выключением питания память стирается, а при новом включении питания схемы содержимое памяти будет произвольным, случайным, зависящим только от конкретной микросхемы, то есть выходные сигналы счетчиков будут произвольными [3].

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается или уменьшается на единицу (рис. 3.1). Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту входного сигнала. Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют как раз выходы этих триггеров.

Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, – старшим. Счетчик может работать на увеличение выходного кода по каждому входному импульсу, это *основной режим*, имеющийся во всех счетчиках, он называется режимом *прямого счета*. Счетчик может также работать на уменьшение выходного кода по каждому входному импульсу, это режим обратного или инверсного счета, предусмотренный в счетчиках, называемых реверсивными.

Из сказанного следует, что если счетчик должен считать до 10, то он обязан иметь как минимум 10 различных состояний. При этом каждый 10-й импульс должен возвращать счетчик в исходное состояние, которое в принципе может быть любым из них. *Число состояний*, которое счетчик должен иметь для подсчета заданного числа импульсов, обычно называют *коэффициентом счета*, или *модулем счета счетчика* и обозначают соответственно $K_{сч}$ и M . Примером простейшего счетчика может служить счетный триггер, осуществляющий подсчет сигналов по модулю $M = 2$, так как он имеет два состояния 0 и 1, принимаемые им поочередно под действием входных сигналов. Таким образом, задача проектирования счетчиков сводится к разработке цифрового устройства, которое имело бы как минимум равное заданному модулю M число устойчивых состояний и последовательно переходило из одного состояния в другое под действием поступающих импульсов.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до $(2^N - 1)$, где N – число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный – от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 1111К1.

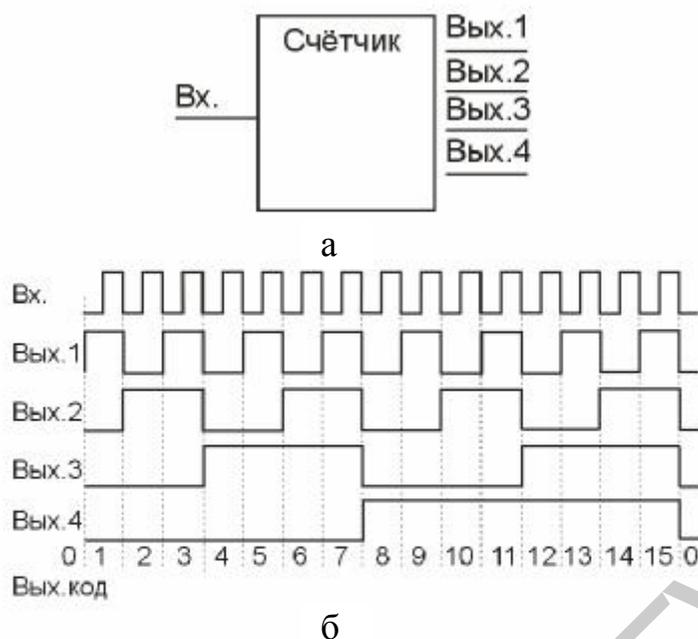


Рис. 3.1. Работа 4-разрядного двоичного счётчика:
а – функциональное обозначение;
б – диаграмма его работы

Имеются также двоично-десятичные счетчики, предельный код на выходе которых не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов.

Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода, но применяются они гораздо реже обычных двоичных счетчиков.

Наиболее часто счетчики работают в двоичном, двоично-десятичном, единичном и других кодах.

3.2. Классификация счетчиков

Любой тип счетчика, многообразие которых в основном определяется способом кодирования состояний и порядком их чередования, может быть спроектирован на основе триггеров C_tRS -; C_tD -; C_tJK -типов (индекс t обозначает, что триггер работает в режиме с внутренней задержкой), реализованных на базе триггеров видов $L\bar{F}$, $\bar{L}F$, f , \bar{f} , F , \bar{F} , \bar{F}_1 . Однако в некоторых случаях и особенно для счетчиков со специальными кодами при их проектировании широко применяются сдвигающие регистры, многостабильные пересчетные схемы (МПС) и специальные кольцевые схемы, выполняемые на простых тактируемых триггерах. А это по существу представляет собой классификацию счетчиков по способу их структурной реализации [7].

Таблица 3.1

Структурная реализация	Способ кодирования	Целевое назначение	Способ установки кода
На триггерах На регистрах На кольцевых схемах На многостабильных триггерах На совмещенных схемах	Двоичные Троичные Двоично-десятичные: код 8421 код 8421+3 код 2421 Специальные коды: полиномиальные код Грея код Баркера код Либау–Крейга код Котца код $\frac{1}{N}$	Суммирующие Вычитающие Реверсивные Адресные	Асинхронные Синхронные

Однако кроме отмеченного классификационного признака счетчики классифицируют еще целым рядом признаков, наиболее важные из которых приводятся в табл. 3.1.

Рассмотрим эти признаки.

Способ кодирования или представления состояний счетчика

Подсчет импульсов есть не что иное, как переход счетчика из одного состояния в другое. При заданном числе состояний счетчика такой переход может осуществляться по различным законам, которые определяются применением счетчика. Таким образом, классификация счетчиков по способу кодирования представляет собой их классификацию, определяемую выбранным законом перехода счетчика из i -го в $(i+1)$ -е состояние. В соответствии с этой классификацией различают: счетчики работающие в двоичных кодах; счетчики, работающие в кодах Грея, Либау–Крейга; Котца; единичном и других специальных непозиционных кодах. Другими словами, названия таких счетчиков даются по виду кодирования его состояний.

Целевое назначение счетчика

Этот классификационный признак предполагает конкретное использование счетчика в одном из следующих режимов:

- в режиме суммирования (суммирующие счетчики);
- в режиме вычитания (вычитающие счетчики);
- в реверсивном режиме (реверсивные счетчики, т.е. счетчики, которые могут работать в режиме суммирования или вычитания импульсов в зависимости от сигналов разрешения);
- в режиме занесения адреса и последующего счета (адресные счетчики).

Способ установки кода в счетчике

Этот классификационный признак учитывает процесс установки кодов в счетчике как функцию времени с момента поступления входного сигнала. В соответствии с этим признаком счетчики подразделяются на *синхронные* и *асинхронные*. К *синхронным* будем относить счетчики, в которых процесс установки любого нового кода происходит *одновременно* во всех разрядах, начиная с некоторого момента времени. В *асинхронных* счетчиках код устанавливается не *одновременно*, а *последовательно*.

Перечисленные классификационные признаки являются основными, поскольку присущи каждому счетчику независимо от его схемного решения. Однако кроме них счетчики могут классифицироваться рядом других признаков, например *по способу организации связей* между разрядами. При этом выбор того или иного подхода к построению счетчика определяется возможностью выполнения счетчика с минимальными АМЗ и рядом других требований при условии выполнения счетчиком функциональных параметров. К числу последних наряду с отмеченным (выше) *модулем счета счетчика* следует отнести *параметр быстродействия* ($f_{\text{СЧ max}}$). Этот параметр для всех счетчиков определяется из выражения

$$f_{\text{СЧ max}} = \frac{1}{T_{\text{СЧ min}}} = \frac{1}{\tau_{u \text{ min}} + \tau_{\text{П min}}},$$

где $T_{\text{СЧ min}}$ – минимальный период следования между двумя счетными импульсами, определяемый условием окончания в счетчике наиболее продолжительного переходного процесса, связанного с установлением кода;

$\tau_{u \text{ min}}$ – минимальная длительность счетного импульса;

$\tau_{\text{П min}}$ – минимальная длительность паузы между двумя счетными импульсами.

3.3. Счетчики на основе триггерных устройств

На основе триггерных устройств и, в частности, на триггерах Т-типов строится наиболее распространенный класс счетчиков, а именно класс *двоичных* счетчиков. Двоичными они называются потому, что число поступивших на вход счетчика импульсов представляется в счетчике эквивалентным числом в двоичной системе счисления. Так, например, если на вход счетчика было подано девять импульсов, то в счетчике должен быть зафиксирован *код 1001*, соответствующий числу 9, представленному в двоичной системе счисления. Из примера ясно, что подобный счетчик должен иметь разрядную структуру, состоящую из *четырёх* разрядов, каждый из которых может находиться в состоянии либо 0, либо 1. В общем случае в таком счетчике *число* поступивших на его вход *импульсов* $K_{\text{И}}$ определяется из выражения

$$K_{И} = \sum_{i=0}^n a_i \cdot 2^i, \quad (3.1)$$

где a_i – состояние i -го разряда счетчика: $a \in \{0,1\}$;

2^i – вес i -го разряда счетчика или число, которое ставится в соответствие каждому разряду счетчика ($i=0,1,2,3,\dots,n$). В рассматриваемом примере счетчик содержит *четыре* разряда (нулевой, первый, второй и третий), поскольку согласно выражению (3.1) число 9 можно записать следующим образом:

$$9_{10} = 1001_2 = 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0.$$

Причем *вес* нулевого разряда *эквивалентен* одному импульсу, вес первого разряда двум, вес второго и третьего разрядов – четырем и восьми импульсам соответственно.

Для того чтобы счетчик, имеющий разрядную структуру, осуществлял подсчет импульсов, его разряды должны быть определенным образом соединены. В свою очередь, *способ соединения разрядов* является одним из дополнительных признаков, по которому классифицируют счетчики. В соответствии с этим признаком различают счетчики:

- с непосредственными межразрядными связями;
- со связью по цепям межразрядного переноса (счетчики с переносом);
- с комбинированными связями.

Все перечисленные разновидности счетчиков находят практическое применение при проектировании цифровых устройств. При этом выбор наиболее эффективного способа построения двоичного счетчика определяется в основном требованиями *быстродействия* и его конкретным назначением.

3.3.1. Счетчики с непосредственными связями

В счетчиках с непосредственными связями управляющими сигналами для последующих разрядов счетчика являются потенциальные сигналы с информационных выходов предыдущих разрядов. Этот способ соединения разрядов наиболее наглядно отражает специфику построения счетчиков на основе ИМС, так как он свойственен только потенциальной схмотехнике. В зависимости от способа соединения разрядных триггеров счетчики с непосредственными связями подразделяют на *последовательные, параллельные и параллельно-последовательные*.

Последовательные счетчики с непосредственными связями

Схема такого счетчика, построенного на триггерах вида $T_{\bar{F}}$, приведена на рис. 3.2. Счетчик выполняется так, что выход плеча Q i -го разряда подключен непосредственно к счетному входу следующего $(i+1)$ -го разряда. Рассмотрим работу устройства, предположив, что *все разряды* счетчика выполнены по способу М-S. Пусть счетчик находится в состоянии 0 ($Q_1 = Q_2 = Q_3 = 0$). При поступлении первого счетного импульса ($T_{СЧ} = 1$) основной триггер М первого разряда устанавливается в состояние 1, а его вспомогательный триггер продол-

жает оставаться в 0. После окончания первого счетного импульса ($T_{\text{СЧ}} = 0$) на выходе первого разряда устанавливается уровень 1 ($Q_1 = 1$), который, поступив на счетный вход второго разряда, переключит его основной триггер в состояние 1. При этом состояние вспомогательного второго разряда и состояние основных триггеров всех последующих разрядов не изменится. После окончания второго счетного импульса ($T_{\text{СЧ}} = 0$) первый разряд установится в исходное состояние $Q_1 = 0$, и тем самым будет разрешена передача информации из триггера М в S второго разряда. В результате второй разряд устанавливается в состояние $Q_2 = 1$ и подготовит к переключению в состояние 1 основной триггер третьего разряда счетчика и т.д. После седьмого импульса (см. рис. 3.2, б) все разряды счетчика установятся в состояние 1. Восьмым импульсом (с задержкой τ_t после его окончания) сначала сформируется уровень 0 на выходе первого разряда. Затем через интервалы времени τ_t и $2\tau_t$ последовательно установятся уровни 0 на выходах второго и третьего разрядов, и счетчик вернется в исходное состояние ($Q_1 = Q_2 = Q_3 = 0$). Поскольку код в счетчике устанавливается последовательно, то такой счетчик относится к разряду асинхронных. Поэтому точнее данный счетчик следует назвать асинхронным последовательным счетчиком с непосредственными связями. Быстродействие такого счетчика

$$f_{\text{СЧ}} = \frac{1}{\tau_u + t_{\text{уст}}}, \quad (3.2)$$

где $t_{\text{уст}}$ – время установки кода в счетчике.

Для схемы на рис. 3.2 параметр $t_{\text{уст}}$ зависит от числа его разрядов n :

$$t_{\text{уст max}} = n \cdot \tau_t,$$

учитывающего максимальную продолжительность переходных процессов. С учетом выражения (3.2) получим

$$f_{\text{СЧ max}} = \frac{1}{\tau_{u \text{ min}} + n \cdot \tau_t},$$

где $\tau_{u \text{ min}}$ – минимальная длительность счетного импульса.

Последовательные счетчики с *непосредственными* связями являются простейшими по схемотехнической реализации, так как не требуют дополнительных межразрядных элементов для их построения. Но вместе с тем они обладают и *наименьшим быстродействием*, что является их недостатком. К дополнительным преимуществам таких счетчиков следует отнести независимость нагрузочной способности выходов счетчика от его разрядности, малое число межразрядных связей и др. Счетчики последовательного типа с непосредственными связями получили широкое применение в цифровых устройствах *малого и среднего* быстродействия, а также при построении делителей частоты.

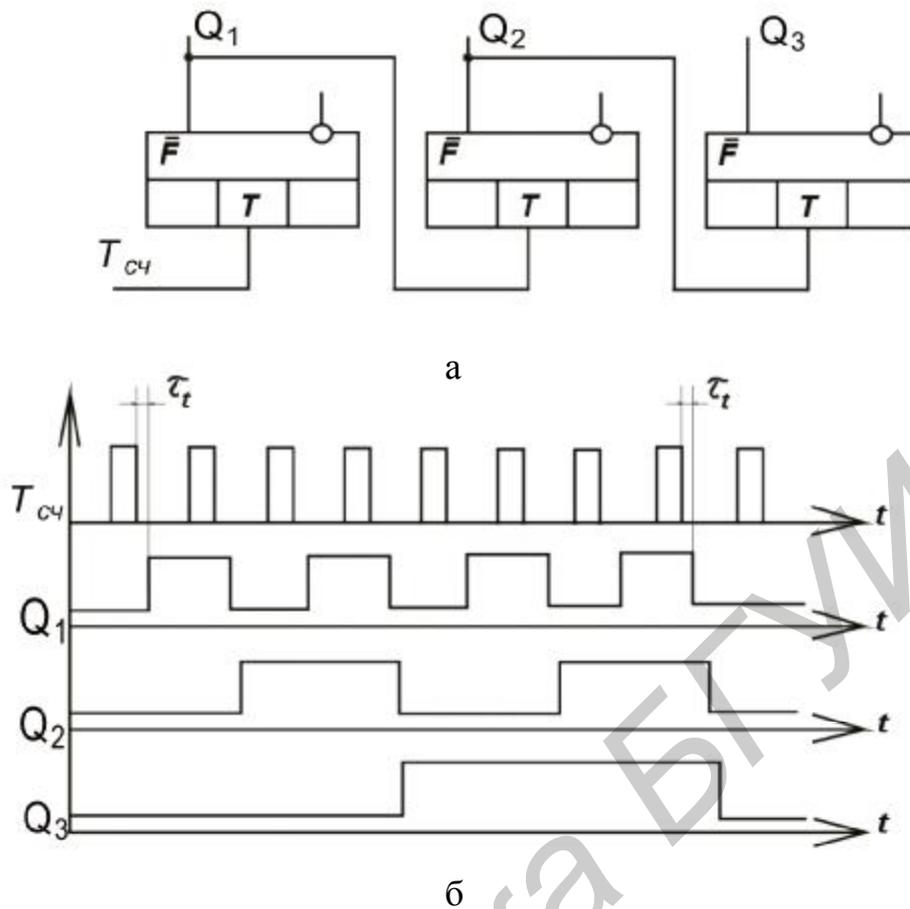


Рис. 3.2. Схема последовательного счетчика с непосредственными связями (а) и диаграмма его работы (б)

Параллельные счетчики с непосредственными связями

Параллельные (синхронные) счетчики с непосредственными связями характеризуются *одновременным* поступлением счетного импульса на входы всех разрядов счетчика и *непосредственным подключением* информационных выходов к информационным входам последующих разрядов счетчика.

При построении параллельных счетчиков с непосредственными связями применяются многовходовые триггеры в основном $C_{L\bar{F}}JK$ -типов, работающих в режиме триггера $T_{L\bar{F}}V_L$ -типа.

Пример организации такого счетчика на триггерах $C_{L\bar{F}}JK$ -типа показан на рис. 3.3.

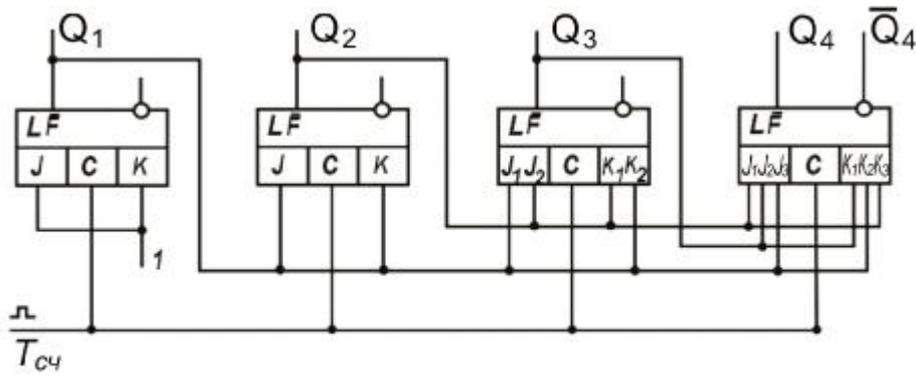


Рис. 3.3. Схема параллельного счетчика с непосредственными связями

В исходном состоянии (код 0000) только первый разряд счетчика оказывается подготовленным для работы в режиме $T_{LF}V_L$ -триггера (так как $J = K = 1$), а все остальные хранят записанную в них информацию, работая в режиме триггера $C_{LF}JK$ -типов. После окончания первого счетного импульса первый разряд установится в состояние 1 ($Q_1=1$) и тем самым для работы в режиме $T_{LF}V_L$ -триггера окажется подготовлен второй разряд счетчика. При этом третий и четвертый разряды будут продолжать работать в режиме триггеров $C_{LF}JK$ -типа. После третьего счетного импульса в счетчике установится код 11 ($Q_1 = Q_2 = 1, Q_3 = Q_4 = 0$). В результате для работы в режиме триггера TV-типа будет подготовлен третий разряд счетчика и теперь только четвертый разряд будет продолжать хранить свое нулевое состояние, работая в качестве триггера JK-типа. Поскольку связь между разрядами осуществляется без дополнительных элементов, то такие счетчики обладают максимально возможным быстродействием одного разряда счетчика:

$$f_{\max} = \frac{1}{\tau_{и} + \tau_{т}}$$

что является их основным преимуществом.

Недостатком параллельных счетчиков с непосредственными связями является необходимость применения триггеров с *числом информационных входов*, определяемым из выражения

$$m_{JK} = n - 1,$$

где n – номер разряда счетчика, начиная со второго.

Другим недостатком таких счетчиков следует считать зависимость нагрузочной способности разрядных триггеров по выходам от числа разрядов счетчика. Наиболее нагруженным здесь оказывается первый разряд счетчика. Разрядность подобных счетчиков обычно не превышает четырех, поскольку она ограничивается не только отсутствием типовых триггеров с большим числом входов, но и нагрузочной способностью элементов. Эти факторы следует учитывать при проектировании таких счетчиков.

Параллельно-последовательные счетчики с непосредственными связями

В параллельно-последовательных счетчиках все разряды разбиваются на группы и применяется два вида межразрядных связей: внутри группы – параллельная связь, а между группами – последовательная. С помощью такого соединения разрядов обеспечивается одновременное (синхронное) срабатывание разрядов в группах и последовательное (асинхронное) срабатывание между группами.

Схема четырехразрядного параллельно-последовательного счетчика на C_{LF} -JK-триггерах показана на рис. 3.4.

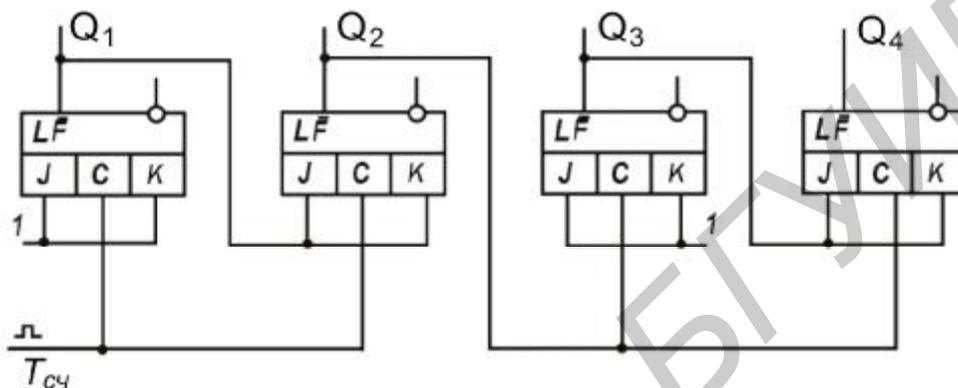


Рис. 3.4. Схема параллельно-последовательного счетчика

Счетчик разбит на две группы по два разряда в каждой. Процесс переключения разрядов в группе соответствует рассмотренной выше последовательности переключения разрядов параллельных счетчиков, а процесс срабатывания групп соответствует порядку переключения счетчиков последовательного типа.

Быстродействие параллельно-последовательного счетчика (см. рис. 3.4) рассчитывается по формуле

$$t_{уст} = n_{гр} \cdot \tau_t; \quad f_{СЧ \max} = \frac{1}{\tau_u + t_{уст}}$$

где $n_{гр}$ – число групп в счетчике.

3.4. Счетчики с переносом

В счетчиках с переносом для запуска старших разрядов используются сигналы переноса импульсного или потенциального типа, сформированные в младших разрядах. В зависимости от способа организации сигнала переноса различают счетчики с последовательным (сквозным), параллельным и параллельно-последовательным переносом.

3.4.1. Счетчики с последовательным (сквозным) переносом

Один из вариантов счетчика со сквозным переносом, выполненного на триггерах вида $T_{\bar{F}}$, показан на рис. 3.5.

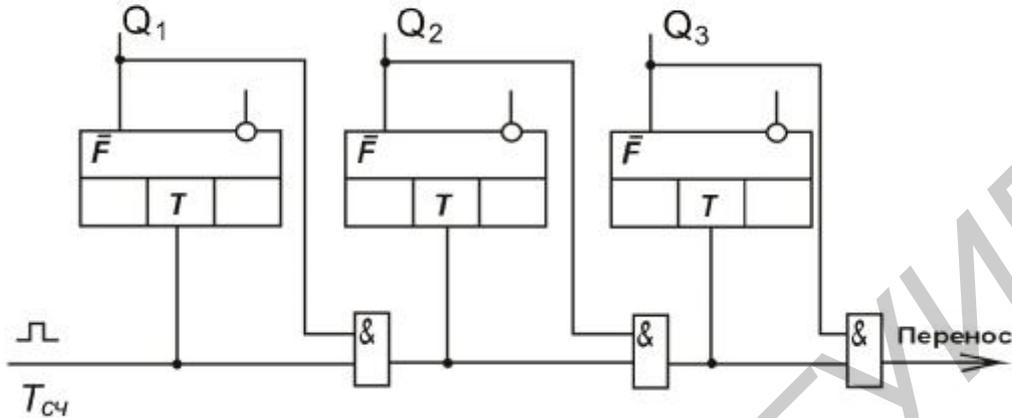


Рис. 3.5. Схема счетчика со сквозным переносом

Параметр $t_{уст}$ для такого счетчика определяется из выражения

$$t_{уст} = (n-1) \cdot \tau_{в.п} + \tau_t,$$

где $\tau_{в.п}$ – задержка формирования импульса переноса на вентиле И.

Если предположить, что $\tau_{в.п} = \tau_t$, то данное выражение можно переписать следующим образом:

$$t_{уст} = n \cdot \tau_{в.п} - \tau_{в.п} + \tau_t = n \cdot \tau_{в.п} = n \cdot \tau_t.$$

Таким образом, по сравнению с последовательными счетчиками с непосредственными связями этот счетчик будет обладать меньшим значением параметра $t_{уст}$ при условии, что $\tau_{в.п} < \tau_t$. Последнее возможно, если, например, схемы переноса выполняются на вентилях И. Если же схемы формирования импульса переноса выполняются на элементах И-НЕ, то значения параметров $t_{уст}$ сравниваемых триггеров практически будут эквивалентны.

Для счетчиков с большим $K_{сч}$ длительность счетного импульса зависит от разрядности счетчика. Среди подобных счетчиков наибольшее распространение получили счетчики со сквозным переносом сигналов потенциального типа.

В качестве примера на рис. 3.6 приведена схема подобного счетчика.

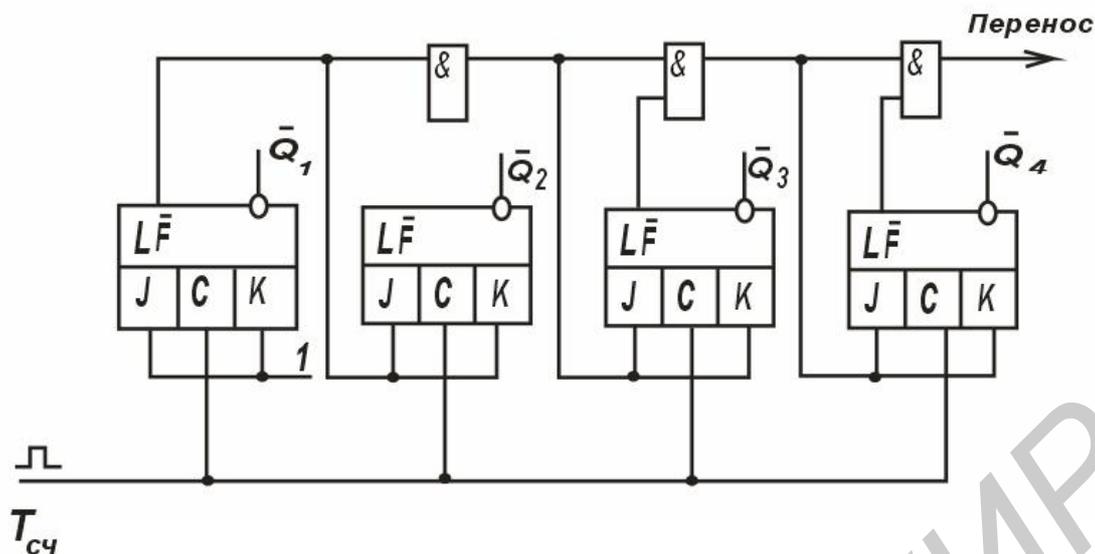


Рис. 3.6. Схема счетчика со сквозным переносом сигналов потенциального типа

Его быстродействие определяется в основном временем распространения сигнала переноса потенциального типа через цепочку из вентилях И и рассчитывается по формуле

$$f_{\text{сч}} = \frac{1}{\tau_u + (n - 2) \cdot \tau_{\text{в.п}} + \tau_t}.$$

Как видно из этого выражения, быстродействие счетчика зависит от разрядности, что является его недостатком. По способу фиксации кода счетчик относится к разряду синхронных с параметрами

$$\tau_{\text{уст}} = \tau_t; \quad t_{\text{пер}} = (n-2) \cdot \tau_{\text{в.п}},$$

где $t_{\text{пер}}$ – время распространения сигнала переноса.

К преимуществам такого построения счетчика следует отнести независимость длительности импульса счета от разрядности, постоянную и минимальную загрузку выходов триггера, а также регулярность и простоту межразрядных связей.

3.4.2. Счетчики с параллельным переносом

Счетчики с параллельным переносом характеризуются одновременным поступлением сигналов переноса на все разряды и относятся к категории наиболее быстродействующих синхронных счетчиков. Схема одного из вариантов такого счетчика показана на рис. 3.7.

Предполагается, что все разряды счетчика выполнены по способу M-S. Быстродействие счетчика определяется из выражения

$$f_{\text{сч}} = \frac{1}{\tau_u + \tau_t},$$

где $\tau_t = t_{\text{уст}}$, $t_{\text{уст}}$ – время установки счетчика.

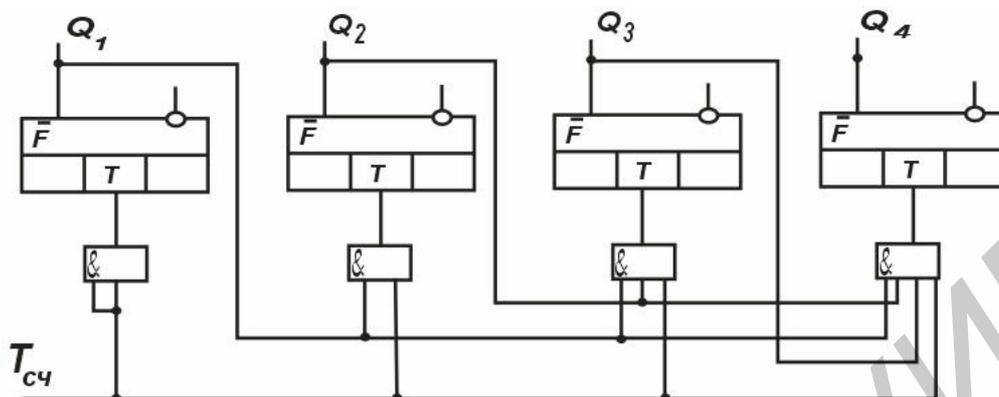


Рис. 3.7. Схема синхронного счетчика с параллельным переносом

На рис. 3.8 приведена схема счетчика с параллельным переносом сигналов потенциального типа, выполненная на $C_{L\bar{F}}JK$ -триггерах.

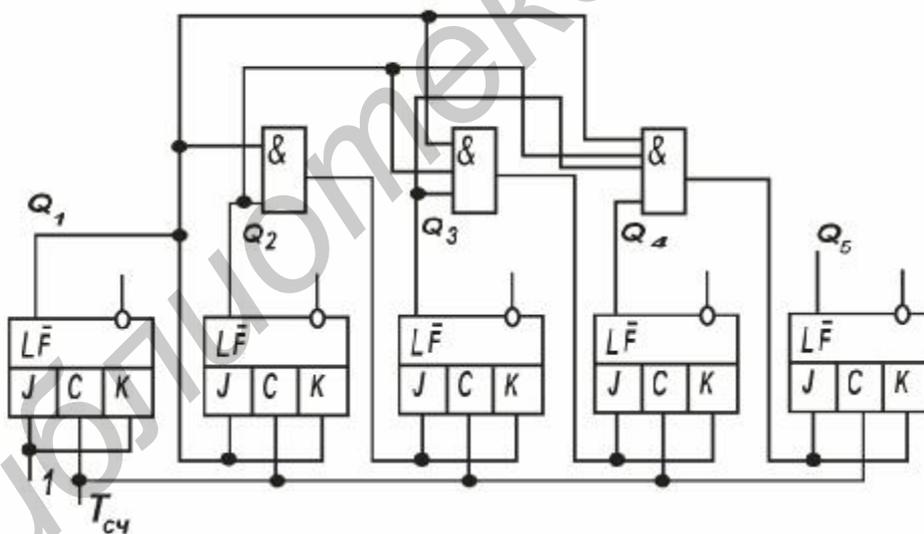


Рис. 3.8. Схема синхронного счетчика с параллельным переносом сигналов потенциального типа

Такой счетчик обладает следующими параметрами быстродействия:

$$f_{\text{сч}} = \frac{1}{\tau_u + \tau_t + \tau_{\text{пер}}}$$

Обоим счетчикам присущ тот же недостаток, что и ранее рассмотренным счетчикам с непосредственными связями, а именно, зависимость нагрузочной способности по выходам от числа разрядов и необходимость применения многоходовых элементов.

От этого недостатка свободен счетчик, схема которого представлена на рис. 3.9.

В данном счетчике организация межразрядных связей осуществляется только на двухвходовых элементах. Но несмотря на это, быстродействие счетчика не зависит от разрядности. Это объясняется тем, что выходы старших разрядов счетчика подключаются к более удаленным вентилям переноса (в данном случае вентили B_3 , B_2). Поэтому, когда происходит заполнение младших разрядов, самые удаленные вентили оказываются включенными.

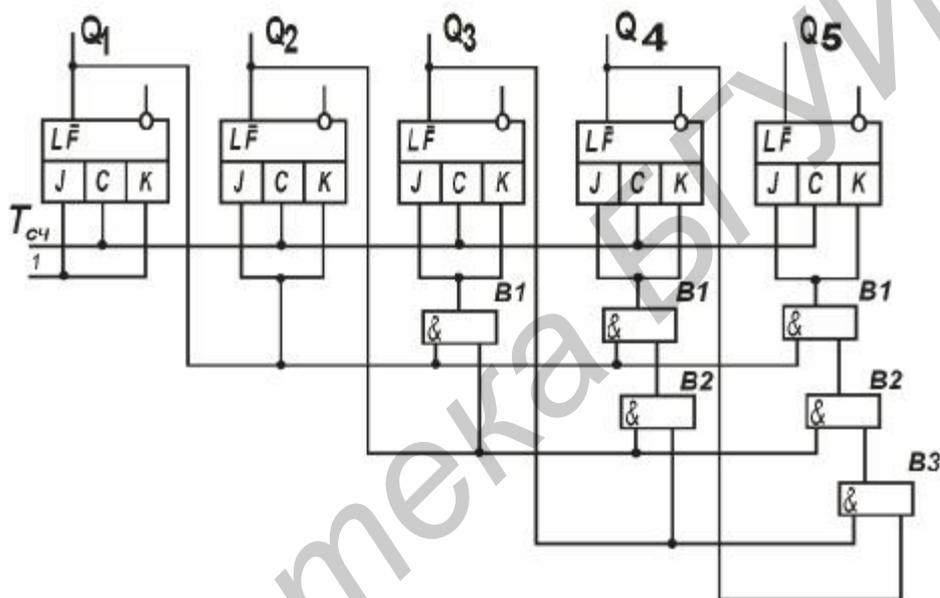


Рис. 3.9. Схема синхронного счетчика на триггерах C_{LFJK} -типа

В результате к моменту прихода $(2^n - 1)$ -го импульса на входах J и K старшего разряда будет действовать уровень 1, т.е. он окажется подготовленным к работе в режиме счетного триггера.

3.4.3. Счетчик с параллельно-последовательным переносом

В счетчиках с параллельно-последовательным переносом все разряды разбиваются на группы. Внутри каждой группы осуществляется параллельное формирование переноса, а между группами сигнал переноса распространяется последовательно. Схемы таких счетчиков, состоящих из двух групп, показаны на рис. 3.10.

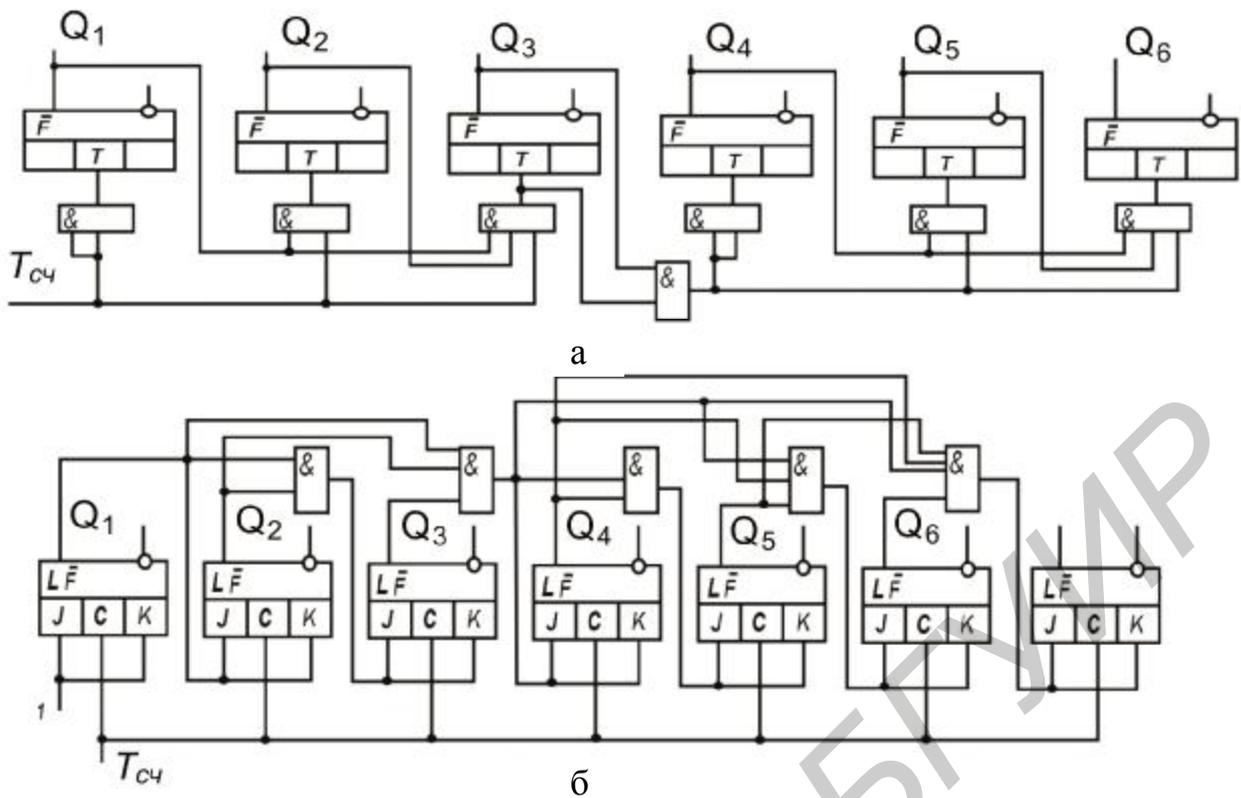


Рис. 3.10. Схемы счетчиков с параллельно-последовательным переносом:
 а – сигналов импульсного типа
 б – сигналов потенциального типа

3.5. Реверсивные счетчики

Реверсивными называют счетчики, которые могут работать в режиме суммирования и в режиме вычитания импульсов, поступающих на вход счетчика. В зависимости от требований, предъявляемых к схеме управления, реверсивные счетчики могут быть двух видов:

- с одним счетным и двумя управляющими входами;
- с двумя счетными входами.

Реверсивный счетчик первого типа осуществляет суммирование или вычитание импульсов в зависимости от разрешающего уровня на управляющих входах. При наличии сигнала разрешения операции сложения ($P_C = 1$) происходит суммирование импульсов, а при наличии сигнала разрешения операции вычитания ($P_B = 1$) – вычитание.

Одновременное действие двух разрешающих уровней исключается.

В реверсивных счетчиках второго типа по одному входу поступают импульсы для сложения, а по второму – для вычитания, т.е. для них не требуется дополнительных уровней управления.

Пример реализации счетчика первого типа с параллельным переносом представлен на рис. 3.11.

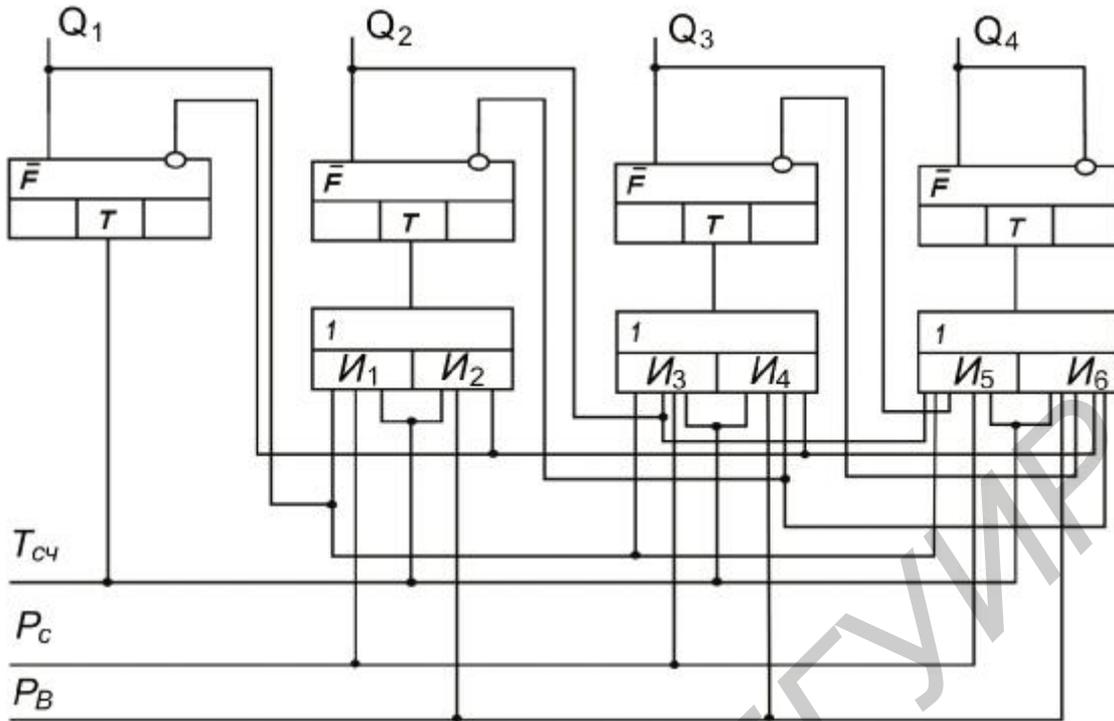


Рис. 3.11. Схема реверсивного счетчика с одним счетным и двумя управляющими входами

Рассмотрим его работу в режиме *вычитания*, чему соответствует следующее распределение уровней на шинах управления: $P_B = 1$, $P_C = 0$.

Пусть в счетчике записан код 1111, что соответствует цифре 15. В этом случае подготовленным к переключению окажется только первый триггер. В результате по окончании первого импульса в счетчике зафиксируется код 1110 ($Q_1 = 0$, $Q_2 = Q_3 = Q_4 = 1$), соответствующий цифре 14. Теперь к моменту поступления следующего импульса будет подготовлен к переключению второй разряд счетчика, так как на всех входах вентиля I_2 (кроме одного) действуют высокие уровни 1. В итоге после окончания следующего импульса в счетчике установится код 1101 ($Q_1 = 1$, $Q_2 = 0$, $Q_3 = Q_4 = 1$), соответствующий цифре 13, и т.д.

Покажем схему реверсивного счетчика со сквозным переносом, имеющую два управляющих входа (рис. 3.12).

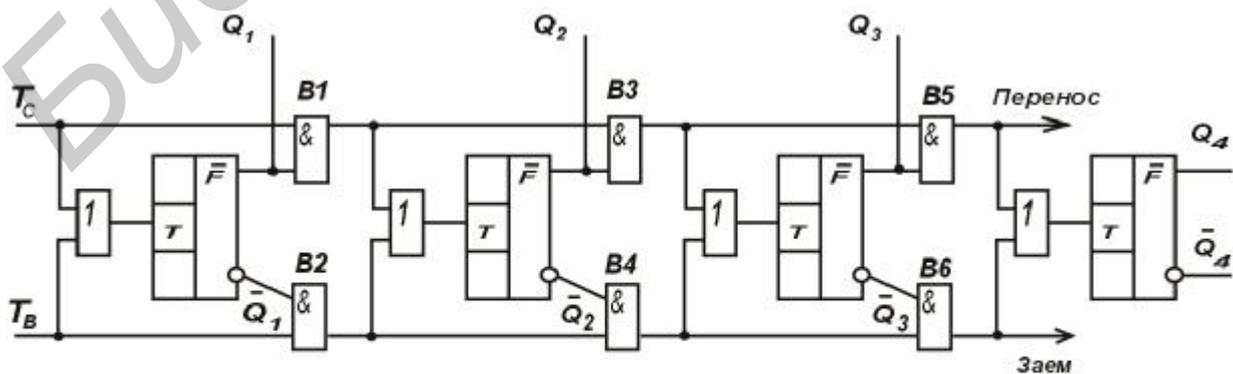


Рис. 3.12. Схема реверсивного счетчика с двумя счетными входами

В этой схеме при поступлении счетных импульсов по каналу сложения (T_C) включаются цепи формирования сигналов переноса (B_1, B_3, B_5), обеспечивающие *суммирование* импульсов. Пусть счетчик находится в состоянии 1011 ($Q_1 = Q_2 = Q_4 = 1, Q_3 = 0$). В этом случае подготовленными к включению окажутся вентили B_1 и B_3 . В итоге сигнал T_C поступит сначала на первый разряд и затем вследствие сквозного переноса пройдет через вентили B_1 и B_3 и поступит на входы второго и третьего триггеров, т.е. в счетчике установится код 1100, соответствующий числу 12 вместо исходного числа 11.

При поступлении счетных импульсов по каналу вычитания (T_B) срабатывают вентили формирования сигналов заема (B_2, B_4, B_6) и счетчик будет работать в режиме вычитания, уменьшая свои показания на 1 с приходом каждого импульса.

Кроме рассмотренных схемных решений возможны и другие способы организации реверсивных счетчиков, например, по схеме обращения кода или на основе многофункциональных триггеров, имеющих несколько информационных и тактирующих входов. Однако схемы таких счетчиков не находят практического применения ввиду их сложности.

3.6. Сдвигающие счетчики

Сдвигающие счетчики могут быть построены на основе сдвигающих регистров, регистров-сумматоров, специальных кольцевых схем.

Отличительная особенность сдвигающих счетчиков в том, что переход счетчика из одного состояния в другое осуществляется за счет сдвига информации. Сдвиг информации происходит под действием сдвигающих (счетных) импульсов, поступающих на разряды счетчика. Работу сдвигающих счетчиков рассмотрим на примере счетчиков на регистрах с перекрестными связями.

3.6.1. Счетчики на регистрах с перекрестными связями

Данный класс сдвигающих счетчиков находит широкое применение в интегральной схемотехнике, что объясняется простотой их выполнения. Основой таких счетчиков является кольцевой сдвигающий регистр, у которого имеется одна перекрестная связь, обеспечивающая инверсную перезапись информации в один из разрядов регистра при прямой перезаписи во всех остальных разрядах. При построении таких счетчиков применяются сдвигающие регистры как одноконтурного, так и многоконтурного действия.

Рассмотрим работу счетчика с $K_{сч} = 6$ на регистре с перекрестной связью, выполненном на $C_{LF}RS$ -триггерах (рис. 3.13, а).

Между вторым и первым, а также третьим и вторым разрядами выполнена прямая связь, а между первым и третьим разрядами – перекрестная. Следовательно, при поступлении счетных (сдвигающих) импульсов $T_{сч}$ на вход счетчика между вторым и первым, третьим и вторым разрядами будет происхо-

дять прямая, а между первым и третьим разрядами – инверсная перезапись информации.

Предположим, что в исходном состоянии в счетчике записан код 000 ($Q_1 = Q_2 = Q_3 = 0$). В этом случае вентили на входах R второго и первого разрядов будут открыты, а вентили на входах S будут закрыты. У третьего разряда за счет перекрестной связи будет открыт вентиль на входе S и закрыт вентиль на входе R. После окончания первого счетного импульса счетчик перейдет в состояние, соответствующее коду 100 ($Q_3 = 1, Q_2 = Q_1 = 0$).

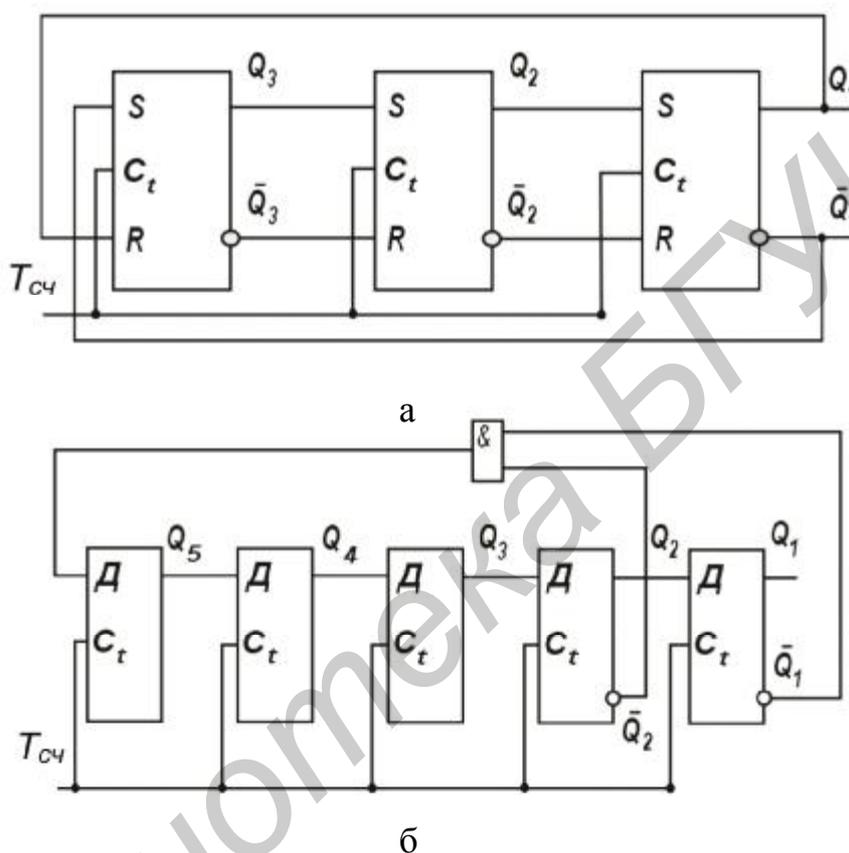


Рис. 3.13. Схемы счетчиков на регистрах с перекрестными связями:
а – $K_{сч} = 6$; б – $K_{сч} = 9$

После окончания второго счетного импульса произойдет очередной сдвиг информации на один разряд и в счетчике установится код 110. Третий счетный импульс установит счетчик в состояние 111. Четвертый импульс установит третий разряд в 0 (ноль) и подтвердит единичное состояние второго и первого разрядов (код счетчика 011). Пятый импульс установит счетчик в состояние 001. И наконец, после окончания шестого импульса счетчик установится в исходное состояние, соответствующее коду 000.

Таким образом, рассмотренная схема имеет шесть устойчивых состояний и под действием импульсов, поступающих на ее вход, последовательно переходит из одного состояния в другое, обеспечивая счет импульсов по модулю 6.

Для построения десятичного счетчика потребуется пятиразрядный кольцевой регистр с перекрестной связью, который последовательно будет прини-

мать 10 (десять) устойчивых состояний: 00000, 10000, 11000, 11100, 11110, 11111, 01111, 00111, 00011, 00001. Такие схемы имеют четные коэффициенты счета $K_{сч} = 2 \cdot N$, где N – число разрядов сдвигающего регистра. Они наиболее удобны для построения счетчиков с небольшим коэффициентом счета (от 4 до 10). Сдвигающие счетчики на основе регистров с перекрестной связью позволяют просто реализовать нечетный коэффициент счета, т.е. с $K_{сч} = 2 \cdot N - 1$.

Особенности структуры счетчиков с нечетным коэффициентом счета рассмотрим на примере счетчика с $K_{сч} = 9$, построенного на $C_{LF}D$ -триггерах (рис. 3.13, б). Нечетный коэффициент счета достигается введением дополнительного вентиля И, позволяющего исключить одно избыточное состояние. Вентиль И включен таким образом, что на первый его вход поступает уровень с инверсного выхода $\overline{Q_1}$ младшего разряда схемы, а на второй вход – уровень с инверсного выхода $\overline{Q_2}$ второго разряда счетчика. Выход вентиля И подключен ко входу пятого разряда счетчика. При поступлении счетных импульсов, начиная с исходного кода 00000, счетчик последовательно проходит состояния 10000 ($Q_5 = 1; Q_4 = Q_3 = Q_2 = Q_1 = 0$), 11000 и т.д. до кода 11110. При формировании уровня $\overline{Q_2} = 0$ закроется вентиль И, что будет эквивалентно поступлению на вход D_5 уровня 0. В результате дальнейший счет будет характеризоваться последовательностью кодов 01111, 00111, 00011, 00001, и после окончания девятого импульса счетчик установится в исходное состояние 00000.

Нетрудно обнаружить, что из десяти последовательных состояний, которые должен был принять счетчик (см. рис. 3.13, б), не имеющий вентиля И, исключено одно, соответствующее коду 11111.

Аналогично могут быть построены счетчики с любым нечетным коэффициентом счета. При этом из счетчика может быть исключено любое состояние, необязательно соответствующее коду 11111. Последнее достигается включением вентиля И между соответствующими разрядами регистров.

В общем случае однотактные счетчики с нечетным коэффициентом счета могут быть построены и без применения дополнительного вентиля И, если в распоряжении разработчика имеются C_tD -, C_tRS - или C_tJK -триггеры с несколькими информационными входами. Например, счетчик с $K_{сч} = 9$ на основе схемы рис. 3.13, б можно построить без дополнительного вентиля И, если у этой схемы пятый разряд будет иметь два информационных входа D , на один из которых будет поступать сигнал с плеча $\overline{Q_2}$, а на другой – с плеча $\overline{Q_1}$.

Достоинством счетчиков на регистрах с перекрестными связями является их высокое быстродействие и простота дешифраций состояний. Быстродействие определяется временем установки одного разряда, а дешифрация состояний осуществляется с помощью двухвходовых вентилях И.

чаются на схемах буквами DC (от англ. decoder), а микросхемы шифраторов – CD (от англ. coder) (рис. 4.1).

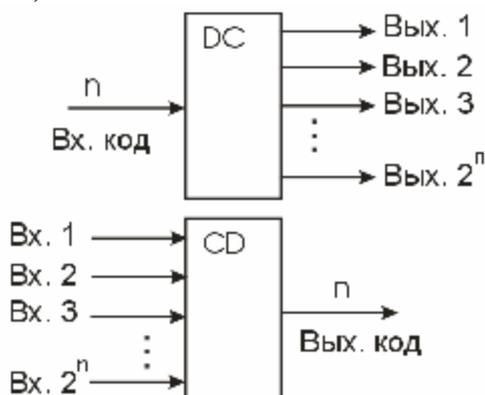


Рис. 4.1. Функции дешифратора и шифратора

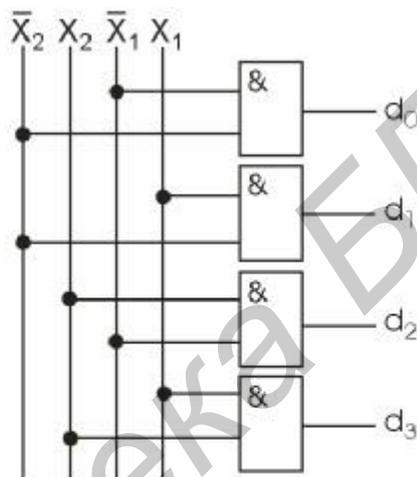


Рис. 4.2. Схема линейного дешифратора на четыре выхода

Активным всегда является только один выход дешифратора, причём номер этого выхода (и соответствующего ему сигнала) однозначно определяется входным кодом. Выходной код шифратора однозначно определяется номером входного сигнала.

Если реализовать выражение вида (4.1) без какого-либо его логического преобразования, то получим схему линейного дешифратора для двухразрядного слова с четырьмя выходами (рис. 4.2).

Выражения для функций четырёх выходов, описывающие работу линейного дешифратора, имеют вид:

$$d_0 = \overline{x_2} \cdot \overline{x_1}; \quad d_1 = \overline{x_2} \cdot x_1; \quad d_2 = x_2 \cdot \overline{x_1}; \quad d_3 = x_2 \cdot x_1.$$

Рассмотрим подробнее функцию дешифратора.

В стандартные серии входят дешифраторы на 4 выхода (2 разряда входного кода), на 8 выходов (3 разряда входного кода) и на 16 выходов (4 разряда входного кода). Различаются ИМС дешифраторов входами управления (разрешения/запрета выходных сигналов), а также типом выхода (2С или ОК). Выходные сигналы всех дешифраторов имеют отрицательную полярность. Входы, на которые поступает входной код, называют (часто) *адресными входами*. Обозначают эти входы цифрами 1, 2, 4, 8, где число соответствует весу двоичного кода

(1 – младший разряд, 2 – следующий разряд и т.д.) или А0, А1, А2, А3. В отечественных сериях микросхемы дешифраторов обозначаются буквами ИД. На рис. 4.3 показаны три наиболее типичные микросхемы дешифраторов.

Код на входах 1, 2, 4, 8 определяет номер активного выхода (вход 1 соответствует младшему разряду кода, вход 8 – старшему разряду кода). Входы разрешения С1, С2, С3 объединены по функции И и имеют полярность, указанную на рис. 4.3.

В качестве примера покажем таблицу истинности дешифратора 3–8 (ИД7) (табл. 4.1).

Существуют дешифраторы 4–10 (например ИД6), которые обрабатывают не все возможные 16 состояний входного кода, а только первые 10 из них.

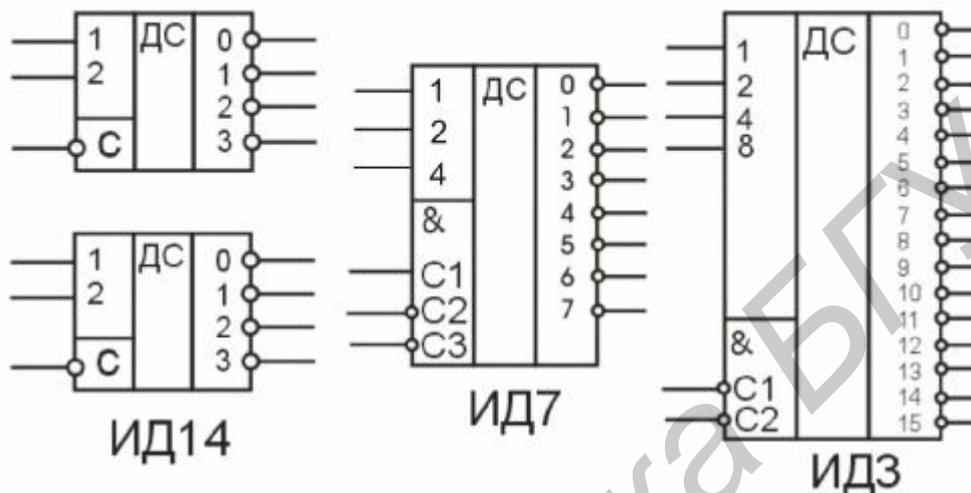


Рис. 4.3. Примеры микросхем дешифраторов

Таблица 4.1

ВХОДЫ						ВЫХОДЫ							
С1	С2	С3	4	2	1	0	1	2	3	4	5	6	7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

Первые три строки таблицы истинности соответствуют запрету выходных сигналов. Разрешением выхода будет единица на входе С1 и нули на входах С2 и С3. Символ «X» обозначает безразличное состояние данного входа (неважно, нуль или единица). Нижние восемь строк соответствуют разрешению выходных сигналов. Номер активного выхода (на котором формируется нулевой сигнал) определяется кодом на входах 1, 2, 4, причём вход 1 соответствует младшему разряду кода, а вход 4 – старшему разряду кода.

Наиболее типичное применение дешифраторов состоит именно в дешифрировании входных кодов, при этом входы С используются как стробирующие, управляющие сигналы. Номер активного (т.е. нулевого) выходного сигнала показывает, какой входной код поступил. Если нужно дешифрировать код с большим числом разрядов, то можно объединить несколько микросхем (рис. 4.4).

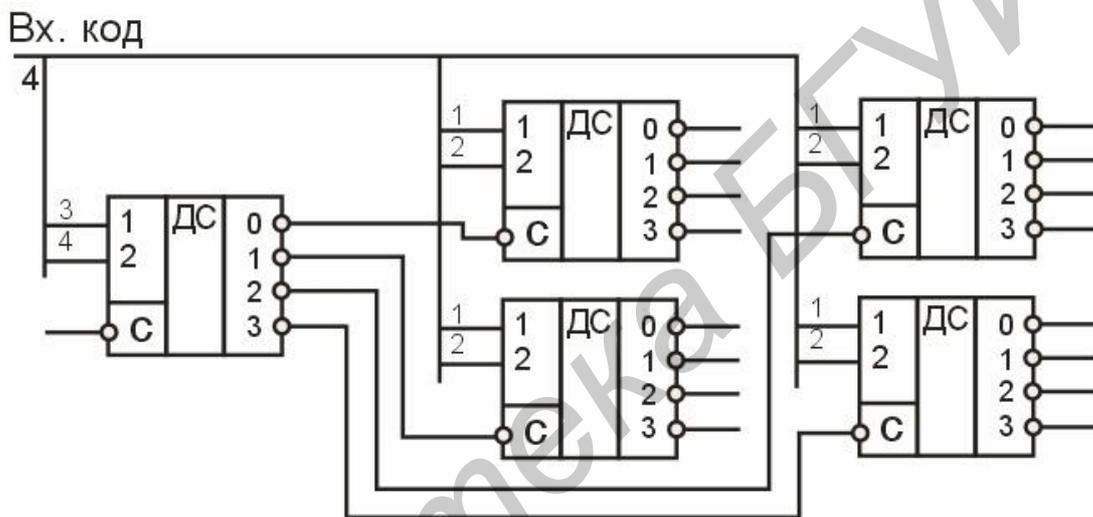


Рис. 4.4. Увеличение разрядов дешифратора

Старшие разряды кода подаются на основной дешифратор, выходы которого разрешают работу нескольких дополнительных дешифраторов. На объединенные входы этих дополнительных дешифраторов подаются младшие разряды входного кода. Используя пять микросхем дешифраторов 2–4, можно получить дешифратор 4–16 (см. рис. 4.4) (однако лучше взять готовую микросхему 4–16).

Точно так же на девяти ИМС 3–8 можно реализовать дешифратор 6–64, а на семнадцати ИМС 4–16 – дешифратор 8–256.

Ещё одно распространённое применение дешифраторов – селекция (выбор) заданных входных кодов. Появление отрицательного сигнала на выбранном выходе дешифратора будет означать поступление на вход интересующего нас кода. В данном случае увеличивать число разрядов входного селектируемого кода гораздо проще, чем в предыдущем случае (см. рис. 4.4). Например, две ИМС 4–16 позволяют селектировать 8-разрядный код (рис. 4.5).

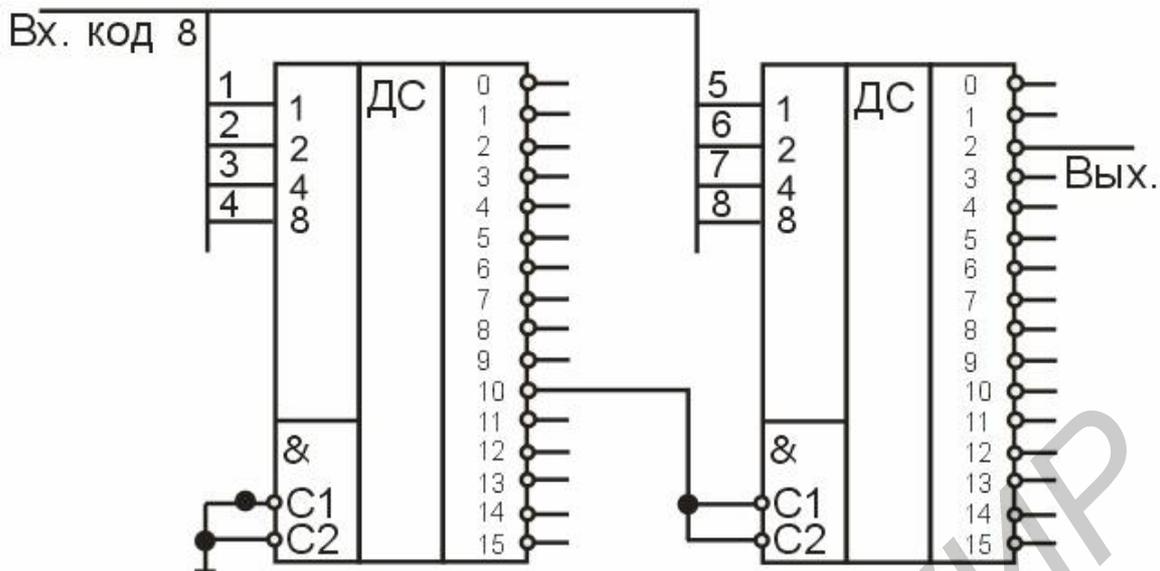


Рис. 4.5. Селектирование кода на дешифраторах

В данном примере (см. рис. 4.5) селектируется шестнадцатиричный код 2А (двоичный код 0010 1010). При этом один дешифратор работает с четырьмя младшими разрядами кода, а другой – с четырьмя старшими разрядами. Объединяются дешифраторы так, что один из них разрешает работу другого по входам $\overline{C1}$ и $\overline{C2}$. Применяя механические переключатели выходов дешифраторов (тумблеры, перемычки), можно легко изменять код, селектируемый данной схемой.

Ещё одно важное применение дешифраторов состоит в перекоммутации одного входного сигнала на несколько выходов. Или, другими словами, дешифратор в данном случае выступает в качестве демультиплексора входных сигналов, который позволяет разделить входные сигналы, приходящие в разные моменты времени, на одну входную линию (мультиплексированные сигналы). При этом входы 1, 2, 4, 8 дешифратора используются в качестве управляющих, адресных, определяющих, на какой выход переслать пришедший в данный момент входной сигнал (рис. 4.6).

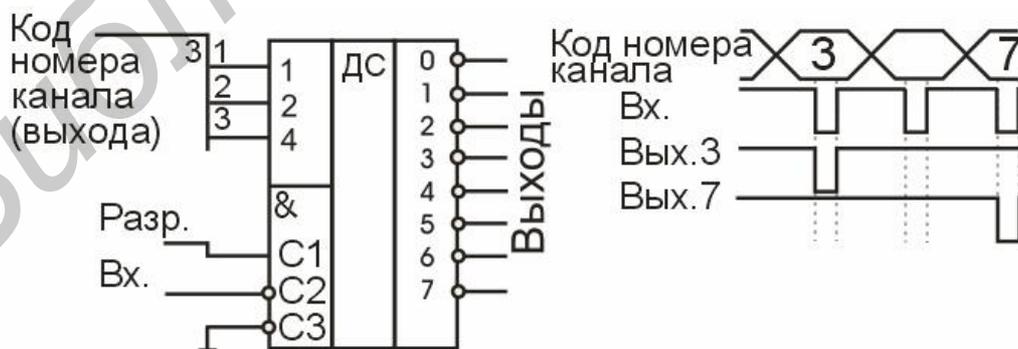


Рис. 4.6. Включение дешифратора как демультиплексора

В такой схеме сигнал подаётся на один из входов С и пересылается на заданный выход. Если у микросхемы имеется несколько стробирующих входов С,

то оставшиеся входы С можно использовать в качестве разрешающих работу дешифратора.

Как и для других цифровых микросхем, для дешифраторов наиболее критична ситуация одновременного или почти одновременного изменения входных сигналов. Например, если стробы С постоянно разрешают работу дешифратора, то в момент изменения входного кода на любом выходе дешифратора могут появиться паразитные отрицательные короткие импульсы. Это может быть связано как с неодновременным выставлением разрядов кода (из-за несовершенства микросхем источников кода или из-за разных задержек распространения по линиям связи), так и с внутренними задержками самих микросхем дешифраторов.

Для исключения таких паразитных импульсов можно применить синхронизацию с помощью стробирующих сигналов. Используемый для этого сигнал С должен начинаться после текущего изменения кода, а заканчиваться до следующего изменения кода. То есть должен быть реализован так называемый вложенный цикл. На рис. 4.7 показано, как будет выглядеть выходной сигнал дешифратора без стробирования и со стробированием.

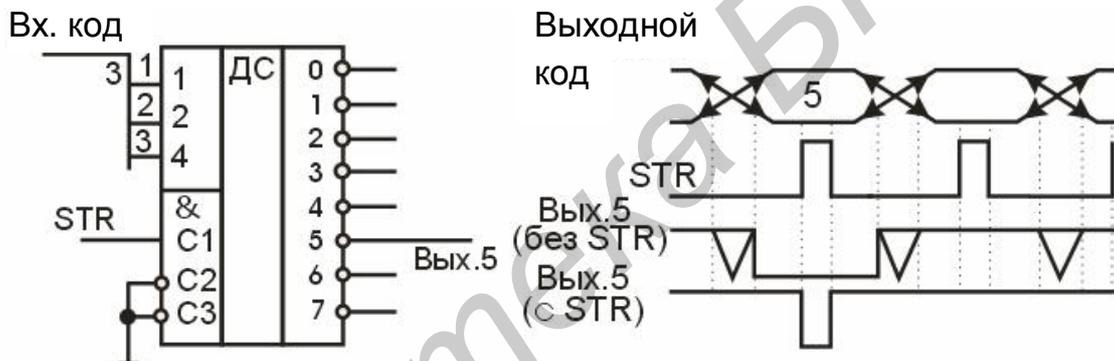


Рис. 4.7. Стробирование выходных сигналов дешифратора

В заключение отметим, что при проектировании цифровых устройств с использованием дешифраторов следует учитывать то, что задержки дешифраторов больше задержек простых логических элементов: примерно вдвое для входного кода и примерно в полтора раза для стробирующих входов. Если попытаться заменить дешифратор схемой на отдельных логических элементах, то такой дешифратор получится медленнее. (Точные величины задержек приводятся в справочниках.)

Шифраторы (или преобразователи кода) применяются гораздо реже, чем дешифраторы. Это связано с более специфической областью их применения. Значительно меньше и выбор микросхем шифраторов в стандартных сериях. В отечественных сериях шифраторы имеют в названии буквы ИВ.

Проблема преобразования (шифрации) кода часто возникает в дискретном устройстве в первую очередь по той причине, что удобство обработки информации (обычно в двоичном или двоично-десятичном коде) практически всегда усложняет проблему её отображения (у потребителя), которая в большинстве случаев должна быть наглядной и привычной, то есть десятичной.

Кроме того, существуют задачи формирования спецкодов для их защиты от сбоев.

На рис. 4.8 показаны для примера две ИМС шифраторов: ИВ1 и ИВ3.

Первая ИМС имеет 8 входов и 3 выхода (шифратор 8–3), а вторая – 9 входов и 4 выхода (шифратор 9–4). Все входы шифраторов инверсные (активные входные сигналы – нулевые). Все выходы шифраторов тоже инверсные, то есть формируется инверсный код. Микросхема ИВ1 помимо 8 информационных входов и 3 разрядов выходного кода (1, 2, 4) имеет инверсный вход разрешения \overline{EI} , выход признака прихода любого входного сигнала \overline{GS} , а также выход переноса \overline{EO} , позволяющий объединять несколько шифраторов для увеличения разрядности.

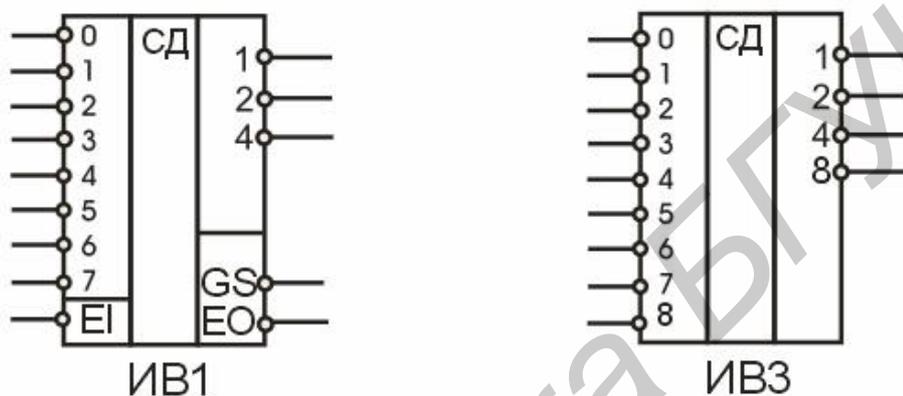


Рис. 4.8. Микросхемы шифраторов

Таблица 4.2

ВХОДЫ									ВЫХОДЫ				
\overline{EI}	0	1	2	3	4	5	6	7	\overline{GS}	4	2	1	\overline{EO}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	0	1	1	0	0	1	0	1
0	x	x	x	x	0	1	1	1	0	0	1	1	1
0	x	x	x	0	1	1	1	1	0	1	0	0	1
0	x	x	0	1	1	1	1	1	0	1	0	1	1
0	x	0	1	1	1	1	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1

Из таблицы истинности шифратора ИВ1 (табл. 4.2) видно, что на выходах кода 1, 2, 4 формируется инверсный двоичный код номера входной линии, на который приходит отрицательный входной сигнал. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером, т.е. старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называют приоритетным. При отсутствии входных сигналов (вторая строчка таблицы) формируется выходной код 111. Единичный сигнал \overline{EI} (первая строчка) запрещает работу шифратора (все выходные сигналы устанавливаются в единицу). На выходе \overline{GS} вырабатывается нуль при приходе любого входного сигнала, что позволяет, в частности, отличить ситуацию прихода нулевого входного сигнала от ситуации отсутствия любых входных сигналов. Выход \overline{EO} становится активным (нулевым) при отсутствии входных сигналов, но при разрешении работы шифратора сигналом \overline{EI} .

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче сигналов на большие расстояния. Правда, входные сигналы не должны приходить одновременно. На рис. 4.9 показаны стандартная схема включения шифратора и временные диаграммы его работы.

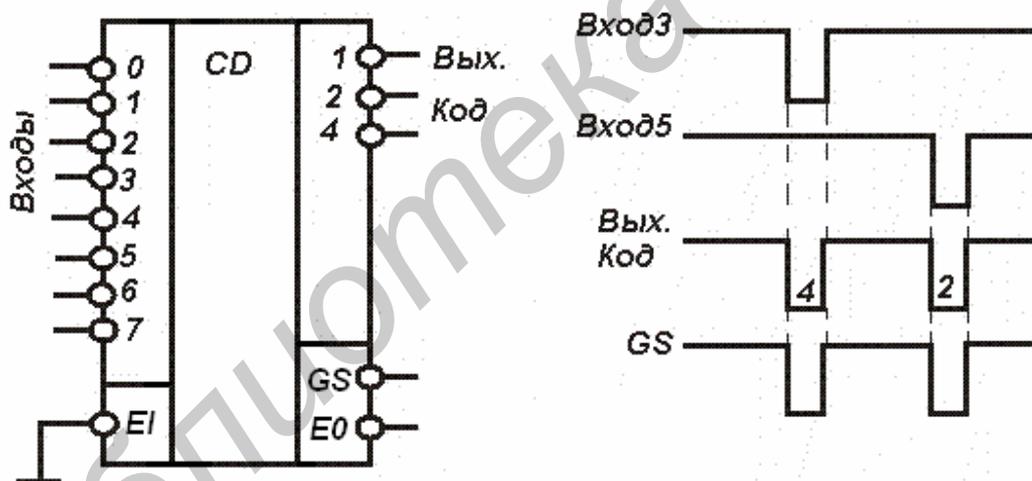


Рис. 4.9. Стандартное включение шифратора

Инверсия выходного кода приводит к тому, что при приходе нулевого входного сигнала на выходе формируется не нулевой код, а код 111, то есть 7. Точно так же при приходе, например, третьего входного сигнала на выходе формируется код 100, то есть 4, а при приходе пятого входного сигнала – код 010, то есть 2.

Наличие у шифраторов входов \overline{EI} и \overline{EO} позволяет увеличивать количество входов и разрядов шифратора, правда, с помощью дополнительных элементов на выходе.

На рис. 4.10 показан пример построения шифратора 16–4 на двух микросхемах шифраторов ИВ1 и трёх элементах 2И–НЕ (ЛАЗ).

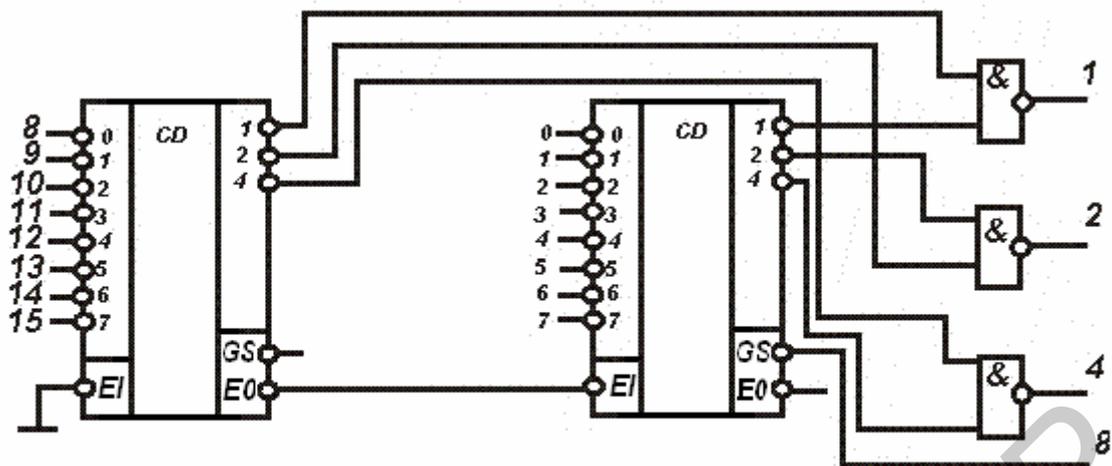


Рис. 4.10. Шифратор 16–4 на двух шифраторах 8–3

Одновременное или почти одновременное изменение сигналов на входе шифратора приводит к появлению периодов неопределённости на выходах. Выходной код может на короткое время принимать значение, не соответствующее ни одному из входных сигналов. Поэтому в тех случаях, когда входные сигналы могут приходить одновременно, необходима синхронизация выходного кода, например, с помощью разрешающего сигнала \overline{EI} , который должен приходить только тогда, когда состояние неопределённости уже закончилось.

Задержка шифратора от входа до выхода кода примерно в полтора раза превышает задержку логического элемента, а задержка до выхода \overline{GS} – примерно в два раза больше (точные величины задержек микросхем приводятся в справочниках).

4.3. Мультиплексоры

Мультиплексоры (логические коммутаторы) (англ. multiplexer) получили достаточно широкое самостоятельное распространение в качестве узлов, реализуемых в виде отдельных ИМС, а с развитием технологии БИС перешли в разряд библиотечных (типовых функциональных узлов БИС и СБИС) [7].

Мультиплексированием называется передача разных сигналов по одним и тем же линиям в разные моменты времени. Основная цель мультиплексирования состоит в сокращении общего количества соединительных линий (общих шин). Мультиплексоры предназначены для поочередной передачи на один выход одного из нескольких входных сигналов, то есть для их мультиплексирования.

Количество мультиплексируемых входов называется количеством каналов мультиплексора, а количество выходов называется числом разрядов мультиплексора. Например, 2-канальный 4-разрядный мультиплексор имеет 4 выхода, на каждый из которых может передаваться один из двух входных сигналов. А 4-канальный 2-разрядный мультиплексор имеет 2 выхода, на каждый из которых может передаваться один из четырех входных сигналов.

Число каналов мультиплексоров, входящих в стандартные серии, составляет от 2 до 16, а число разрядов — от 1 до 4, причем чем больше каналов имеет мультиплексор, тем меньше у него разрядов.

Упрощенно мультиплексоры реализуют функции многовходных стробируемых схем И-ИЛИ, причем часто с наличием управляющего входа, обеспечивающего отключение выходов мультиплексора от линии. Это достигается за счет использования на выходе элементов с тремя состояниями (или что то же самое: с возможностью отключения (обозначается 3С, 3S)), включая состояние высокого выходного сопротивления. Кроме того, в состав мультиплексоров часто входят схемы дешифраторов выбора направления коммутации.

Управление работой мультиплексора (выбор номера канала) осуществляется с помощью входного кода адреса. Например, для 4-канального мультиплексора необходим 2-разрядный управляющий (адресный) код, а для 16-канального — 4-разрядный код. Разряды кода обозначаются 1, 2, 4, 8 или A0, A1, A2, A3. Мультиплексоры бывают с выходом 2С (стандартный выход или выход с двумя состояниями) и с выходом 3С (выход с тремя состояниями). Выходы мультиплексоров бывают прямыми и инверсными. Выход 3С позволяет объединить выходы мультиплексоров с выходами других микросхем, а также получать двунаправленные и мультиплексированные линии.

Некоторые микросхемы мультиплексоров имеют вход разрешения/запрета С (другое обозначение S), который при запрете устанавливает на прямом выходе нулевой уровень.

В отечественных сериях микросхем мультиплексоров имеют код типа микросхемы КП. На схемах микросхемы мультиплексоров обозначаются буквами MS.

На рис. 4.11 в качестве примера показана схема мультиплексора со структурой восемь каналов в один канал, а на рис. 4.12 несколько микросхем мультиплексоров из состава стандартных серий.

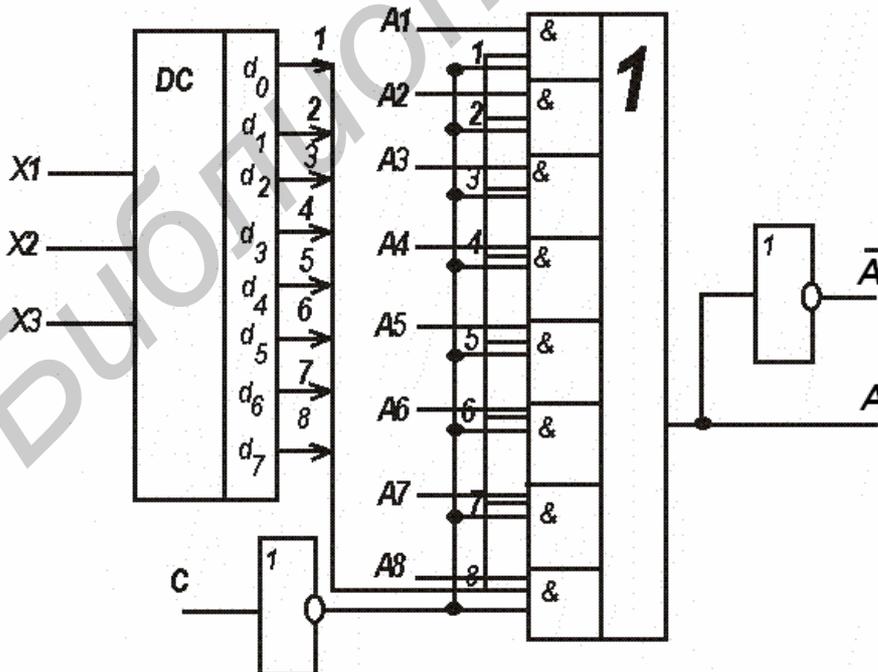


Рис. 4.11. Схема мультиплексора со структурой восемь каналов в один канал

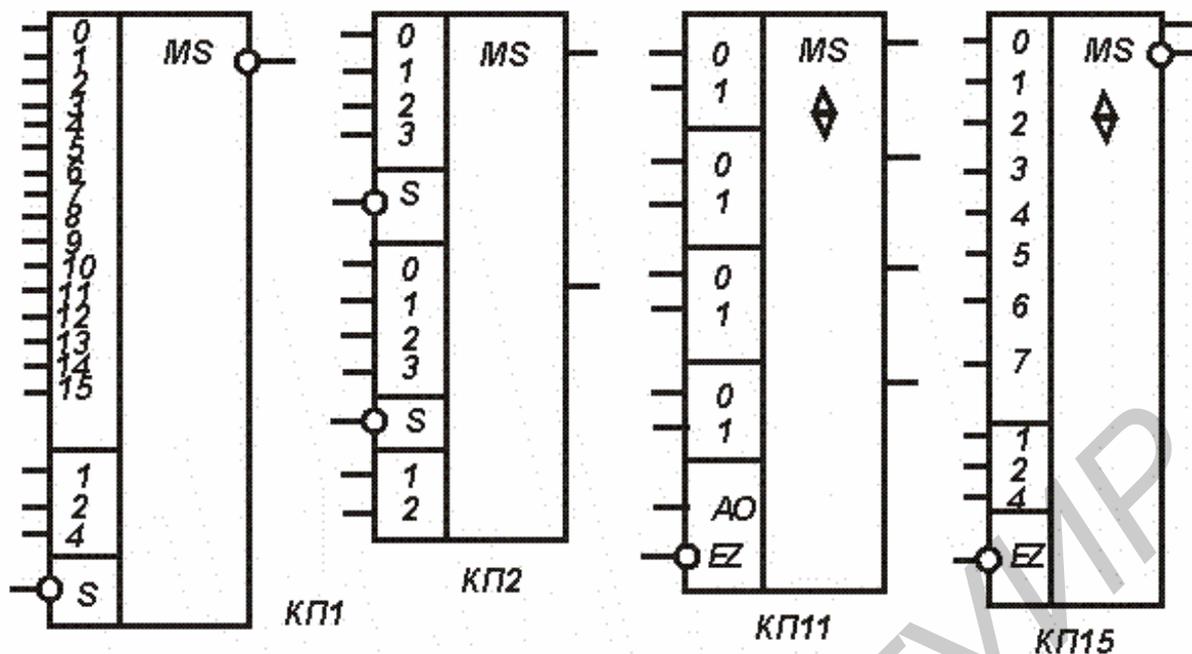


Рис. 4.12. Примеры микросхем мультиплексоров

Таблица 4.3

Входы				Выходы	
4	2	1	\overline{EZ}	Q	\overline{Q}
X	X	X	1	Z	Z
0	0	0	0	D0	$\overline{D0}$
0	0	1	0	D1	$\overline{D1}$
0	1	0	0	D2	$\overline{D2}$
0	1	1	0	D3	$\overline{D3}$
1	0	0	0	D4	$\overline{D4}$
1	0	1	0	D5	$\overline{D5}$
1	1	0	0	D6	$\overline{D6}$
1	1	1	0	D7	$\overline{D7}$

Табл. 4.3 представляет собой пример таблицы истинности одноразрядного 8-канального мультиплексора с выходами 3С (КП15).

В таблице сигналы на входах 0...7 обозначены D0...D7, Q – прямой выход, \overline{Q} – инверсный выход, Z – третье состояние выхода.

При единице на входе \overline{EZ} оба выхода находятся в третьем состоянии. При нуле на входе \overline{EZ} выходной сигнал на прямом выходе повторяет состояние входного сигнала, номер которого задается входным кодом на входах 1, 2, 4.

Сигнал на инверсном выходе противоположен по полярности сигналу на прямом выходе.

Покажем временную диаграмму работы 4-канального мультиплексора (рис. 4.13).

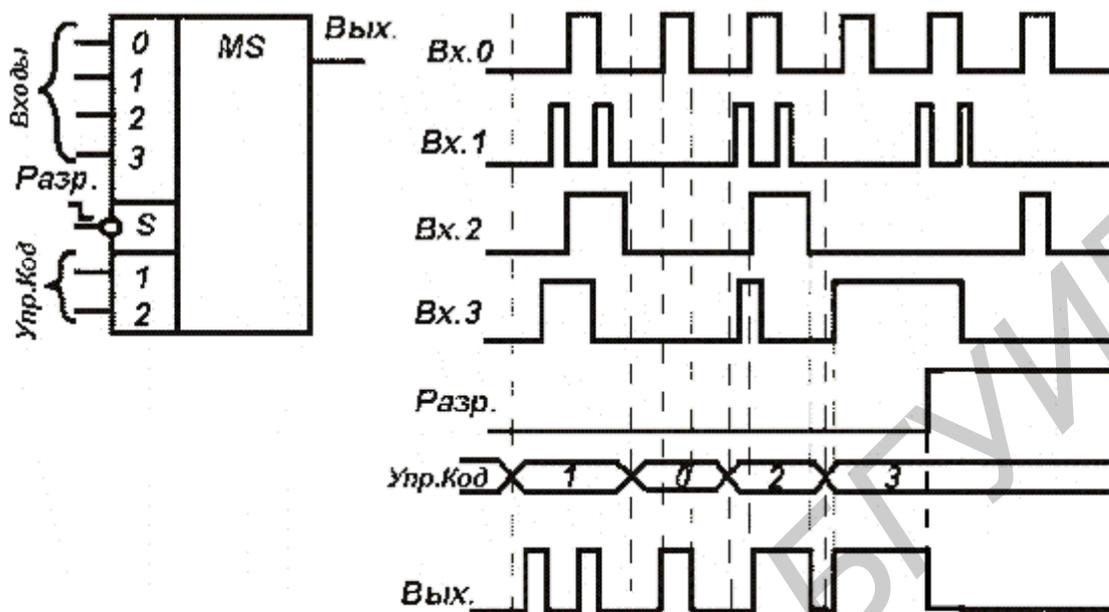


Рис. 4.13. Временная диаграмма работы 4-канального мультиплексора с разрешением

В зависимости от входного кода на выход передаётся один из четырёх входных сигналов. При запрещении работы на выходе устанавливается нулевой сигнал вне зависимости от входных сигналов.

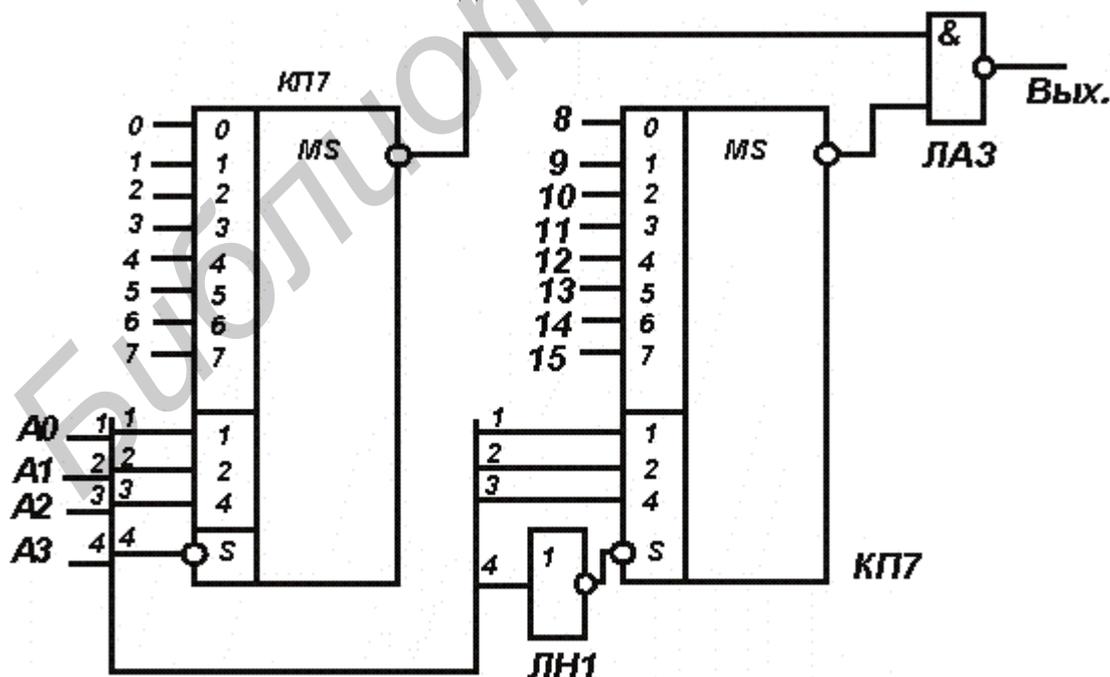


Рис. 4.14. Объединение мультиплексоров для увеличения количества каналов

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 8-канальных мультиплексора легко объединяются в 16-канальный с помощью инвертора на входах разрешения и элемента 2И–НЕ для смешивания выходных сигналов (рис. 4.14). Старший разряд кода будет при этом выбирать один из двух мультиплексоров. Точно так же из двух 16-канальных мультиплексоров можно сделать 32-канальный. Если нужно большее число каналов, то необходимо вместо инвертора включать дешифратор, на который подаются старшие разряды кода. Выходные сигналы дешифратора будут выбирать один из мультиплексоров.

В заключение отметим, что задержки выходного сигнала мультиплексора по входам управляющего (адресного) кода примерно в два раза превышают задержки логических элементов, а по информационным входам – примерно в полтора раза, что следует учитывать при проектировании цифровых устройств.

4.4. Сумматоры

На схемах сумматоры обозначаются буквами SM. В отечественных сериях код, обозначающий микросхему сумматора, – ИМ. Микросхемы сумматоров, как следует из их названия, предназначены для суммирования двух входных двоичных кодов. То есть выходной код равен арифметической сумме двух входных кодов.

Пусть в процессе функционирования устройства или выполнения какого-либо алгоритма возникла необходимость в сложении двух n -разрядных двоичных чисел a и b :

$$a = a_0 \cdot 2^0 + a_1 \cdot 2^1 + a_2 \cdot 2^2 + \dots + a_j \cdot 2^j + \dots + a_{n-1} \cdot 2^{n-1};$$

$$b = b_0 \cdot 2^0 + b_1 \cdot 2^1 + b_2 \cdot 2^2 + \dots + b_j \cdot 2^j + \dots + b_{n-1} \cdot 2^{n-1}.$$

В результате сложения должно получиться двоичное число S , равное сумме двух чисел, т.е.:

$$S = a + b = S_0 \cdot 2^0 + S_1 \cdot 2^1 + S_2 \cdot 2^2 + \dots + S_j \cdot 2^j + \dots + S_{n-1} \cdot 2^{n-1}.$$

Так, например, если один входной код 0111 ($a=7$), а второй 0101 ($b=5$), то суммарный код на выходе будет 1100 (или число 12, представленное в двоичном коде).

Подобные операции, часто встречаемые в практике проектирования цифровых устройств, выполняются с помощью логических устройств, называемых *сумматорами*.

В рассмотренном примере суммировались два числа, представленных в двоичном коде, поэтому такие сумматоры получили название двоичных. При проектировании цифровых устройств кроме двоичных наиболее часто применяются двоично-десятичные сумматоры. Встречаются и другие типы сумматоров.

Числа в сумматорах складываются поразрядно, начиная с младших разрядов a_0 , b_0 как это делается при сложении двух десятичных чисел, пользуясь правилами арифметики. Сумматоры, построенные по этому принципу, получили название последовательных и характеризуются невысоким быстродействием.

Возможен другой подход к суммированию двух чисел, а именно, когда складываются все разряды одновременно. Такие сумматоры, получившие название параллельных, обладают высоким быстродействием, но для их реализации требуются большие аппаратурные затраты.

Кроме этих двух типов сумматоров возможны и другие варианты, сочетающие особенности сумматоров обоих типов.

Выбор того или иного способа суммирования в первую очередь определяется требованиями быстродействия, и именно быстродействие является основным параметром сумматоров, определяющим его структуру. Однако основу всякого двоичного сумматора составляет одноразрядный сумматор.

Сумма двух двоичных чисел с числом разрядов n может иметь число разрядов $(n + 1)$. Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнительный (старший) разряд называется выходом переноса.

Сумматоры бывают одноразрядные (для суммирования двух одноразрядных чисел), двухразрядные (суммируют двухразрядные числа) и четырехразрядные (суммируют четырехразрядные числа).

В цифровых устройствах применяют одноразрядные сумматоры на два и три входа, причем первый из них называют полусумматором или сумматором по модулю два, а второй – полным одноразрядным сумматором. Работа полусумматора поясняется таблицей истинности (табл. 4.4).

Таблица 4.4

Входы		Выходы	
a	b	Полусумма	Частичный перенос
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Как видно из табл. 4.4 полусумматор работает таким образом, что сигнал полусуммы появляется на его выходе в том случае, когда присутствует высокий уровень только на одном из его входов. Если на обоих входах полусумматора присутствует уровень 1, то сигнал полусуммы отсутствует, но появляется сигнал переноса (1).

При проектировании цифровых устройств чаще всего применяют 4-разрядные сумматоры.

Покажем для примера 2-разрядный и 4-разрядный сумматоры (рис. 4.15).

Микросхема ИМ6 отличается от ИМ3 только повышенным быстродействием и номерами используемых выводов микросхем, функция же выполняется та же самая.

Помимо выходных разрядов суммы и выхода переноса сумматоры имеют вход расширения (другое название – вход переноса) C для объединения не-

скольких сумматоров с целью увеличения разрядности. Если на этот вход приходит единица, то выходная сумма увеличивается на единицу, если же приходит нуль, то выходная сумма не увеличивается. Если используется одна микросхема сумматора, то на ее вход расширения *C* необходимо подать нуль.

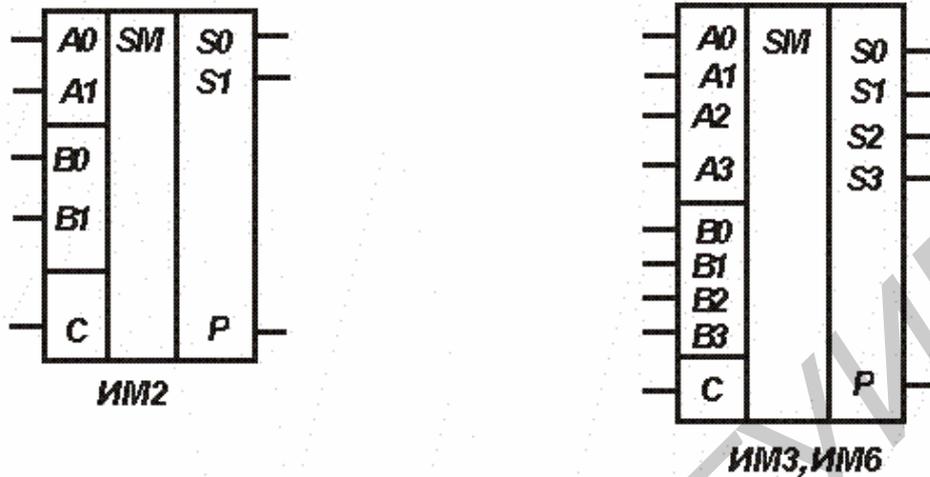


Рис. 4.15. Примеры микросхем сумматоров

Из полной таблицы истинности 2-разрядного сумматора ИМ2 (табл. 4.5) видно, что выходной 3-разрядный код (*P*, *S1*, *S0*) равен сумме входных 2-разрядных кодов (*A1*, *A0*) и (*B1*, *B0*), а также сигнала *C*. Нулевые разряды – младшие, первые разряды – старшие. Полная таблица истинности 4-разрядного сумматора будет чрезмерно большой, но суть работы остаётся точно такой же, как и в случае 2-разрядного сумматора.

Таблица 4.5

Входы				Выходы					
A1	A0	B1	B0	C=0			C=1		
				P	S1	S0	P	S1	S0
0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0	1	0
0	0	1	0	0	1	0	0	1	1
0	0	1	1	0	1	1	1	0	0
0	1	0	0	0	0	1	0	1	0
0	1	0	1	0	1	0	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	0	0	1	0	1
1	0	0	0	0	1	0	0	1	1
1	0	0	1	0	1	1	1	0	0
1	0	1	0	1	0	0	1	0	1
1	0	1	1	1	0	1	1	1	0
1	1	0	0	0	1	1	1	0	0
1	1	0	1	1	0	0	1	0	1
1	1	1	0	1	0	1	1	1	0
1	1	1	1	1	1	0	1	1	1

Сумматоры могут использоваться также для суммирования чисел в отрицательной логике (когда логической единице соответствует электрический нуль, и наоборот логическому нулю соответствует электрическая единица). Но в этом случае входной сигнал переноса C также становится инверсным, поэтому при использовании одной микросхемы сумматора на вход C надо подать электрическую единицу (высокий уровень напряжения). Инверсным становится и выходной сигнал переноса P , низкий уровень напряжения на нём (электрический нуль) соответствует наличию переноса.

То есть получается, что сумматор абсолютно одинаково работает как с положительной, так и отрицательной логикой.

Рассмотрим пример. Пусть надо сложить два числа 5 и 7 в отрицательной логике. Числу 5 в положительной логике соответствует двоичный код 0101, а в отрицательной логике – код 1010. Числу 7 в положительной логике соответствует двоичный код 0111, в отрицательной – код 1000. При подаче на вход сумматора кодов 1010 (десятичное число 10 в положительной логике) и 1000 (десятичное число 8 в положительной логике) получаем сумму $10+8 = 18$, то есть код 10010 в положительной логике. С учётом входного сигнала переноса $C = 1$ (то есть отсутствие входного переноса в отрицательной логике) выходной код сумматора получится на единицу больше: $18+1 = 19$, то есть 10011. При отрицательной логике это будет соответствовать числу 01100, то есть 12 при отсутствии выходного переноса. В результате получили $5+7 = 12$.

Сумматор может вычислять не только суммы, но и разность входных кодов, то есть работать вычитателем. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса C подать единичный сигнал (рис. 4.16).

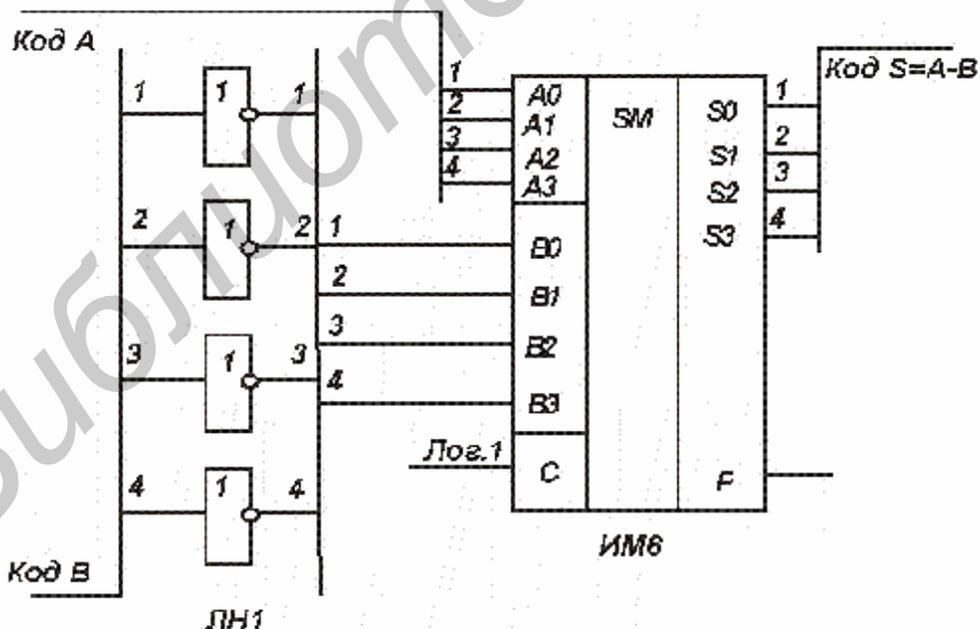


Рис. 4.16. Четырёхразрядный вычитатель на сумматоре ИМ6 и инверторах ЛН1

Например, пусть надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десяти-

тичное 10. Сумматор при суммировании 11 и 10 даёт 21, то есть двоичное число 10101. Если сигнал $C = 1$, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал P) и получаем разность 0110, то есть 6.

Ещё пример. Пусть надо вычислить разность между числом 12 (1100) и числом 9 (1001). Инвертируем поразрядно 9, получаем 0110, то есть десятичное 6. Находим сумму 12 и 6, получаем 18, а с учётом $C = 1$ получаем 19, то есть двоичное 10011. В четырёх младших разрядах имеем 0011, то есть десятичное 3.

Каскадировать сумматоры для увеличения разрядности очень просто. Сигнал с выхода переноса сумматора, обрабатывающего младшие разряды, нужно подать на вход переноса сумматора, обрабатывающего старшие разряды.

При объединении трёх 4-разрядных сумматоров получается 12-разрядный сумматор, имеющий дополнительный 13-й разряд (выход переноса P).

Библиотека БГУИР

Литература

1. Бабич, Н. П. Основы цифровой схемотехники : учеб. пособие / Н. П. Бабич, И. А. Жуков. – М. : Издательский дом «Додэка XXI», Киев: «МК-Пресс», 2007. – 480 с.
2. Браммер, Ю. А. Цифровые устройства : учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 2004. – 229 с.
3. Новиков, Ю. В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Ю. В. Новиков. – М. : Мир, 2001. – 379 с.
4. Угрюмов, Е. Цифровая схемотехника : учеб. пособие / Е. Угрюмов. – СПб. : БХВ – Петербург, 2004. – 528 с.
5. Пухальский, Г. И. Цифровые устройства : учеб. пособие для студ. вузов / Г. И. Пухальский, Т. Я. Новосельцева. – СПб. : Политехника, 1996. – 885 с.
6. Преснухин, Л. Н. Расчёт элементов цифровых устройств / Л. Н. Преснухин, Н. В. Воробьёв, А. А. Шишкевич. – М. : Высш. шк., 1991. – 526 с.
7. Букреев, И. Н. Микроэлектронные схемы цифровых устройств / И. Н. Букреев, В. И. Горячев, Б. М. Мансуров. – М. : Радио и связь, 1990. – 416 с.
8. Уэйкерли, Дж. Проектирование цифровых устройств. В 2 т. / Дж. Уэйкерли ; пер. с англ. – М. : Постмаркет, 2002. – Т.1 – 544 с., Т.2 – 528 с.
9. Безуглов Д. А. Цифровые устройства и микропроцессоры : учеб. пособие / Д. А. Безуглов, И. В. Калиенко. – Ростов н/Д : Феникс, 2006. – 480 с.
10. Уилкинсон, Б. Основы проектирования цифровых схем / Б. Уилкинсон. – М. : Вильямс, 2004. – 320 с.
11. Медведев, Б. Л. Практическое пособие по цифровой схемотехнике / Б. Л. Медведев, Л. Г. Пирогов. – М. : Мир, 2004. – 408 с.

Учебное издание

Лычук Петр Павлович

**ПОСЛЕДОВАТЕЛЬНОСТНЫЕ И КОМБИНАЦИОННЫЕ СХЕМЫ
ЦИФРОВЫХ УСТРОЙСТВ**

Учебно-методическое пособие
по дисциплине «Проектирование устройств цифровой обработки информации»
для студентов специальностей

I-39 02 01 «Моделирование и компьютерное проектирование РЭС»,
I-39 02 02 «Проектирование и производство РЭС»
дневной и заочной форм обучения

Редактор Е. Н. Батурчик
Корректор М. В. Тезина

Подписано в печать 26.02.2008.
Гарнитура «Таймс».
Уч.-изд. л. 5,5.

Формат 60×84 1/16.
Печать ризографическая.
Тираж 150 экз.

Бумага офсетная.
Усл. печ. л. 6,28.
Заказ 602.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ № 02330/0056964 от 01.04.2004. ЛИ № 02330/0131666 от 30.04.2004.
220013, Минск, П. Бровки, 6