

Учреждение образования
“Белорусский государственный университет информатики и
радиоэлектроники”

УДК 681.3.16

СЕДУН Андрей Максимович

**МЕТОДЫ СИНТЕЗА УСТРОЙСТВ ДЛЯ ВЫЧИСЛЕНИЯ
ЧАСТИЧНО СИММЕТРИЧЕСКИХ БУЛЕВЫХ ФУНКЦИЙ И
АРИФМЕТИЧЕСКИХ УСТРОЙСТВ**

05.13.05 – Элементы и устройства вычислительной
техники и систем управления

А В Т О Р Е Ф Е Р А Т

диссертации на соискание ученой степени
кандидата технических наук

Минск 2003

Работа выполнена в Белорусском государственном университете и Учреждении образования “Белорусский государственный экономический университет”

- Научный руководитель: кандидат технических наук, доцент
Супрун В.П. (Белорусский государственный университет, кафедра уравнений математической физики)
- Официальные оппоненты: доктор технических наук, профессор
Бибило П.Н. (Объединенный институт проблем информатики НАН Республики Беларусь, лаборатория логического проектирования)
- кандидат технических наук, доцент
Авгуль Л.Б. (Военная академия Республики Беларусь, кафедра информационно – вычислительных систем)
- Оппонирующая организация: производственное республиканское унитарное предприятие “Минское производственное объединение вычислительной техники”

Защита диссертации состоится “ 02 ” октября 2003 г. в 14 часов на заседании совета по защите диссертаций Д 02.15.01 при Учреждении образования “Белорусский государственный университет информатики и радиоэлектроники” по адресу: 220013, г. Минск, ул. П. Бровки, 6, БГУИР, 1 уч. корпус, тел. 239-89-89.

С диссертацией можно ознакомиться в библиотеке Учреждения образования “Белорусский государственный университет информатики и радиоэлектроники”.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы диссертации

Из всех этапов проектирования устройств вычислительной техники наиболее трудоемким является логический синтез. Это обусловлено, в первую очередь, растущей сложностью современных дискретных устройств и систем управления. Существенный прогресс в разрешении этой задачи может быть достигнут при разработке специальных методов синтеза многофункциональных логических модулей, применяемых в управляющих логических устройствах. Достигнутый в настоящее время уровень технологии позволяет создавать многофункциональные логические модули и схемы на их основе, удовлетворяющие требованиям практических приложений. Использование таких модулей подтверждает правильность выбранного пути, один из главных принципов которого состоит в комбинированном использовании многофункциональных логических модулей и традиционных логических элементов.

Решению задач, возникающих при логическом синтезе устройств вычислительной техники, многофункциональных логических модулей, систем управления, постановке и развитию общей теории дискретных устройств, посвящены многочисленные труды – В.М. Глушкова, А.Д. Закревского, О.Б. Лупанова, Д.А. Пospelова, В.И. Варшавского, Е.А. Бутакова, В.А. Горбатова, С.И. Баранова, В.А. Склярова, В.Л. Артюхова, К. Шеннона, И.С. Рида и др.

Одна из центральных идей, положенных в основу данной работы, состоит в том, что рационально спроектированный многофункциональный логический модуль должен выполнять максимальное количество функций при минимальном числе выходов. Такой подход отличается от ранее использовавшихся критериев, требующих минимизации количества вентилях и отдельных компонентов – транзисторов, диодов и т.д. В связи с этим процесс логического синтеза немислим без исследования свойств самих реализуемых функций. Задачами такого исследования являются описание классов симметрии функций относительно различных групп преобразований, нахождение характеристик типов и выяснение свойств и взаимосвязей групп.

В связи с вышеизложенным, задача разработки эффективных методов синтеза многофункциональных логических модулей является актуальной, при этом в одном модуле полезно объединить целый ряд функций, если это не связано со слишком большой избыточностью. Методы синтеза многофункциональных логических модулей могут быть использованы для синтеза некоторых арифметических устройств вычислительной техники, поскольку структура и поведение которых описываются частично симметрическими булевыми функциями.

Связь работы с крупными научными программами, темами

Работа проводилась в рамках НИР Белорусского государственного университета “Математические вопросы проектирования технических систем, выполняющих аналого-цифровую обработку информации”, 1997-2000 гг. № гос. регистрации 19974247, а также в рамках НИР Белорусского государственного экономического университета “Исследование функций многозначной логики с использованием аппарата дифференциального исчисления”, 1999-2001 гг., грант Белорусского Республиканского Фонда фундаментальных исследований № гос. регистрации 19994375.

Цель и задачи исследования

Целью работы является разработка методов синтеза логических схем устройств для вычисления частично симметрических булевых функций и методов синтеза арифметических устройств. Для достижения указанной цели необходимо решить следующие задачи:

1. разработать методы синтеза устройств для вычисления симметрических булевых функций;
2. разработать методы синтеза устройств для вычисления частично симметрических булевых функций;
3. разработать методы синтеза логических схем арифметических устройств, ориентированных на применение в СБИС.

Объект и предмет исследования

Объект исследования – многофункциональные логические модули и арифметические устройства вычислительной техники.

Предмет исследования – методы логического синтеза устройств вычислительной техники.

Методология и методы проведенного исследования

В работе использовался аппарат теории булевых функций, методы схемотехники и методы синтеза логических устройств вычислительной техники.

Научная новизна и значимость полученных результатов

1. Впервые введены подклассы полусимметрических, бисимметрических, квазисимметрических булевых функций и разработаны их аналитические представления. Получены новые аналитические представления подклассов симметрических булевых функций.
2. Разработаны новые методы синтеза устройств для вычисления симметрических и частично симметрических булевых функций. Отличие предложенных методов от известных заключается в том, что они основаны

на полиномиальных представлениях подклассов симметрических и частично симметрических булевых функций.

Предложенный в диссертации метод синтеза арифметических устройств позволил решить задачу синтеза арифметических устройств впервые используя аналитические представления частично симметрических булевых функций.

На основе разработанных методов синтезированы логические схемы устройств для вычисления симметрических и частично симметрических булевых функций, многооперандных двоичных сумматоров и умножителей, оригинальность и мировая новизна которых подтверждена 15 Патентами на изобретения Республики Беларусь.

Практическая значимость полученных результатов

Логические схемы устройств для вычисления симметрических булевых функций (Патенты Республики Беларусь №№ 1587, 2117, 2118, 2119, 2377, 2990), а также разработанные методы синтеза патентноспособных логических схем типовых устройств вычислительной техники используются при чтении лекций по курсу “Теория автоматов” для студентов специализации “Математическая электроника” механико – математического факультета Белорусского государственного университета.

Логические схемы арифметических устройств (сумматоры унитарных кодов, умножители) и устройств для вычисления симметрических булевых функций включены в библиотеку системы “Синтез БМК” автоматизированного проектирования полузаказных сверхбольших интегральных схем на базовых матричных кристаллах серии K1574.

Результаты диссертационной работы включены в библиотеку элементов, разрабатываемую в научно-исследовательском конструкторско-технологическом республиканском унитарном предприятии “Белмикросистемы” НПО “Интеграл”.

Основные положения диссертации, выносимые на защиту

На защиту выносятся следующие положения.

Аналитические представления симметрических и частично симметрических булевых функций в виде полиномиальных разложений.

Методы синтеза устройств для вычисления симметрических булевых функций, в основе которых лежат полиномиальные представления реализуемых булевых функций.

Методы синтеза устройств для вычисления различных подклассов частично симметрических булевых функций, использующие аналитические представления симметрических и частично симметрических булевых функций.

Метод синтеза арифметических устройств вычислительной техники, основанный на аналитических представлениях симметрических и частично симметрических булевых функций.

Личный вклад соискателя

Результаты, выносимые на защиту в качестве основных положений диссертации, получены лично соискателем. Разработаны методы синтеза устройств для вычисления симметрических булевых функций; устройств для вычисления фундаментальных симметрических булевых функций; устройств для вычисления монотонных симметрических булевых функций; устройств для вычисления частично симметрических булевых функций, синтезированных на основе применения устройств для вычисления симметрических булевых функций. Также разработан метод синтеза арифметических устройств, основанный на использовании аналитических представлений симметрических и частично симметрических булевых функций. Синтезированы логические схемы устройств для вычисления симметрических, частично симметрических булевых функций, сумматоров и вычислительных устройств, мировая новизна которых подтверждена Патентами на изобретения Республики Беларусь (№№1587, 2118, 2119, 2377, 2473, 2793, 2990, 3030, 3299, 3300, 3674).

Апробация результатов диссертации

Результаты исследований, касающиеся разработки и проверки эффективности предложенных методов проектирования арифметических устройств вычислительной техники, подтверждены Патентами на изобретения Республики Беларусь (№№ 1587, 2117, 2118, 2119, 2377, 2473, 2793, 2990, 2991, 3030, 3299, 3300, 3674, 3703, 3704), а также докладывались на следующих конференциях и семинарах:

- Вторая международная конференция “Автоматизация проектирования дискретных систем”, Минск, 12-14 ноября 1997 г.;
- Третья международная конференция “Новые информационные технологии”, Минск, 12-14 ноября 1998 г.;
- Четвертая республиканская конференция “Республиканская научная конференция студентов и аспирантов Беларуси”, Гродно, 7-9 октября 1998 г.;
- Третья международная конференция “Автоматизация проектирования дискретных систем”, Минск, 10-12 ноября 1999 г.;
- Восьмая международная конференция “Белорусская математическая конференция”, Минск, 19-24 июня 2000 г.;
- Четвертая международная конференция “Новые информационные технологии”, Минск, 5 - 7 декабря 2000 г.;
- Четвертая международная конференция “Автоматизация проектирования дискретных систем”, Минск, 14-16 ноября 2001 г.;
- Пятая международная конференция “Новые информационные технологии”, Минск, 29 - 31 октября 2002 г.;
- Семинар “Логическое проектирование” ИТК НАН Беларуси, 1995-2002 гг.

Опубликованность результатов

По результатам исследований опубликована 1 статья в научном журнале, 2 статьи в сборниках научных трудов, 6 статей в трудах международных конференций, 1 тезисы международной конференции, получено 15 Патентов на изобретения Республики Беларусь. Общий объем опубликованных материалов составляет 105 страницы.

Структура и объем диссертации

Диссертация содержит введение, общую характеристику работы, четыре главы и приложение (документы о внедрении результатов работы). Количество таблиц – 19. Количество рисунков – 42. Полный объем диссертации – 121 страница. Количество использованных источников – 162.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении дана краткая оценка современного состояния проблемы синтеза устройств для вычисления симметрических булевых функций и арифметических устройств. Обоснована необходимость разработки эффективных методов синтеза логических схем устройств для вычисления частично симметрических булевых функций и арифметических устройств.

В первой главе приводится краткий обзор литературы по исследуемой тематике. Рассматривается современный уровень развития методов синтеза многофункциональных логических модулей и арифметических устройств вычислительной техники.

Исследованы достоинства и недостатки существующих методов синтеза устройств для вычисления симметрических булевых функций, в том числе методов, основанных на использовании различных видов декомпозиции и факторизации, а также методов промежуточного преобразования и комбинированный метод синтеза логических схем устройств для вычисления симметрических булевых функций, монотонных симметрических булевых функций и фундаментальных симметрических многополюсников. Указанные методы позволяют синтезировать схемы и оптимизировать их по сложности. Показано, что перспективными являются методы, основанные на использовании многовыходовых элементов равнозначности, мажоритарных элементов, двухпороговых элементов и многовыходовых сумматоров по модулю два.

Кроме этого, структура и поведение многих устройств вычислительной техники (например, многооперандных сумматоров и умножителей) описывается системами булевых функций, которые не являются симметрическими, однако обладают свойством частичной симметрии переменных. Известно, что отношение частичной симметрии переменных булевой функции $F = F(X)$ разбивает (единственным образом) множество переменных $X = \{x_1, x_2, \dots, x_n\}$ на классы симметрии X_1, X_2, \dots, X_k , где $2 \leq k \leq n-1$. В таком случае булева функция

$F(X) = F(X_1, X_2, \dots, X_k)$ называется *частично симметрической* и ее можно представить посредством r^* -разрядного двоичного кода $\omega(F)$, где $r^* = (r_1 + 1)(r_2 + 1) \dots (r_k + 1)$ и r_i - мощность класса X_i ($i = 1, 2, \dots, k$). В данной главе приводятся примеры устройств вычислительной техники, которые описываются частично симметрическими булевыми функциями.

Проведенный в первой главе анализ литературы позволил сформулировать задачи, решение которых является актуальным для разработки новых методов синтеза устройств вычислительной техники:

- выделение и изучение свойств симметрических и частично симметрических булевых функций следует рассматривать как одно из средств создания математического аппарата для решения различных задач логического синтеза;
- при синтезе устройств вычислительной техники целесообразно вместо логических элементов использовать более крупные образования. В качестве таких образований можно рассматривать устройства для вычисления различных подклассов симметрических булевых функций;
- при разработке эффективных методов синтеза устройств вычислительной техники целесообразно использовать аналитические представления симметрических и частично симметрических булевых функций, а также специальные методы синтеза логических устройств, ориентированных на вычисление таких булевых функций.

Во второй главе исследованы свойства симметрических булевых функций и булевых функций, обладающих частичной симметрией переменных, а именно, свойства произвольных частично симметрических, полусимметрических, бисимметрических и квазисимметрических булевых функций, предлагаются их новые аналитические представления.

Симметрическая булева функция $F = F(x_1, x_2, \dots, x_n)$, рабочими числами которой являются a_1, a_2, \dots, a_r ($0 \leq r \leq n+1$), обозначается через $F = F_n^{a_1, a_2, \dots, a_r}$. Если $r = 1$, то функция $F = F_n^a$ называется *фундаментальной* симметрической булевой функцией. *Монотонная* симметрическая булева функция $F = F_n^{a, a+1, \dots, n}$ обозначается через $F = M_n^a$.

Пусть $F(X) = F(x_1, x_2, \dots, x_n)$ произвольная симметрическая булева функция, двоичный код которой равен $\pi(F) = (\pi_0, \pi_1, \dots, \pi_n)$, где π_i - значение функции F на (любом) наборе значений переменных x_1, x_2, \dots, x_n , содержащем ровно i единиц ($0 \leq i \leq n$). Для симметрической булевой функции $F = F(X)$ существуют аналитическое представление посредством монотонных симметрических булевых функций, которое формулируется в виде следующей теоремы.

Теорема 1. Если $n \geq 2$, то

$$F(X) = u_0 \oplus \sum_{i=1}^n \oplus M_{n+1}^{i+1}(X, u_i), \quad (1)$$

где $u_0 = \pi_0$, $u_{2m} = \pi_0 \oplus \pi_{2m} \oplus 1$, $u_{2j-1} = \pi_0 \oplus \pi_{2j-1}$ и $m=1,2,\dots,n_1$; $j=1,2,\dots,n_2$ (здесь и далее будем полагать, что $n_1 = \lfloor n/2 \rfloor$ и $n_2 = \lceil n/2 \rceil$) [1].

Приведенное выше аналитическое представление симметрической булевой функции может быть использовано при синтезе логической схемы устройства для вычисления симметрических булевых функций. Однако, использование аналитического представления (1) при схемной реализации монотонных и фундаментальных симметрических булевых функций не является целесообразным. Для таких булевых функций существует более эффективное аналитическое представление.

Произвольную булеву функцию $n+k$ переменных F^* можно представить посредством монотонной симметрической булевой функции в виде

$$F^*(x_1, x_2, \dots, x_n, u_0, u_1, \dots, u_{k-1}) = M_{n+2^k-1}^n(x_1, x_2, \dots, x_n, u_0, u_1, u_1, u_2, u_2, u_2, u_2, \dots, u_{k-1}, \dots, u_{k-1}),$$

где $k = \lceil \log_2(n+1) \rceil$ и переменная u_j входит в монотонную симметрическую булеву функцию 2^j раз ($j=0,1,\dots,k-1$).

Теорема 2. Если $n \geq 2$, то

$$M_n^r(x_1, x_2, \dots, x_n) = F^*(x_1, x_2, \dots, x_n, \alpha_0, \alpha_1, \dots, \alpha_{k-1}), \quad (2)$$

где $(\alpha_{k-1}, \dots, \alpha_1, \alpha_0)$ - двоичное представление числа $n-r$ ($0 \leq r \leq n$) [1].

Рассмотрим булеву функцию

$$F^{**}(x_1, x_2, \dots, x_n, u_0, u_1, \dots, u_{k-1}) = M_{n+2^k}^{n+1}(x_1, x_2, \dots, x_n, u_0, u_0, u_1, u_1, u_2, u_2, u_2, u_2, \dots, u_{k-1}, \dots, u_{k-1}) \oplus M_{n+2^k-2}^n(x_1, x_2, \dots, x_n, u_1, u_1, u_2, u_2, u_2, u_2, \dots, u_{k-1}, \dots, u_{k-1}),$$

где $k = \lceil \log_2(n+1) \rceil$ и переменная u_i входит в обе монотонные симметрические булевы функции 2^i раз ($1 \leq i \leq k-1$).

Теорема 3. Если $n \geq 2$, то

$$F_n^r(x_1, x_2, \dots, x_n) = F^{**}(x_1, x_2, \dots, x_n, \alpha_0, \alpha_1, \dots, \alpha_{k-1}), \quad (3)$$

где $(\alpha_{k-1}, \dots, \alpha_1, \alpha_0)$ - двоичный эквивалент числа $n-r$ ($0 \leq r \leq n$) [1].

Далее излагаются результаты исследований, относящиеся к аналитическим представлениям различных подклассов частично симметрических булевых функций.

Булева функция называется *полусимметрической*, если функция F обладает свойством частичной симметрии, которое индуцирует разбиение множества переменных X на классы симметрии $X_1 = \{x_1\}$ и $X_2 = \{x_2, x_3, \dots, x_n\}$.

Обозначим через $E_n^i = E_n^i(x_1, x_2, \dots, x_n)$ полиномиально-однородные булевы функции $(0 \leq i \leq n)$ [2], где $E_n^0 = 1$, $E_n^1 = x_1 \oplus x_2 \oplus \dots \oplus x_n$, $E_n^2 = x_1 x_2 \oplus \dots \oplus x_1 x_n \oplus x_2 x_3 \oplus \dots \oplus x_{n-1} x_n, \dots, E_n^n = x_1 x_2 \dots x_n$.

Полусимметрическую булеву функцию $F = F(x_1, X_2)$ можно представить следующей формулой:

$$F(x_1, X_2) = \eta_0 \oplus \eta_1 E_{n-1}^1(X_2) \oplus \eta_2 E_{n-1}^2(X_2) \oplus \dots \oplus \eta_{n-1} E_{n-1}^{n-1}(X_2) \oplus \eta_n x_1 \oplus \eta_{n+1} x_1 E_{n-1}^1(X_2) \oplus \eta_{n+2} x_1 E_{n-1}^2(X_2) \oplus \dots \oplus \eta_{2n-1} x_1 E_{n-1}^{n-1}(X_2), \quad (4)$$

где $\eta_0, \eta_1, \dots, \eta_{2n-1} \in \{0, 1\}$ [6].

Булева функция n переменных $F(X) = F(x_1, x_2, \dots, x_n)$ называется *бисимметрической*, если она обладает свойством частичной симметрии переменных, которое индуцирует разбиение множества X на два подмножества $X_1 = \{x_1, x_2, \dots, x_r\}$ и $X_2 = \{x_{r+1}, x_{r+2}, \dots, x_n\}$, где $1 \leq r \leq n-1$. Бисимметрическая булева функция n переменных $F(X) = F(X_1, X_2)$ представима на основе использования полиномиально-однородных булевых функций, зависящих от переменных X_1 и X_2 , следующего вида:

$$F(X_1, X_2) = \sum_{t=0}^{r^*-1} \eta_t E_r^{t_1}(X_1) E_{n-r}^{t_2}(X_2), \quad (5)$$

где $r^* = (r+1)(n-r+1)$, $t = t_1(n-r+1) + t_2$, $0 \leq t_1 \leq r$ и $0 \leq t_2 \leq n-r$. Двоичный вектор $\eta(F) = (\eta_0, \eta_1, \dots, \eta_{r^*-1})$ называется *вектором коэффициентов* полинома Жегалкина $P(F)$ бисимметрической булевой функции $F(X) = F(X_1, X_2)$.

Рассмотрим аналитическое представление произвольных частично симметрических булевых функций.

Если $F(X) = F(X_1, X_2, \dots, X_k)$ частично симметрическая булева функция от n переменных и $2 \leq k \leq n-1$, то имеет место [7]:

$$F(X_1, X_2, \dots, X_k) = \Phi \left(X_1, \underbrace{X_2, \dots, X_2}_{r_1+1}, \underbrace{X_3, \dots, X_3, \dots}_{(r_1+1)(r_2+1)}, \underbrace{X_k, \dots, X_k}_{(r_1+1)(r_2+1)\dots(r_{k-1}+1)} \right), \quad (6)$$

где Φ – симметрическая булева функция, зависящая от

$$r_1 + (r_1+1)r_2 + (r_1+1)(r_2+1)r_3 + \dots + (r_1+1)(r_2+1)\dots(r_{k-1}+1)r_k = r^* - 1$$

переменных, и r_i – мощность класса X_i ($i = 1, 2, \dots, k$).

Если для частично симметрической булевой функции n переменных $F(X) = F(X_1, X_2, \dots, X_{k+1})$ имеет место $X_1 = \{x_1\}$, $X_2 = \{x_2\}, \dots, X_k = \{x_k\}$ и $X_{k+1} = \{x_{k+1}, \dots, x_n\}$, то функция $F = F(X)$ называется *квазисимметрической* [2]. При этом класс симметрии X_{k+1} образует *ядро симметрии* $J(F)$.

Квазисимметрическая булева функция $F(X) = F(x_1, x_2, \dots, x_k, X_{k+1})$ задается посредством $2^k(n-k+1)$ -разрядного двоичного кода $\omega(F)$ [8]. Квазисимметрическая булева функция n переменных $F = F(X)$ представляется в виде

$$F(X) = F(x_1, x_2, \dots, x_k, X_{k+1}) = \bigvee_{t=0}^{r^*-1} \omega_t x_1^{\sigma_1} x_2^{\sigma_2} \dots x_k^{\sigma_k} F_{n-k}^{\omega_t}(X_{k+1}),$$

где $r^* = 2^k(n-k+1)$, $t = t_1 + d(\sigma)(n-k+1)$, $d(\sigma)$ – десятичный эквивалент двоичного вектора $\sigma = (\sigma_1, \sigma_2, \dots, \sigma_k)$, $x_i^{\sigma_i}$ равно x_i (\bar{x}_i), если $\sigma_i = 1$ (соответственно, $\sigma_i = 0$) и $i = 1, 2, \dots, k$.

В третьей главе предлагаются методы синтеза устройств для вычисления произвольных, фундаментальных и монотонных симметрических булевых функций, полусимметрических булевых функций, бисимметрических булевых функций, произвольных частично симметрических и квазисимметрических булевых функций.

Метод, основанный на использовании аналитического представления симметрической булевой функции от n переменных (1), позволяет синтезировать двухуровневую логическую схему устройства для вычисления симметрических булевых функций S_n [13]. Сложность (число входов логических элементов) схемы S_n , синтезированной по формуле (1), равна $L(S_n) = (n+1)^2$.

Использование представления монотонной симметрической булевой функции $F = M_n^r(x_1, x_2, \dots, x_n)$ формулой (2) позволяет реализовать F посредством устройства Q_n (метод синтеза Q_n описан в работе [1]). Устройство Q_n содержит единственный мажоритарный элемент с переменным (настраиваемым) порогом срабатывания. Логическая схема Q_n имеет n информационных и k настроечных входов. При этом для реализации функций $F = M_n^r$ необходимо на информационные входы устройства Q_n подать информационные сигналы x_1, x_2, \dots, x_n , а на настроечные входы – сигналы настройки u_0, u_1, \dots, u_{k-1} , где $k = \lceil \log_2(n+1) \rceil$ ($0 \leq r \leq n$). Сложность логической схемы устройства Q_n [20] равна $L(Q_n) = n + 2^k - 1$.

Применение формулы (3) позволяет реализовать фундаментальную симметрическую булеву функцию $F = F_n^r(x_1, x_2, \dots, x_n)$ схемой M_n , содержащей n информационных и $k = \lceil \log_2(n+1) \rceil$ настроечных входов. На информационные входы устройства M_n подаются информационные сигналы x_1, x_2, \dots, x_n , а на настроечные входы – сигналы настройки u_0, u_1, \dots, u_{k-1} . Для реализации на

единственном выходе M_n фундаментальной симметрической булевой функции $F = F_n^r$ необходимо в качестве сигналов настройки u_{k-1}, \dots, u_1, u_0 использовать двойное представление числа $n-r$. Сложность двухуровневой схемы устройства M_n [15] составляет $L(M_n) = 2n + 2^{k+1}$.

Устройство для вычисления полусимметрических булевых функций можно синтезировать методом из [6], основанным на применении формулы (4).

При синтезе логической схемы устройства для вычисления бисимметрических булевых функций W_n используется метод из работы [2]. В основу метода положено применение формулы (5). Сложность устройства W_n [22], синтезированного данным методом, равна $L(W_n) = 2n^2 + n + 1$, а число уровней логической схемы W_n вычисляется как $T(W_n) = \max\{T(PM_r), T(PM_{n-r})\} + 2$, где PM_r - устройство для вычисления $r+1$ полиномиально-однородных булевых функций, зависящих от r переменных. При этом вектором настройки $u(F)$ устройства W_n на реализацию (вычисление) бисимметрической булевой функции n переменных $F(X) = F(X_1, X_2)$ является вектор $\eta(F) = (\eta_0, \eta_1, \dots, \eta_{r-1})$.

Пусть $F(X) = F(X_1, X_2, \dots, X_k)$ произвольная частично симметрическая булева функция, где $2 \leq k \leq n-1$. Для синтеза логических схем устройств для вычисления частично симметрических булевых функций P_n воспользуемся формулой (1), но перед этим доопределим частично симметрическую булеву функцию от n переменных F до симметрической булевой функции Φ , зависящей от r^*-1 переменных, следующим образом. Известно, что $F(X) = F(X_1, X_2, \dots, X_k)$ частично симметрическая булева функция, содержит классы симметрии X_1, X_2, \dots, X_k , где $2 \leq k \leq n-1$ и r_i - мощность класса X_i ($i=1, 2, \dots, k$). Тогда частично симметрическая булева функция $F(X) = F(X_1, X_2, \dots, X_k)$ представима в виде (6). Таким образом, каждая переменная из класса симметрии X_i частично симметрической булевой функции $F(X) = F(X_1, X_2, \dots, X_k)$ должна входить в разложение (6) m_i раз, где $m_i = (r_1+1)(r_2+1)\dots(r_{i-1}+1)$ и $m_1 = 1$ ($i=2, \dots, k$). Воспользуемся формулой (1) и подадим на информационные входы устройства S_{r^*-1} для вычисления симметрических булевых функций r^*-1 переменные x_1, x_2, \dots, x_n (в соответствии с разложением (6)), на настроечные входы - сигналы настройки $u_0, u_1, \dots, u_{r^*-1}$. На единственном выходе S_{r^*-1} реализуются симметрические булевы функции от r^*-1 переменных, определяемые вектором настройки $U = (u_0, u_1, \dots, u_{r^*-1})$. Устройство S_{r^*-1} для вычисления частично симметрических булевых функций является устройством P_n .

Методы схемной реализации логических модулей из работы [3] предназначены для одновременного вычисления частично симметрических булевых функций, ориентированы на базис, состоящий из многоходового

одноразрядного сумматора, многофункциональных и универсальных логических модулей, число информационных входов которых меньше n .

Устройство для вычисления симметрических булевых функций S_n можно синтезировать на основе одноразрядного двоичного сумматора C_n и $(k+1)$ -входового универсального логического модуля U_{k+1} , где $k = \lceil \log_2 n \rceil$.

Устройство W_n^r для вычисления бисимметрических булевых функций $F = F(X_1, X_2)$, где $X_1 = \{x_1, x_2, \dots, x_r\}$ и $X_2 = \{x_{r+1}, \dots, x_n\}$ можно синтезировать на основе устройства S_n и $r+1$ устройств S_{n-r} . При этом настройкой устройства W_n^r на реализацию функции $F = F(X_1, X_2)$ является $(r+1)(n-r+1)$ -разрядный двоичный код $\omega(F)$ функции F .

Устройство V_n^k для вычисления квазисимметрических булевых функций $F(X) = F(x_1, x_2, \dots, x_k, X_{k+1})$ можно синтезировать на базе универсального логического модуля U_k и 2^k устройств для вычисления симметрических булевых функций S_{n-k} . При этом настройкой устройства V_n^k на реализацию функции $F(X) = F(x_1, x_2, \dots, x_k, X_{k+1})$ является $2^k(n-k+1)$ -разрядный двоичный код $\omega(F)$ функции F .

Дальнейшее понижение сложности устройств для вычисления симметрических булевых функций возможно за счет использования сложной настройки. В частности, на основе применения эвристических методов синтезированы логические схемы устройств для вычисления фундаментальных [9] и произвольных [10] симметрических булевых функций, которые имеют меньшую сложность и меньшее число внешних выводов по сравнению с логическими схемами аналогичных устройств с простой настройкой.

Четвертая глава посвящена описанию метода блочно-структурного синтеза арифметических устройств.

Известно, что поведение и структура многих арифметических устройств вычислительной техники описываются системами частично симметрических булевых функций. Типичным примером таких устройств являются многооперандные двоичные сумматоры и умножители. Поскольку при синтезе арифметических устройств требуется минимизировать сложность синтезируемых логических схем, то для построения эффективных арифметических устройств целесообразно наиболее полно учитывать свойство частичной симметрии переменных реализуемых булевых функций.

В данной главе предлагается метод блочно-структурного синтеза логических схем, ориентированный на использование частичной симметрии переменных булевых функций, реализуемых на выходах арифметических устройств. Суть метода состоит в последовательном выполнении следующих этапов.

На первом этапе осуществляется разбиение арифметического устройства на отдельные составные части - блоки. Число блоков соответствует числу булевых функций, т.е. числу выходов устройства. Так как реализуемые булевы функции

являются частично симметрическими, то каждый блок будет представлять собой устройство для вычисления частично симметрических булевых функций с жестко определенной настройкой. Таким образом, каждый блок является логической схемой, на входы которой подаются информационные сигналы, а на единственном выходе реализуется двоичный код одного из разрядов результата арифметической операции, выполненной устройством. Известно, что множество булевых функций можно классифицировать по наличию некоторых классов симметрии переменных. Поэтому на данном этапе определяются группы симметрии на множестве информационных сигналов, которые подаются на входы каждого блока, а также устанавливаются к какому из классов частично симметрических булевых функций они относятся.

На *втором* этапе (на основе анализа функций, вычисляемых каждым блоком) определяется метод синтеза устройств для вычисления симметрических и частично симметрических булевых функций, на основе использования которого и будет синтезирована логическая схема блока.

На *третьем* этапе непосредственно осуществляется синтез логические схемы каждого из блоков арифметического устройства.

Наконец, на *четвертом* этапе синтезируется логическая схема арифметического устройства путем объединения логических схем блоков. При этом учитывается наличие общих частей различных блоков устройства и тем самым осуществляется оптимизация сложности синтезируемой логической схемы арифметического устройства.

Указанное разделение метода блочно-структурного синтеза на этапы является весьма условным, поскольку в каждом конкретном случае некоторые из отдельных этапов могут быть соединены в один этап.

Предложенный метод блочно-структурного синтеза арифметических устройств является весьма эффективным с точки зрения синтеза логических схем устройств, обладающих более низкой сложностью по сравнению со сложностью известных аналогов. Мировая новизна двух и трехуровневых логических схем арифметических устройств, синтезированных на основе данного метода, подтверждена Патентами на изобретения Республики Беларусь [16,19,21,23-25]. Приведены синтезированные логические схемы сумматоров унитарных кодов по модулю три (модулю пять, модулю семь), устройства для умножения n чисел в унитарных кодах по модулю три, вычислительного устройства унитарных кодов по модулю три, вычислительного устройства по модулю три и устройства для умножения по модулю пять, проведен сравнительный анализ полученных результатов.

В приложении представлены документы о внедрении результатов диссертационной работы.

ЗАКЛЮЧЕНИЕ

Основной результат диссертационной работы – методы синтеза устройств для вычисления симметрических, частично симметрических булевых функций и арифметических устройств.

Полученные в диссертации новые научные выводы и результаты сводятся, в основном, к следующему.

1. Введены подклассы полусимметрических, бисимметрических, квазисимметрических булевых функций и для каждого из этих подклассов разработаны аналитические представления [2,5,6,8]. Получены аналитические представления для монотонных и фундаментальных симметрических булевых функций [4,9,10]. С целью построения экономных аналитических представлений различных подклассов симметрических булевых функций и частично симметрических булевых функций целесообразно использовать их полиномиальные представления [1].

2. Разработаны методы синтеза устройств для вычисления произвольных, монотонных и фундаментальных симметрических булевых функций. Установлено, что эффективный синтез устройств для вычисления симметрических булевых функций возможен в том случае, когда в основе методов синтеза лежат полиномиальные представления реализуемых булевых функций [1,4,9,10].

3. Предложены методы синтеза устройств для вычисления частично симметрических булевых функций, использующие аналитические представления симметрических и частично симметрических булевых функций, которые позволяют упростить синтез, одновременно минимизировать как сложность, так и глубину устройств, ориентированных на вычисление частично симметрических булевых функций, а также расширить их функциональные возможности при небольшой номенклатуре элементов [2,3,5,7,6,8].

4. Разработан метод синтеза арифметических устройств вычислительной техники, основанный на аналитических представлениях и методах синтеза устройств для вычисления симметрических и частично симметрических булевых функций, которые эффективно применяются при синтезе арифметических устройств, поскольку структура и поведение таких устройств описываются, как правило, частично симметрическими булевыми функциями [1,2,7].

5. Предложены логические схемы устройств для вычисления симметрических и частично симметрических булевых функций, логические схемы арифметических устройств вычислительной техники, мировая новизна которых подтверждена Патентами на изобретения Республики Беларусь [11-25].

СПИСОК ОПУБЛИКОВАННЫХ РАБОТ ПО ТЕМЕ ДИССЕРТАЦИИ

Статьи

1. Супрун В.П., Седун А.М. Реализация симметрических булевых функций логическими схемами // Изв. ВУЗов. Приборостроение. – 1998. – № 9. – С. 32-38.
2. Супрун В.П., Седун А.М. Синтез устройств для вычисления бисимметрических булевых функций // Логическое проектирование. – Минск: Ин-т техн. кибернетики НАН Беларуси. – 1998. – Вып. 3. – С. 69-77.
3. Супрун В.П., Седун А.М. Схемная реализация частично симметрических булевых функций // Логическое проектирование. – Минск: Ин-т техн. кибернетики НАН Беларуси. – 2000. – Вып. 5. – С. 29-37.

Тезисы докладов и материалы конференций

4. Супрун В.П., Седун А.М. Метод двухуровневой схемной реализации симметрических булевых функций // Автоматизация проектирования дискретных систем: Материалы второй межд. конф., Минск, 12-14 ноября 1997 г. / Институт техн. кибернетики НАН Беларуси. Т.2. – Минск, 1997. – С. 6-11.
5. Седун А.М. Метод схемной реализации бисимметрических булевых функций // Новые информационные технологии: Материалы третьей межд. конф., Минск, 12-14 ноября 1998 г. / Белорусский государственный экономический университет. Т.1. – Минск, 1998. – С. 118-121.
6. Супрун В.П., Седун А.М. Схемная реализация полусимметрических булевых функций // Автоматизация проектирования дискретных систем: Материалы третьей межд. конф., Минск, 10-12 ноября 1999 г. / Институт техн. кибернетики НАН Беларуси. Т.2. – Минск, 1999. – С. 55-62.
7. Седун А.М., Супрун В.П. Проектирование устройств для вычисления частично симметрических булевых функций // Новые информационные технологии: Материалы четвертой межд. конф., Минск, 5-7 декабря 2000 г. / Белорусский государственный экономический университет. Т.3. – Минск, 2000. – С. 116-119.
8. Супрун В.П., Седун А.М. Синтез логических устройств для вычисления бисимметрических и квазисимметрических булевых функций // Белорусская математическая конференция: Тез. докл. восьмой межд. конф., Минск, 19-24 июня 2000 г. / Белорусский государственный университет. – Минск, 2000. – С. 25.
9. Супрун В.П., Седун А.М. Схемная реализация фундаментальных симметрических булевых функций посредством логических устройств со сложной настройкой // Автоматизация проектирования дискретных систем: Материалы четвертой межд. конф., Минск, 14-16 ноября 2001 г. / Институт техн. кибернетики НАН Беларуси. Т.2. – Минск, 2001. – С. 86-91.

10. Седун А.М., Супрун В.П. Реализация симметрических булевых функций посредством логических устройств со сложной настройкой // Новые информационные технологии: Материалы пятой межд. конф., Минск, 29-31 октября 2002 г. / Белорусский государственный экономический университет. Т.2. – Минск, 2002. – С. 119-122.

Патенты на изобретения Республики Беларусь

11. Супрун В.П., Седун А.М. Пат. 1587 C1 ВУ, МПК G 06 F 7/00. Устройство для вычисления фундаментальных симметрических булевых функций / №950042; Заявл. 30.01.1995; Опубл. 30.03.1997 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1997. – № 1 (12). – С. 147.
12. Супрун В.П., Седун А.М. Пат. 2117-C2 ВУ, МПК G 06 F 7/00. Устройство для вычисления фундаментальных симметрических булевых функций / №2623; Заявл. 22.12.1994; Опубл. 30.06.1998 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1998. – № 2 (17). – С. 142.
13. Супрун В.П., Седун А.М. Пат. 2118 C2 ВУ, МПК G 06 F 7/00. Устройство для вычисления симметрических булевых функций / №950116; Заявл. 02.03.1995; Опубл. 30.06.1998 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1998. – № 2 (17). – С. 143.
14. Супрун В.П., Седун А.М. Пат. 2119 C2 ВУ, МПК G 06 F 7/00. Устройство для вычисления симметрических булевых функций / №950164; Заявл. 28.03.1995; Опубл. 30.06.1998 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1998. – № 2 (17). – С. 143.
15. Супрун В.П., Седун А.М. Пат. 2377 C2 ВУ, МПК G 06 F 7/00. Устройство для вычисления фундаментальных симметрических булевых функций / №950738; Заявл. 22.06.1995; Опубл. 30.09.1998 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1998. – № 3 (18). – С. 212.
16. Супрун В.П., Седун А.М. Пат. 2473 C2 ВУ, МПК G 06 F 7/49. Сумматор унитарных кодов по модулю три / №960445; Заявл. 28.08.1996; Опубл. 30.12.1998 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1998. – № 4 (19). – С. 185.
17. Супрун В.П., Седун А.М. Пат. 2793 C2 ВУ, МПК G 06 F 7/00. Устройство для вычисления симметрических булевых функций / №961192; Заявл. 31.12.1996; Опубл. 30.06.1999 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1999. – № 2 (21). – С. 156.
18. Супрун В.П., Седун А.М. Пат. 2990 C1 ВУ, МПК G 06 F 7/00. Устройство для вычисления фундаментальных симметрических булевых функций / №a19980064; Заявл. 22.01.1998; Опубл. 30.09.1999 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1999. – № 3 (22). – С. 149.
19. Супрун В.П., Седун А.М. Пат. 2991 C2 ВУ, МПК G 06 F 7/49. Сумматор унитарных кодов по модулю пять / №970535; Заявл. 13.10.1997; Опубл. 30.09.1999 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1999. – №3 (22). – С. 150.

20. Супрун В.П., Седун А.М. Пат. 3030 С2 ВУ, МПК G 06 F 7/00, Н 03 К 19/23. Программируемое пороговое устройство / №970050; Заявл. 31.01.1997; Оpubл. 30.09.1999 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 1999. – №3 (22). – С. 159.
21. Супрун В.П., Седун А.М. Пат. 3299 С2 ВУ, МПК G 06 F 7/49. Устройство для умножения на модулю пять / №970287; Заявл. 02.06.1997; Оpubл. 30.03.2000 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 2000. – № 1 (24). – С. 187.
22. Супрун В.П., Седун А.М. Пат. 3300 С2 ВУ, МПК G 06 F 7/00, Н 03 К 19/173. Многофункциональный логический модуль / №970257; Заявл. 16.05.1997; Оpubл. 30.03.2000 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 2000. – № 1 (24). – С. 186.
23. Супрун В.П., Седун А.М. Пат. 3674 С2 ВУ, МПК G06F7/49. Сумматор унитарных кодов по модулю три / №a19980153; Заявл. 17.02.1998; Оpubл. 30.12.2000 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 2000. – № 4 (27). – С. 207.
24. Супрун В.П., Седун А.М. Пат. 3703 С2 ВУ, МПК G06F7/49. Вычислительное устройство унитарных кодов по модулю три / №a19980133; Заявл. 12.02.1998; Оpubл. 30.12.2000 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 2000. – № 4 (27). – С. 207.
25. Супрун В.П., Седун А.М. Пат. 3704 С2 ВУ, МПК G06F7/49. Сумматор унитарных кодов по модулю семь / №a19980257; Заявл. 17.03.1998; Оpubл. 30.12.2000 // Афіцыйны бюлетэнь / Дзярж. Пат. Ведамства Рэсп. Беларусь. – 2000. – № 4 (27). – С. 208.



РЭЗЮМЭ

Седун Андрэй Максімавіч
МЕТАДЫ СІНТЭЗА УСТРОЙСТВАЎ ДЛЯ ВЫЛІЧЭННЯ
ЧАСТКОВА СІМЕТРЫЧНЫХ БУЛЕВЫХ ФУНКЦЫЙ І
АРЫФМЕТЫЧНЫХ УСТРОЙСТВАЎ

Ключавыя словы: лагічныя схемы, аналітычныя прадстаўленні сіметрычных і часткова сіметрычных булевых функцый, арыфметычных устройстваў.

Вядома, што эфектыўнасць пабудовы лагічных схем вызначасца галоўным чынам выкарыстанымі спосабамі аналітычнага прадстаўлення булевых функцый. Пры гэтым лепшымі з'яўляюцца такія аналітычныя прадстаўленні булевых функцый, прымяненне якіх дазваляе паменшыць як канструктыўную складанасць, так і лік узроўняў сінтэзаваных лагічных схем.

У дысертацыі прапануюцца новыя аналітычныя прадстаўленні адвольных, манатонных і фундаментальных сіметрычных булевых функцый. Метады, заснаваныя на выкарыстанні прапанаваных прадстаўленняў сіметрычных булевых функцый, дазваляюць сінтэзаваць двухузроўнявыя лагічныя схемы. У працы выкладаюцца рэзультаты далейшых даследаванняў у галіне аналітычнага прадстаўлення часткова сіметрычных булевых функцый і сінтэза на іх аснове лагічных схем з невялікай складанасцю. Даследаваны магчымыя варыянты схемнай рэалізацыі арыфметычных устройстваў вылічальнай тэхнікі. Атрыманы ацэнкі іх складанасці. Аналіз атрыманых ацэнак, а таксама схемных рэалізацый разгледжаных устройстваў вылічальнай тэхнікі паказваюць, што прапанаваныя схемныя рэалізацыі маюць найбольшую рэгулярнасць сувязяў і найменшую складанасць.

РЕЗЮМЕ

Седун Андрей Максимович
МЕТОДЫ СИНТЕЗА УСТРОЙСТВ ДЛЯ ВЫЧИСЛЕНИЯ
ЧАСТИЧНО СИММЕТРИЧЕСКИХ БУЛЕВЫХ ФУНКЦИЙ И
АРИФМЕТИЧЕСКИХ УСТРОЙСТВ

Ключевые слова: логические схемы, аналитические представления симметрических и частично симметрических булевых функций, арифметические устройства.

Известно, что эффективность построения логических схем определяется главным образом используемыми способами аналитического представления реализуемых булевых функций. При этом наиболее предпочтительными являются такие аналитические представления булевых функций, применение которых позволяет уменьшить как конструктивную сложность, так и число уровней синтезируемых логических схем.

В диссертации предлагаются новые аналитические представления произвольных, монотонных и фундаментальных симметрических булевых функций. Методы, основанные на использовании предлагаемых представлений симметрических булевых функций, позволяют синтезировать двухуровневые логические схемы. В работе излагаются результаты дальнейших исследований в области аналитического представления частично симметрических булевых функций и построения на их основе логических схем с небольшой сложностью. Исследованы возможные варианты схемной реализации арифметических устройств вычислительной техники. Получены оценки их сложности. Анализ полученных оценок, а также схемных реализаций рассмотренных устройств вычислительной техники показывают, что предложенные схемные реализации имеют большую регулярность связей и небольшую сложность.

SUMMARY

Sedun Andrei Maksimovich
METHODS OF SYNTHESIS OF DEVICES FOR CALCULATION
PARTIALLY SYMMETRIC BOOLEAN FUNCTIONS AND
ARITHMETIC DEVICES

Keywords: the logic circuits, analytical performance symmetric and partially symmetric Boolean functions, arithmetic devices.

It is known, that the efficiency of construction logic circuits would be defined by mainly used ways of analytical performance sold Boolean functions. Thus most preferable are such analytical performances Boolean functions, which application allows to reduce both constructive complexity, and number of levels synthesized logic circuits.

In the dissertation the new analytical performances, monotonous and fundamental symmetric Boolean functions are offered. The methods based on use of offered performances symmetric Boolean functions, allow to synthesize the two-level logic circuits. In work the results of the further researches are stated in the field of analytical performance partially symmetric Boolean functions and construction on their basis of the logic circuits with small complexity. The possible variants of circuit realization of arithmetic devices of computer facilities are investigated. The ratings of their complexity are received. The analysis of the received ratings, and also circuit realizations of the considered devices of computer facilities, shows, that the offered circuit realizations have the greatest regularity of communications and least complexity.

СЕДУН АНДРЕЙ МАКСИМОВИЧ

**МЕТОДЫ СИНТЕЗА УСТРОЙСТВ ДЛЯ ВЫЧИСЛЕНИЯ
ЧАСТИЧНО СИММЕТРИЧЕСКИХ БУЛЕВЫХ ФУНКЦИЙ И
АРИФМЕТИЧЕСКИХ УСТРОЙСТВ**

05.13.05 – Элементы и устройства вычислительной
техники и систем управления

Автореферат диссертации
на соискание ученой степени кандидата технических наук

Подписано в печать 20.08.2003.	Формат 60×84 1/16.	Бумага офсетная.
Гарнитура «Таймс».	Печать ризографическая.	Усл. печ. л. 1,4.
Уч.- изд. л. 1,2.	Тираж 80 экз.	Заказ 428.

Издатель и полиграфическое исполнение:
Учреждение образования

“Белорусский государственный университет информатики и радиоэлектроники”

Лицензия ЛП №156 от 30.12.2002.

Лицензия ЛВ № 509 от 03.08.2001.

220013, Минск, ул. П. Бровки, 6